

2.4G SoC
ES7W8020

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 产品规格

上海东软载波微电子有限公司

2023 年 5 月 4 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，下电时，先对系统其他部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

Part NO.	工作电压	FLASH	SRAM	Data FLASH	I/O	ADC	UART	I2CS	TIMER	封装类型
ES7W8020FHRF	2.2V~3.6V	16K words	1K bytes	1K words	12	12-bit× 8+2Ch	2	1	8-bit×1 12-bit×2 16-bit×1	SSOP20

地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2023-5-4	初版

目 录

内容目录

第 1 章	芯片简介.....	21
1.1	概述	21
1.1.1	芯片特性	21
1.1.2	MCU 特性.....	21
1.1.3	RF 收发器特性	25
1.2	系统框图	26
1.3	管脚分配图	27
1.3.1	管脚分配图.....	27
1.3.2	管脚说明	27
1.3.3	管脚复用说明	28
1.3.4	内部连线说明	32
第 2 章	MCU—内核特性.....	33
2.1	CPU 内核概述	33
2.2	硬件乘法器	33
2.2.1	概述.....	33
2.2.2	硬件乘法器操作.....	33
2.3	特殊功能寄存器.....	34
2.3.1	程序状态字寄存器 (PSW)	34
2.3.2	程序计数器寄存器低 8 位 (PCRL)	35
2.3.3	程序计数器寄存器高 6 位 (PCRH)	35
2.3.4	累加器 A 寄存器 (AREG)	35
2.3.5	乘数 A 寄存器 (MULA)	35
2.3.6	乘数 B 寄存器 (MULB)	35
2.3.7	乘积低 8 位寄存器 (MULL)	36
2.3.8	乘积高 8 位寄存器 (MULH)	36
第 3 章	MCU—存储资源.....	37
3.1	概述	37
3.2	程序/数据寻址空间映射	37
3.3	FLASH 存储器.....	39
3.3.1	概述.....	39
3.3.2	程序计数器 (PC)	39
3.3.3	硬件堆栈	40
3.3.4	FLASH 存储器 IAP 操作	40
3.3.4.1	概述	40
3.3.4.2	查表读操作.....	41
3.3.4.3	存储器的 IAP 擦写	43
3.3.4.4	存储器页更新流程.....	43
3.3.4.5	操作参考例程.....	44
3.3.5	特殊功能寄存器.....	47
3.3.5.1	查表地址寄存器低 8 位 (FRAL)	47
3.3.5.2	查表地址寄存器高 8 位 (FRAH)	47

3.3.5.3	查表地址取反寄存器低 8 位 (FRALN)	47
3.3.5.4	查表地址取反寄存器高 8 位 (FRAHN)	47
3.3.5.5	查表数据寄存器低 8 位 (ROMDL)	47
3.3.5.6	查表数据寄存器高 8 位 (ROMDH)	48
3.3.5.7	查表数据寄存器 1 低 8 位 (ROMD1L)	48
3.3.5.8	查表数据寄存器 1 高 8 位 (ROMD1H)	48
3.3.5.9	存储器控制寄存器低 8 位 (ROMCL)	48
3.3.5.10	存储器控制寄存器高 8 位 (ROMCH)	49
3.4	在线编程 ISP 和在线调试 ICD	49
3.5	数据存储器	50
3.5.1	概述	50
3.5.2	通用数据存储器	50
3.5.3	特殊功能寄存器	50
3.5.3.1	特殊功能存储体 0	51
3.5.3.2	特殊功能存储体 1	52
3.5.4	寻址方式	52
3.5.4.1	直接寻址	52
3.5.4.2	GPR 特殊寻址	53
3.5.4.3	间接寻址	53
3.5.5	特殊功能寄存器	54
3.5.5.1	间接寻址数据寄存器 (IAD)	54
3.5.5.2	间接寻址索引寄存器低 8 位 (IAAL)	54
3.5.5.3	间接寻址索引寄存器高 8 位 (IAAH)	54
3.5.5.4	存储体选择寄存器 (BKSR)	55
第 4 章	MCU—输入/输出端口	56
4.1	概述	56
4.2	结构框图	57
4.3	I/O 端口功能设置	57
4.3.1	I/O 端口输入/输出控制	57
4.3.2	I/O 端口弱上/下拉功能	57
4.3.3	I/O 端口模拟/数字类型选择功能	58
4.3.4	I/O 端口开漏输出	58
4.3.5	I/O 端口可配 SMT 窗口	58
4.3.6	I/O 端口可配驱动能力	58
4.3.7	I/O 端口可配输入滤波	59
4.3.8	I/O 端口复用功能	59
4.4	端口中断	59
4.4.1	外部端口中断 (PINT)	59
4.4.2	外部按键中断 (KINT)	60
4.5	I/O 端口操作注意事项	60
4.6	特殊功能寄存器	61
4.6.1	PA 端口电平状态寄存器 (PA)	61
4.6.2	PA 端口输入输出控制寄存器 (PAT)	61
4.6.3	PA 端口弱上拉控制寄存器 (PAPU)	61

4. 6. 4	PA 端口弱下拉控制寄存器 (PAPD)	62
4. 6. 5	PA 端口控制寄存器 (PACTR)	62
4. 6. 6	PA 端口输入滤波寄存器 (PAFLT)	63
4. 6. 7	PB 端口电平状态寄存器 (PB)	63
4. 6. 8	PB 端口输入输出控制寄存器 (PBT)	63
4. 6. 9	PB 端口弱上拉控制寄存器 (PBPU)	64
4. 6. 10	PB 端口弱下拉控制寄存器 (PBDP)	64
4. 6. 11	PB 端口控制寄存器 (PBCTR)	64
4. 6. 12	PB 端口输入滤波寄存器 (PBFLT)	65
4. 6. 13	PC 端口电平状态寄存器 (PC)	65
4. 6. 14	PC 端口输入输出控制寄存器 (PCT)	65
4. 6. 15	PC 端口弱上拉控制寄存器 (PCPU)	66
4. 6. 16	PC 端口控制寄存器 (PCCTR)	66
4. 6. 17	PC 端口输入滤波寄存器 (PCFLT)	66
4. 6. 18	端口特殊功能控制寄存器 (PORTCTR)	67
第 5 章	MCU—特殊功能及操作特性	68
5. 1	系统时钟与振荡器	68
5. 1. 1	概述	68
5. 1. 2	内部结构图	68
5. 1. 3	时钟源	69
5. 1. 3. 1	内部高速 RC 振荡器模式 (INTHRC)	69
5. 1. 3. 2	内部低速 32kHz RC 振荡器模式 (INTLRC)	70
5. 2	看门狗定时器 (WDT)	71
5. 2. 1	概述	71
5. 2. 2	内部结构图	71
5. 2. 3	WDT 定时器	71
5. 2. 4	特殊功能寄存器	72
5. 2. 4. 1	WDT 控制寄存器 (WDTC)	72
5. 2. 4. 2	WDT 计数周期匹配寄存器 (WDTP)	72
5. 3	BEEPER 蜂鸣器	73
5. 3. 1	概述	73
5. 3. 2	BEEP 控制寄存器 (BEEPC)	73
5. 4	复位模块	74
5. 4. 1	概述	74
5. 4. 2	上电复位	74
5. 4. 3	掉电复位	75
5. 4. 4	外部 MRSTN 管脚复位	75
5. 4. 4. 1	RC 复位	76
5. 4. 4. 2	PNP 三极管复位	76
5. 4. 5	看门狗定时器溢出复位	76
5. 4. 6	RST 指令软件复位	77
5. 4. 7	特殊功能寄存器	77
5. 4. 7. 1	电源控制寄存器 (PWRC)	77
5. 4. 7. 2	功耗控制寄存器 (PWEN)	78

5.5	低功耗操作	79
5.5.1	MCU 低功耗模式	79
5.5.2	低功耗模式配置	79
5.5.3	IDLE 唤醒方式配置	79
5.5.4	唤醒时序图	80
5.5.5	特殊功能寄存器	80
5.5.5.1	唤醒延时控制寄存器 (WKDC)	80
第6章	MCU—外设	81
6.1	8 位定时/计数器 (T8N)	81
6.1.1	概述	81
6.1.2	内部结构图	81
6.1.3	预分频器	81
6.1.4	工作模式	82
6.1.5	定时器模式	83
6.1.6	同步计数器模式	83
6.1.7	ICD 调试暂停模式	84
6.1.8	特殊功能寄存器	84
6.1.8.1	T8N 计数器寄存器 (T8N)	84
6.1.8.2	T8N 控制寄存器 (T8NC)	84
6.2	12 位多功能定时器 (T11)	86
6.2.1	概述	86
6.2.2	内部结构图	86
6.2.3	预分频器和后分频器	86
6.2.4	工作模式	86
6.2.5	定时器模式	87
6.2.6	异步/同步计数器模式	87
6.2.7	ICD 调试暂停模式	88
6.2.8	特殊功能寄存器	88
6.2.8.1	计数器寄存器低 8 位 (T11L)	88
6.2.8.2	计数器寄存器高 4 位 (T11H)	88
6.2.8.3	周期寄存器低 8 位 (T11PL)	89
6.2.8.4	周期寄存器高 4 位 (T11PH)	89
6.2.8.5	控制寄存器低 8 位 (T11CL)	89
6.2.8.6	控制寄存器次高 8 位 (T11CM)	89
6.2.8.7	控制寄存器高 8 位 (T11CH)	90
6.3	12 位多功能定时器 (T21)	91
6.3.1	概述	91
6.3.2	内部结构图	91
6.3.3	预分频器和后分频器	92
6.3.4	工作模式	92
6.3.5	定时器模式	92
6.3.6	异步/同步计数器模式	93
6.3.7	多精度 PWM 模式	94
6.3.8	捕捉器模式	96

6. 3. 9	比较器模式.....	97
6. 3. 10	ICD 调试暂停模式.....	97
6. 3. 11	特殊功能寄存器.....	98
6. 3. 11. 1	计数器寄存器低 8 位 (T21L)	98
6. 3. 11. 2	计数器寄存器高 4 位 (T21H)	98
6. 3. 11. 3	周期寄存器低 8 位 (T21PL)	98
6. 3. 11. 4	周期寄存器高 4 位 (T21PH)	98
6. 3. 11. 5	多功能寄存器 0 低 8 位 (T21R0L)	99
6. 3. 11. 6	多功能寄存器 0 高 4 位 (T21R0H)	99
6. 3. 11. 7	多功能寄存器 1 低 8 位 (T21R1L)	99
6. 3. 11. 8	多功能寄存器 1 高 4 位 (T21R1H)	99
6. 3. 11. 9	多功能寄存器 2 低 8 位 (T21R2L)	100
6. 3. 11. 10	多功能寄存器 2 高 4 位 (T21R2H)	100
6. 3. 11. 11	控制寄存器低 8 位 (T21CL)	100
6. 3. 11. 12	控制寄存器次高 8 位 (T21CM)	101
6. 3. 11. 13	控制寄存器高 8 位 (T21CH)	102
6. 3. 11. 14	输入输出控制寄存器 (T21OC)	102
6. 3. 11. 15	T21 的 PWM (T21_CH0) 沿检测延时寄存器 (TMRADC) ...	103
6. 4	16 位多功能定时器 (T31)	104
6. 4. 1	概述.....	104
6. 4. 2	内部结构图.....	105
6. 4. 3	时钟分频器.....	105
6. 4. 3. 1	预分频器	105
6. 4. 3. 2	后分频器	106
6. 4. 4	计数模式	107
6. 4. 4. 1	递增计数模式.....	107
6. 4. 4. 2	递减计数模式.....	108
6. 4. 4. 3	中心对齐模式.....	109
6. 4. 5	工作模式	109
6. 4. 6	定时器模式.....	110
6. 4. 6. 1	内部时钟源模式	111
6. 4. 6. 2	外部时钟源模式 1	111
6. 4. 6. 3	外部时钟源模式 2	112
6. 4. 7	捕捉器模式.....	113
6. 4. 8	比较器模式.....	114
6. 4. 9	PWM 模式.....	116
6. 4. 9. 1	PWM 普通模式	116
6. 4. 9. 2	PWM 中心对齐模式	117
6. 4. 9. 3	带死区互补输出	118
6. 4. 10	单脉冲模式.....	119
6. 4. 11	关断功能模式	120
6. 4. 12	从模式	122
6. 4. 12. 1	编码器模式	122
6. 4. 12. 2	复位模式.....	123

6. 4. 12. 3	门控模式.....	124
6. 4. 12. 4	触发模式.....	124
6. 4. 13	ICD 调试暂停模式下的 PWM 输出.....	125
6. 4. 14	特殊功能寄存器.....	126
6. 4. 14. 1	计数器寄存器低 8 位 (T31CNTL)	126
6. 4. 14. 2	计数器寄存器高 8 位 (T31CNTH)	126
6. 4. 14. 3	预分频寄存器低 8 位 (T31PRSL)	126
6. 4. 14. 4	预分频寄存器高 8 位 (T31PRSH)	126
6. 4. 14. 5	计数器重载寄存器低 8 位 (T31CNTLDL)	127
6. 4. 14. 6	计数器重载寄存器高 8 位 (T31CNTLDH)	127
6. 4. 14. 7	后分频寄存器 (T31POS)	127
6. 4. 14. 8	通道 1 捕捉/比较寄存器低 8 位 (T31CH1RL)	127
6. 4. 14. 9	通道 1 捕捉/比较寄存器高 8 位 (T31CH1RH)	128
6. 4. 14. 10	通道 2 捕捉/比较寄存器低 8 位 (T31CH2RL)	128
6. 4. 14. 11	通道 2 捕捉/比较寄存器高 8 位 (T31CH2RH)	128
6. 4. 14. 12	通道 3 捕捉/比较寄存器低 8 位 (T31CH3RL)	128
6. 4. 14. 13	通道 3 捕捉/比较寄存器高 8 位 (T31CH3RH)	129
6. 4. 14. 14	通道 4 捕捉/比较寄存器低 8 位 (T31CH4RL)	129
6. 4. 14. 15	通道 4 捕捉/比较寄存器高 8 位 (T31CH4RH)	129
6. 4. 14. 16	死区延时寄存器 (T31DLYT)	129
6. 4. 14. 17	控制寄存器 0 低 8 位 (T31C0L)	130
6. 4. 14. 18	控制寄存器 0 高 8 位 (T31C0H)	131
6. 4. 14. 19	控制寄存器 1 低 8 位 (T31C1L)	131
6. 4. 14. 20	控制寄存器 1 高 8 位 (T31C1H)	132
6. 4. 14. 21	控制寄存器 2 低 8 位 (T31C2L)	133
6. 4. 14. 22	控制寄存器 2 高 8 位 (T31C2H)	134
6. 4. 14. 23	通道 1 控制寄存器 (T31CH1C)	135
6. 4. 14. 24	通道 2 控制寄存器 (T31CH2C)	137
6. 4. 14. 25	通道 3 控制寄存器 (T31CH3C)	139
6. 4. 14. 26	通道 4 控制寄存器 (T31CH4C)	141
6. 4. 14. 27	通道端口控制寄存器低 8 位 (T31PINCL)	143
6. 4. 14. 28	通道端口控制寄存器高 8 位 (T31PINCH)	145
6. 4. 14. 29	通道输出关断控制寄存器 (T31CHBK)	147
6. 4. 14. 30	软件触发事件寄存器 (T31EVG)	148
6. 4. 14. 31	中断使能控制寄存器低 8 位 (T31IEL)	149
6. 4. 14. 32	中断使能控制寄存器高 8 位 (T31IEH)	150
6. 4. 14. 33	中断禁止寄存器低 8 位 (T31IDL)	150
6. 4. 14. 34	中断禁止寄存器高 8 位 (T31IDH)	151
6. 4. 14. 35	中断使能状态寄存器低 8 位 (T31IVSL)	151
6. 4. 14. 36	中断使能状态寄存器高 8 位 (T31IVSH)	152
6. 4. 14. 37	中断标志寄存器低 8 位 (T31IFL)	153
6. 4. 14. 38	中断标志寄存器高 8 位 (T31IFH)	154
6. 4. 14. 39	中断请求状态寄存器低 8 位 (T31IFML)	154
6. 4. 14. 40	中断请求状态寄存器高 8 位 (T31IFMH)	155

6. 4. 14. 41	中断清 0 寄存器低 8 位 (T31ICRL)	156
6. 4. 14. 42	中断清 0 寄存器高 8 位 (T31ICRH)	156
6. 5	通用异步接收/发送器 (UART0/UART1)	158
6. 5. 1	概述	158
6. 5. 2	内部结构图	158
6. 5. 3	波特率配置	159
6. 5. 4	传输数据格式	159
6. 5. 5	异步发送器	159
6. 5. 6	异步接收器	161
6. 5. 7	UARTn 单/双线通信端口	162
6. 5. 8	UARTn 发送/接收端口互换	162
6. 5. 9	UARTn 使用注意事项	163
6. 5. 10	特殊功能寄存器	163
6. 5. 10. 1	UARTn 整数位波特率寄存器 (BR0R/BR1R)	163
6. 5. 10. 2	UARTn 小数位波特率寄存器 (BR0FRA/BR1FRA)	163
6. 5. 10. 3	UARTn 接收数据寄存器 (RX0B/RX1B)	163
6. 5. 10. 4	UARTn 接收控制/状态寄存器 (RX0C/RX1C)	164
6. 5. 10. 5	UARTn 发送数据寄存器 (TX0B/TX1B)	164
6. 5. 10. 6	UARTn 发送控制/状态寄存器 (TX0C/TX1C)	165
6. 6	I2C 总线从动器 (I2CS)	166
6. 6. 1	概述	166
6. 6. 2	内部结构	167
6. 6. 3	I2C 端口配置	167
6. 6. 4	I2C 通讯协议	168
6. 6. 5	I2C 操作	169
6. 6. 6	起始位 START 和停止位 STOP	169
6. 6. 7	数据传输和应答	170
6. 6. 8	数据传输格式参考	171
6. 6. 9	I2C 通讯发送器	171
6. 6. 10	I2C 通讯接收器	172
6. 6. 11	I2C 时钟线自动下拉等待请求功能	172
6. 6. 12	特殊功能寄存器	173
6. 6. 12. 1	I2C 采样滤波寄存器 (I2CX16)	173
6. 6. 12. 2	I2C 控制寄存器 (I2CC)	173
6. 6. 12. 3	I2C 从机地址寄存器 (I2CSA)	174
6. 6. 12. 4	I2C 发送数据缓冲器 (I2CTB)	174
6. 6. 12. 5	I2C 接收数据缓冲器 (I2CRB)	175
6. 6. 12. 6	I2C 中断使能寄存器 (I2CIEC)	175
6. 6. 12. 7	I2C 中断标志寄存器 (I2CIFC)	176
6. 7	SPI 同步串口通讯模块 (SPI)	177
6. 7. 1	概述	177
6. 7. 2	结构框图	177
6. 7. 3	SPI 通讯模式	177
6. 7. 4	SPI 数据格式	177

6. 7. 5	SPI 同步发送器	179
6. 7. 6	SPI 同步接收器	179
6. 7. 7	SPI 通讯控制	180
6. 7. 8	SPI 延迟接收功能	181
6. 7. 9	SPI 应用说明	181
6. 7. 10	特殊功能寄存器	182
6. 7. 10. 1	SPI 控制寄存器 0 (SPICON0)	182
6. 7. 10. 2	SPI 控制寄存器 1 (SPICON1)	182
6. 7. 10. 3	SPI 发送数据写入寄存器 (SPITBW)	183
6. 7. 10. 4	SPI 接收数据读取寄存器 (SPIRBR)	183
6. 7. 10. 5	SPI 中断使能寄存器 (SPIIE)	184
6. 7. 10. 6	SPI 中断标志寄存器 (SPIIF)	184
6. 8	模/数转换器 (ADC)	186
6. 8. 1	概述	186
6. 8. 2	内部结构图	187
6. 8. 3	ADC 配置	187
6. 8. 3. 1	时钟选择	187
6. 8. 3. 2	参考源选择	187
6. 8. 3. 3	内部参考电压	187
6. 8. 3. 4	采样时间选择	187
6. 8. 3. 5	采样模式选择及控制	188
6. 8. 3. 6	复用端口类型选择	188
6. 8. 3. 7	模拟信号输入通道选择	188
6. 8. 3. 8	转换结果和对齐方式选择	188
6. 8. 4	ADC 转换步骤	188
6. 8. 5	电压自动监测	189
6. 8. 6	AD 时序特征示意图	190
6. 8. 7	参考例程	190
6. 8. 8	特殊功能寄存器	191
6. 8. 8. 1	ADC 转换值寄存器 (ADCR)	191
6. 8. 8. 2	ADC 自动监测下门槛值寄存器 (ADCLTR)	191
6. 8. 8. 3	ADC 自动监测上门槛值寄存器 (ADCHTR)	192
6. 8. 8. 4	ADC 控制寄存器低 8 位 (ADCCCL)	192
6. 8. 8. 5	ADC 控制寄存器次高 8 位 (ADCCM)	193
6. 8. 8. 6	ADC 控制寄存器高 8 位 (ADCCCH)	194
6. 8. 8. 7	ADC 控制寄存器超高 8 位 (ADCCSH)	194
6. 8. 8. 8	端口数模控制寄存器低 8 位 (ANSL)	195
6. 8. 8. 9	端口数模控制寄存器高 8 位 (ANSH)	196
6. 9	低电压检测模块 (LVD)	197
6. 9. 1	概述	197
6. 9. 2	LVD 操作	197
6. 9. 3	特殊功能寄存器	197
第 7 章	MCU—中断处理	199
7. 1	概述	199

7.2	中断控制结构框图	200
7.3	中断模式选择	201
7.3.1	默认中断模式	202
7.3.2	向量中断模式	203
7.3.2.1	向量表配置	203
7.3.2.2	中断分组配置	203
7.3.2.3	中断使能配置	204
7.4	中断现场保护	205
7.5	中断操作	206
7.5.1	中断使能位 GIE 和 GIEL 的操作	206
7.5.2	外部中断	206
7.5.3	外部按键中断	206
7.5.4	ADC 中断	207
7.5.5	ADC 电压检测中断	207
7.5.6	LVD 中断	207
7.5.7	T8N 溢出中断	207
7.5.8	T11 溢出中断	208
7.5.9	T11 周期中断	208
7.5.10	T21 溢出中断	208
7.5.11	T21 周期中断	208
7.5.12	T21 多功能中断	208
7.5.13	T31 中断	209
7.5.14	UART0/UART1 中断	209
7.5.15	I2CS 中断	209
7.5.16	SPI 中断	210
7.5.17	中断操作注意事项	210
7.6	特殊功能寄存器	210
7.6.1	中断全局寄存器 (INTG)	210
7.6.2	中断优先级寄存器 (INTP)	211
7.6.3	中断控制寄存器 0 (INTC0)	211
7.6.4	中断标志寄存器 0 (INTF0)	212
7.6.5	中断使能寄存器 0 (INTE0)	212
7.6.6	中断标志寄存器 1 (INTF1)	213
7.6.7	中断使能寄存器 1 (INTE1)	214
7.6.8	中断标志寄存器 2 (INTF2)	215
7.6.9	中断使能寄存器 2 (INTE2)	215
7.6.10	中断标志寄存器 3 (INTF3)	216
7.6.11	中断使能寄存器 3 (INTE3)	217
7.6.12	外部按键中断屏蔽寄存器 (KMSK)	217
第 8 章	MCU 芯片配置字	219
8.1	芯片配置字 0 (CFG_WD0)	219
8.2	芯片配置字 1 (CFG_WD1)	220
第 9 章	RF 收发器—工作模式控制	221
9.1	POWER DOWN 模式	221

9.2	SLEEP 模式	221
9.3	IDLE 模式	222
9.4	TX 模式	222
9.5	RX 模式	222
第 10 章	RF 收发器一包结构	223
10.1	PTX 发送数据包结构	223
10.2	PRX 发送 ACK 包结构	224
第 11 章	RF 收发器一链路控制方式	225
11.1	硬件链路控制方式	225
11.2	软件链路控制方式	225
第 12 章	RF 收发器一多 PIPE 逻辑通道	226
第 13 章	RF 收发器一自动响应 ACK 与自动重传 ART	227
13.1	ACK 不带 ACK PAYLOAD	227
13.2	ACK 带 ACK PAYLOAD	227
第 14 章	RF 收发器一数据与控制接口	228
14.1	FIFO	228
14.2	中断	229
14.2.1	硬件链路控制中断	229
14.2.2	软件链路控制中断	233
14.3	SPI 通信接口	233
14.3.1	SPI 帧格式	234
14.3.2	寄存器访问时序	234
14.3.3	FIFO 访问时序	234
14.3.4	SPI 时序参数	235
第 15 章	RF 收发器一其它功能与设置	236
15.1	RF 收发器复位	236
15.2	频点设置	236
15.3	自动频偏校正(AFC)	236
15.4	软件频偏校正	236
15.5	前导码指示	237
15.6	RSSI 功能	237
15.7	载波检测指示(Carrier Detect)功能	237
15.8	FEC、CRC、SCRAMBLE 功能	237
第 16 章	RF 收发器一寄存器	239
16.1	寄存器列表	239
16.2	寄存器说明	240
16.2.1	PKTCTRL (0x20)	240
16.2.2	TRCTL (0x21)	240
16.2.3	CHANNR (0x22)	241
16.2.4	MISC0 (0x23)	241
16.2.5	FOCCFG (0x24)	242
16.2.6	FREQBASE (0x25)	242
16.2.7	DS_PE (0x26)	243
16.2.8	THRES (0x28)	243

16. 2. 9	MISC1 (0x29)	244
16. 2. 10	MISC2 (0x2A)	244
16. 2. 11	PKG_RSSI (0x2B)	245
16. 2. 12	CDTH (0x2C)	245
16. 2. 13	RSSI (0x2D)	245
16. 2. 14	STATUS0 (0x2E)	245
16. 2. 15	STATUS1 (0x30)	246
16. 2. 16	FIX_LEN_EN (0x31)	246
16. 2. 17	FIFO0DATA (0x32)	246
16. 2. 18	FIFO1DATA (0x33)	247
16. 2. 19	ACKFIFO0DATA (0x34)	247
16. 2. 20	ACKFIFO1DATA (0x35)	247
16. 2. 21	FIFO0CTRL (0x36)	248
16. 2. 22	FIFO1CTRL (0x37)	249
16. 2. 23	ACKFIFO0CTRL (0x38)	250
16. 2. 24	ACKFIFO1CTRL (0x39)	251
16. 2. 25	FIFOSTATUS (0x3A)	252
16. 2. 26	CLEAR (0x3B)	252
16. 2. 27	PIPECTRL (0x3C)	253
16. 2. 28	INT (0x3D)	253
16. 2. 29	P0ADDR0 (0x40)	255
16. 2. 30	P0ADDR1 (0x41)	255
16. 2. 31	P0ADDR2 (0x42)	255
16. 2. 32	P1ADDR0 (0x43)	256
16. 2. 33	P1ADDR1 (0x44)	256
16. 2. 34	P1ADDR2 (0x45)	256
16. 2. 35	P2ADDR (0x46)	256
16. 2. 36	P3ADDR (0x47)	257
第 17 章	RF 收发器—术语解释	258
第 18 章	封装尺寸图	259
18. 1	SSOP20 封装尺寸图	259
第 19 章	应用参考设计	260
19. 1	应用参考 SCH 设计	260
19. 1. 1	应用参考设计 SCH 图	260
19. 1. 2	SCH 设计注意事项	260
19. 2	应用参考 PCB 设计	261
19. 2. 1	应用参考设计 PCB 图	261
19. 2. 2	PCB 设计注意事项	261
附录 1	MCU 指令集	262
附录 1. 1	概述	262
附录 1. 2	寄存器操作指令	262
附录 1. 3	程序控制指令	262
附录 1. 4	算术/逻辑运算指令	263
附录 2	特殊功能寄存器总表（特殊存储体 0）	266

附录 3	特殊功能寄存器总表（特殊存储体 1）	272
附录 4	电气特性	276
附录 4.1	MCU 参数特性表	276
附录 4.1.1	工作条件	276
附录 4.1.2	特性参数测量方法	277
附录 4.1.3	功耗特性表	278
附录 4.1.4	IO 端口特性表	279
附录 4.1.5	系统时钟特性	281
附录 4.1.6	ESD 特性参数表	281
附录 4.1.7	功能模块特性表	281
附录 4.2	MCU 参数特性图	285
附录 4.2.1	功耗特性	285
附录 4.2.2	IO 端口输入特性	287
附录 4.2.3	IO 端口普通驱动输出特性	288
附录 4.2.4	IO 端口增强驱动输出特性（PC0, PB0~PB3, PA0~PA2 端口）	291
附录 4.2.5	IO 端口增强驱动输出特性（PC1, PA3~PA5 端口）	293
附录 4.3	RF 收发器参数特性表	296
附录 4.3.1	功耗参数	296
附录 4.3.2	通讯基本参数	296
附录 4.3.3	发射机参数	296
附录 4.3.4	接收机参数	297
附录 4.3.5	振荡器参数	297
附录 4.3.6	IO 端口 DC 参数	297
附录 4.3.7	状态切换时间参数	297

图目录

图 1-1 系统内部结构框图	26
图 3-1 FLASH 程序存储区寻址空间映射图	38
图 3-2 FLASH 数据存储区寻址空间映射图	38
图 3-3 堆栈示意图	40
图 3-4 页更新参考流程图	43
图 3-5 GPR 地址映射示意图	50
图 3-6 特殊功能寄存器空间	51
图 3-7 直接寻址示意图	53
图 3-8 GPR 特殊寻址示意图	53
图 3-9 间接寻址示意图	54
图 4-1 PA/PB/PC 端口结构图	57
图 5-1 系统时钟结构图	69
图 5-2 看门狗定时器内部结构图	71
图 5-3 BEEPER 结构图	73
图 5-4 芯片复位原理图	74
图 5-5 上电复位时序示意图	74
图 5-6 低电压复位时序示意图	75
图 5-7 外部 MRSTN 管脚复位	75
图 5-8 MRSTN 复位参考电路图 1	76
图 5-9 MRSTN 复位参考电路图 2	76
图 5-10 看门狗溢出复位	77
图 5-11 RST 指令软件复位	77
图 5-12 系统唤醒 IDLE 的时序图	80
图 6-1 T8N 内部结构图	81
图 6-2 定时器模式时序图	83
图 6-3 计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)	83
图 6-4 T11 内部结构图	86
图 6-5 T11 定时器模式时序图	87
图 6-6 T21 内部结构图	91
图 6-7 T21 定时器模式时序图	92
图 6-8 T21 计数器模式时序图	93
图 6-9 T21 多精度 PWM 模式示意图	95
图 6-10 T21 捕捉器模式时序图 (每个脉冲上升沿捕捉信号)	96
图 6-11 T21 比较器模式时序图	97
图 6-12 T31 内部结构图	105
图 6-13 预分频比变更的计数时序图 (T31CNTLD=0x2D)	105
图 6-14 使用后分频的计数时序图 (T31CNTLD=0x2D)	106
图 6-15 递增计数时序图 (预分频为 1)	107
图 6-16 递增计数时序图 (RLBE=1, T31CNTLD 有缓冲)	107
图 6-17 递增计数时序图 (RLBE=0, T31CNTLD 无缓冲)	108
图 6-18 递减计数时序图 (RLBE=1, T31CNTLD 有缓冲)	108
图 6-19 中心对齐模式 1 计数时序图 (RLBE=1)	109
图 6-20 内部时钟源模式下递增计数时序图 (预分频/后分频为 1)	111

图 6-21	外部时钟源模式 1 的计数时序图（时钟源为通道 1 端口，上升沿递增计数）	112
图 6-22	外部时钟源模式 2 的计数时序图（预分频比为 1: 2，上升沿递增计数）	112
图 6-23	测量脉冲信号周期和占空比的捕捉模式时序（通道 1，复位模式）	114
图 6-24	比较器模式时序图（比较匹配后端口输出翻转，CHnOBE=0，无缓冲）	115
图 6-25	普通 PWM 波形，递增计数（T31CHnR=3，T31CNTLD=0x3F，CHnP=0）	117
图 6-26	普通 PWM 波形，递减计数（T31CHnR=3，T31CNTLD=0x3F，CHnP=1）	117
图 6-27	中心对齐 PWM 波形（T31CHnR=0x3D，T31CNTLD=0x3F，CHnP=0，CMC=10）	118
图 6-28	带死区延时的互补输出	118
图 6-29	单脉冲输出波形（PWM 模式 1，T31CHnR=0x3D，T31CNTLD=0x3F，CHnP=1）	119
图 6-30	带死区互补输出的关断时序图	121
图 6-31	编码器模式下的计数器计数时序（T31SM=010，通道输入不反相）	123
图 6-32	复位模式下的计数时序（T31CNTLD=0x3F，通道 2 端口信号上升沿触发）	123
图 6-33	门控模式下的计数时序（T31CNTLD=0x3F，通道 2 端口门控信号高电平有效）	124
图 6-34	触发模式下的计数时序（T31CNTLD=0x3F，通道 2 端口信号上升沿触发）	125
图 6-35	UART 发送端原理图	158
图 6-36	UART 接收端原理图	159
图 6-37	UARTn 数据格式示意图	159
图 6-38	UARTn 发送器操作流程	160
图 6-39	UARTn 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）	161
图 6-40	UARTn 接收器操作流程	162
图 6-41	UARTn 接收器接收数据时序图（9 位数据格式）	162
图 6-42	I2C 内部结构	167
图 6-43	开漏输出端口示意图	168
图 6-44	I2C 总线通讯协议示意图	169
图 6-45	I2C 从动波形图	169
图 6-46	I2C 起始位和停止位	170
图 6-47	数据传输和应答	170
图 6-48	主控器写入从动器数据示意图	171
图 6-49	主控器读取从动器数据示意图	171
图 6-50	I2C 发送数据流示意图	171
图 6-51	I2C 接收数据流示意图	172
图 6-52	I2C 时钟线下拉等待波形示意图	172
图 6-53	SPI 电路结构框图	177
图 6-54	SPI 时钟上升沿发送，下降沿接收波形示意图	178
图 6-55	SPI 时钟下降沿发送，上升沿接收波形示意图	178
图 6-56	SPI 时钟上升沿接收，下降沿发送波形示意图	178
图 6-57	SPI 时钟下降沿接收，上升沿发送波形示意图	179
图 6-58	SPI 发送数据流示意图	179
图 6-59	SPI 接收数据流示意图	180
图 6-60	SPI 延迟接收功能波形示意图	181
图 6-61	ADC 内部结构图	187
图 6-62	ADC 时序特征示意图（SMPS=0）	190
图 6-63	ADC 时序特征示意图（SMPS=1）	190
图 6-64	LVD 工作时序图	197

图 7-1 默认中断模式中断控制逻辑	200
图 7-2 向量中断模式中断控制逻辑	201
图 9-1 RF 收发器工作模式控制示意图	221
图 10-1 PTX 发送数据包结构示意图	223
图 10-2 PRX 发送 ACK 包结构示意图	224
图 12-1 4 路 PIPE 通讯示意图	226
图 14-1 FIFO 控制示意图	228
图 14-2 ACK 不使能情况中断示意图	229
图 14-3 ACK 使能不带 ACK PAYLOAD 中断示意图	229
图 14-4 PTX 自动重传情况 1 中断示意图	230
图 14-5 PTX 自动重传情况 2 中断示意图	230
图 14-6 PTX 自动重传情况 3 中断示意图(重发超时, 重发次数为 2)	231
图 14-7 PRX 自动重收中断示意图	231
图 14-8 ACK 带 ACK PAYLOAD 情况中断示意图	232
图 14-9 PTX 接收 ACK CRC ERROR 情况中断示意图	232
图 14-10 PRX 无满足条件 ACK PAYLOAD 发送情况中断示意图	233
图 14-11 软件链路控制方式下中断示意图	233
图 14-12 SPI 帧格式	234
图 14-13 SPI 写寄存器时序	234
图 14-14 SPI 读寄存器时序	234
图 14-15 SPI 写 FIFO 时序	235
图 14-16 SPI 读 FIFO 时序	235
图 14-17 SPI 时序参数示意图	235
图 15-1 数据扰码生成器	238
图 18-1 SSOP20 封装图	259
图 19-1 应用参考设计 SCH 图	260
图 19-2 应用参考设计 PCB 图	261

表目录

表 1-1	管脚说明表	28
表 1-2	MCU 管脚复用说明表	31
表 1-3	内部连线关系表	32
表 3-1	在线编程/调试管脚说明	49
表 4-1	I/O 端口弱上拉	58
表 4-2	I/O 端口弱下拉	58
表 4-3	I/O 端口开漏输出	58
表 4-4	外部端口中断	60
表 4-5	外部按键中断	60
表 5-1	低功耗模式配置表	79
表 5-2	唤醒方式配置表	79
表 5-3	唤醒时间计算表	80
表 6-1	T8N 预分频器配置表	82
表 6-2	T8N 工作模式配置表	82
表 6-3	带有关断功能的通道互补输出列表	121
表 6-4	计数方向与编码器信号的关系（通道输入不反相）	122
表 6-5	UARTn 波特率配置表	159
表 6-6	I2CS 端口配置表	167
表 7-1	中断模式选择表	201
表 7-2	默认中断模式使能配置表	202
表 7-3	向量表配置表	203
表 7-4	向量中断模式中断分组配置表	204
表 7-5	向量中断模式使能配置表	205
表 14-1	SPI 时序参数	235
表 16-1	寄存器列表	239
表 17-1	术语解释	258
表 18-1	SSOP20 封装尺寸数据表	259
表 19-1	RF 匹配参数表	260

第1章 芯片简介

1.1 概述

ES7W8020 是一款低成本，高集成度的 2.4GHz ISM 频段无线 SoC 芯片，可应用于无线 LED 调光、无线航模、智能家居、以及其它无线数据传输和远程控制等领域。片上集成高性能、低功耗的 RF 收发器和 MCU。

片上 RF 收发器的外围电路简单，只需少数外围被动器件即可构成完整的 2.4G 无线收发系统。RF 收发器的最大发射功率为 8dBm，接收灵敏度为 -93dBm@250Kbps 和 -89dBm@1Mbps。

片上 MCU 具有低功耗特性，具备 16K words 的 FLASH 程序存储空间。

1.1.1 芯片特性

- ◆ 工作条件
 - ◇ 工作电压范围：2.2V ~ 3.6V
 - ◇ 工作温度范围：-40℃ ~ 85℃
- ◆ 封装形式
 - ◇ SSOP20

1.1.2 MCU特性

- ◆ 内核
 - ◇ HR7P RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 系统时钟工作频率最高为 32MHz
 - ◇ 指令周期为 2 个系统时钟周期
 - ◇ 复位向量位于 0000_H，默认中断向量位于 0004_H
 - ◇ 支持中断处理，支持中断优先级和中断向量表
 - ◇ 支持硬件乘法/除法器
- ◆ 存储资源
 - ◇ 16K Word FLASH 程序存储器
 - 共 64 页，每页 256 Word
 - 支持 IAP 操作，查表读，页擦除和单地址编程
 - 擦写时，支持定时器模块正常工作
 - 擦写时，不支持中断处理
 - ◇ 1K Word Data FLASH 数据存储器
 - 共 4 页，每页 256 Word
 - 支持 IAP 操作，查表读，页擦除和单地址编程
 - 擦写时，支持定时器模块正常工作
 - 擦写时，不支持中断处理
 - ◇ 16 级程序堆栈

- ◇ 1K Byte SRAM 数据存储器
- ◇ 程序存储器支持直接寻址、相对寻址和查表读操作
- ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ 编程及调试接口
 - ◇ 支持在线编程 (ISP) 接口
 - 支持 2 组 ISP 编程接口可选择, 硬件自动识别有效的 ISP 编程接口
 - ◇ 支持在线调试 (ICD) 功能
 - 支持 2 组 ICD 调试接口可选择, 通过芯片配置字选择 ICD 编程接口
 - ◇ 支持编程代码加密保护
- ◆ I/O 端口
 - ◇ 最多支持 12 个 I/O 端口
 - PA 端口 (PA0~PA7)
 - PB 端口 (PB0~PB2)
 - PC 端口 (PC1)
 - ◇ 支持 7 个外部端口中断 PINT (PINT0~PINT5, PINT8 为输入端)
 - ◇ 支持 4 个按键端口中断 KINT (KIN0~KIN3 为输入端)
 - ◇ 支持独立的可配置内部弱上/下拉输入端口
 - 支持 12 个独立可配置弱上拉输入端口
 - 支持 11 个独立可配置弱下拉输入端口
 - ◇ 支持 4 个独立可配置开漏输出端口 (PB0~PB1, PC1, PA5)
 - ◇ 支持 10 个驱动能力可独立配置的端口 (PA0~PA5, PB0~PB2, PC1)
 - ◇ 支持 12 个可独立配置的 20nS 输入滤波端口
 - ◇ 支持 3 组可配置的两种 SMIT 输入端口 (PA, PB, PC)
 - ◇ 其中 4 个端口 PC1, PA3~PA5 的灌电流驱动可加强到 60mA@V_{OL}=1.4V, VDD=5V, 常温
- ◆ 复位
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌掉电复位电路 BOR
 - BOR 复位电压 2 个档位可选: 2.1V, 2.5V
 - ◇ 内嵌低电压检测电路 LVD
 - LVD 电压 6 个档位可选: 2.2V~3.6V
 - ◇ 支持外部复位 MRSTN
 - ◇ 支持独立硬件看门狗定时器溢出复位
 - ◇ 支持指令 RST 复位
- ◆ 时钟
 - ◇ 支持多种内部高频 RC 振荡时钟源
 - 64MHz, 32MHz, 16MHz, 4MHz 可选

- 出厂前校准精度为 $\pm 1\%$ （常温 25℃）
- 用于主系统时钟源，最高支持 32MHz
- ◇ 支持内部低频 32KHz RC 振荡时钟源
- 出厂前校准精度为 $\pm 5\%$ （常温 25℃）
- 可选择用于主系统和部分外设时钟源
- ◆ 看门狗定时器
 - ◇ 支持内部 32KHz 作为时钟源
 - ◇ 支持周期匹配寄存器，可调整溢出时间
 - ◇ 支持溢出唤醒功能
 - ◇ 支持溢出复位功能
- ◆ 1 路蜂鸣器 BEEPER
 - ◇ 可配置 3 种频率 1KHz, 2KHz, 4KHz 时钟输出
 - ◇ 时钟输出端口可配置
- ◆ 1 路内部参考电压 VREF
 - ◇ 出厂前校准精度为 $\pm 1\%$ （常温 25℃）
 - ◇ 支持内部参考 2.048V 可选
 - ◇ 可选作为 AD 参考电压
- ◆ 功耗特性
 - ◇ IDLE 电流
 - 2.5uA@5.0V, 25℃, 典型值
 - ◇ 动态电流
 - 2.6mA@内部 16MHz, 5.0V, 25℃, 典型值
- ◆ 外设
 - ◇ 1 路 8 位定时器 T8N
 - 定时器模式（计数时钟为系统时钟 2 分频）
 - 计数器模式（外灌时钟或者内部低频 INTLRC 时钟）
 - 支持可配置预分频器
 - 支持中断产生
 - ◇ 1 路 12 位定时/计数器 T11
 - 支持同步定时器模式（采用系统时钟分频作为时钟源）
 - 内置 4 位预分频器和 7 位后分频器
 - 支持中断产生
 - ◇ 1 路 12 位定时/计数器 T21
 - 支持同步定时器模式（采用系统时钟分频作为时钟源）
 - 内置 4 位预分频器和 7 位后分频器
 - 多达 3 个独立通道，可用于：
 - ✓ 输入捕捉
 - ✓ 输出比较
 - ✓ PWM 生成（多精度 PWM 模式）

- 3 路 PWM 输出占空比可独立设置
- 3 路 PWM 输出极性可独立设置
- 2 组互补 PWM 输出
- PWM 沿和比较输出可触发 AD 转换
- 支持计数器溢出中断、PWM 周期匹配中断、捕捉中断、比较中断
- 支持 PWM 时钟源可配置：系统时钟 Fosc，或 INTHRC 时钟
- 支持外部时钟作为异步计数时钟
- ◇ 1 路 16 位多功能定时器 T31
 - 16 位自动重载计数器，支持递增计数，递减计数，递增/递减交替计数模式
 - 16 位可编程预分频器，计数时钟预分频范围为 1~65536
 - 8 位可编程后分频器，后分频范围为 1~256
 - 8 位死区延时寄存器 T31DLYT
 - 4 个 16 位捕捉/比较寄存器 T31CH1R、T31CH2R、T31CH3R 和 T31CH4R
 - 支持 7 种工作模式：定时器模式，捕捉模式，比较模式，PWM 模式，单脉冲模式，关断功能模式，从模式
 - 支持多个从模式：编码器模式，复位模式，门控模式，触发模式
 - 多达 4 个独立通道，可用于：
 - ✓ 输入捕捉
 - ✓ 输出比较
 - ✓ PWM 生成（普通 PWM 模式，中心对齐模式，带死区互补输出）
 - ✓ 单脉冲模式输出
 - 以下事件将生成中断请求：
 - ✓ 更新：计数器上溢出/下溢出、计数器初始化（通过软件或内部/外部触发）
 - ✓ 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）
 - ✓ 输入捕捉
 - ✓ 输出比较匹配
 - ✓ 关断输入
 - 支持 PWM 时钟源可配置：系统时钟 Fosc，或 INTHRC 时钟
- ◇ 两路高速异步收发器 UART0/UART1
 - 支持异步全双工收发
 - 支持 8 位/9 位数据格式
 - 约定数据从最低位开始接收/发送
 - 支持双/单线通讯
 - 支持接收/发送端口互换
 - 支持 4 位小数波特率
 - 支持中断产生
- ◇ 一路 I2C 总线
 - 只支持从动模式
 - 支持标准 I2C 总线协议，最高传输速率 400K bit/s
 - 支持 7 位寻址方式
 - 约定数据从最高位开始接收/发送
 - 支持中断产生
- ◇ 一路同步串口通讯模块 SPI（MCU 的 SPI 端口与 RF 内部连接，仅供内部使用）

- 支持主控模式、从动模式
- 支持 4 种数据传输格式
- 支持主控模式通讯时钟速率可配置
- 支持 4 级发送缓冲器和 4 级接收缓冲器
- 支持发送和接收缓冲器空/满中断
- 支持接收数据溢出中断、发送数据写错误中断、从动模式的发送数据错误中断
- 支持从动模式的片选变化中断、主控模式的空闲状态中断
- 支持主控模式延迟接收
- ◇ 模拟数字转换器 ADC
 - 支持 12 位数字转换精度
 - 支持 8+2 通道模拟输入端
 - 支持可选择参考电压源
 - 支持内部参考 2.048V 可选
 - 支持 1/4VDD 和 VSS 作为 ADC 的内部输入通道
 - 支持窗口电压自动监测
 - ADC 转换支持以下启动方式
 - 设置寄存器 ADCCL 的 ADTRG=1 (SMPS=1) 启动转换
 - 设置寄存器 ADCCL 的 SMPON=1 (SMPS=0) 启动转换
 - 外部中断 PINT5 (ADC_ETR0/PA7) 启动转换, 需设置 ADC_ETR0EN=1
 - 外部中断 PINT8 (ADC_ETR1/PB1) 启动转换, 需设置 ADC_ETR1EN=1
 - T21 模块的比较匹配触发转换, 需设置寄存器 T21CL 的 T21M=1011
 - T31 模块的更新事件或比较匹配触发转换, 可通过寄存器 T31C1L 的 ADTRGS 位设置
 - 支持中断产生, 可唤醒 CPU

1.1.3 RF收发器特性

- ◆ 通讯特性
 - ◇ 使用国际通用的 2.4GHz ISM 工作频段 2402MHz~2483MHz
 - ◇ 支持 GFSK 调制方式
 - ◇ 支持 250Kbps/1Mbps 两种数据速率
 - ◇ 支持数字 RSSI 测量
 - ◇ 支持 4 PIPE 多逻辑通道传输
- ◆ 接收机灵敏度 (0.1%BER)
 - ◇ -89dBm@1Mbps
 - ◇ -93dBm@250Kbps
- ◆ 发射机输出功率
 - ◇ 持发射机输出功率手动或自动控制: -40dBm ~ +8dBm
- ◆ 功耗特性
 - ◇ 发射机输出功率在 0dBm 时, 芯片功耗约为 23mA
 - ◇ 接收机工作时, 芯片功耗约为 20mA

- ◇ IDLE 模式电流约为 1.7mA
- ◇ SLEEP 模式电流约为 25μA
- ◇ POWER DOWN 模式下电流约为 1.5μA
- ◆ 时钟电路
 - ◇ 支持 12/16MHz 石英晶体振荡器

1.2 系统框图

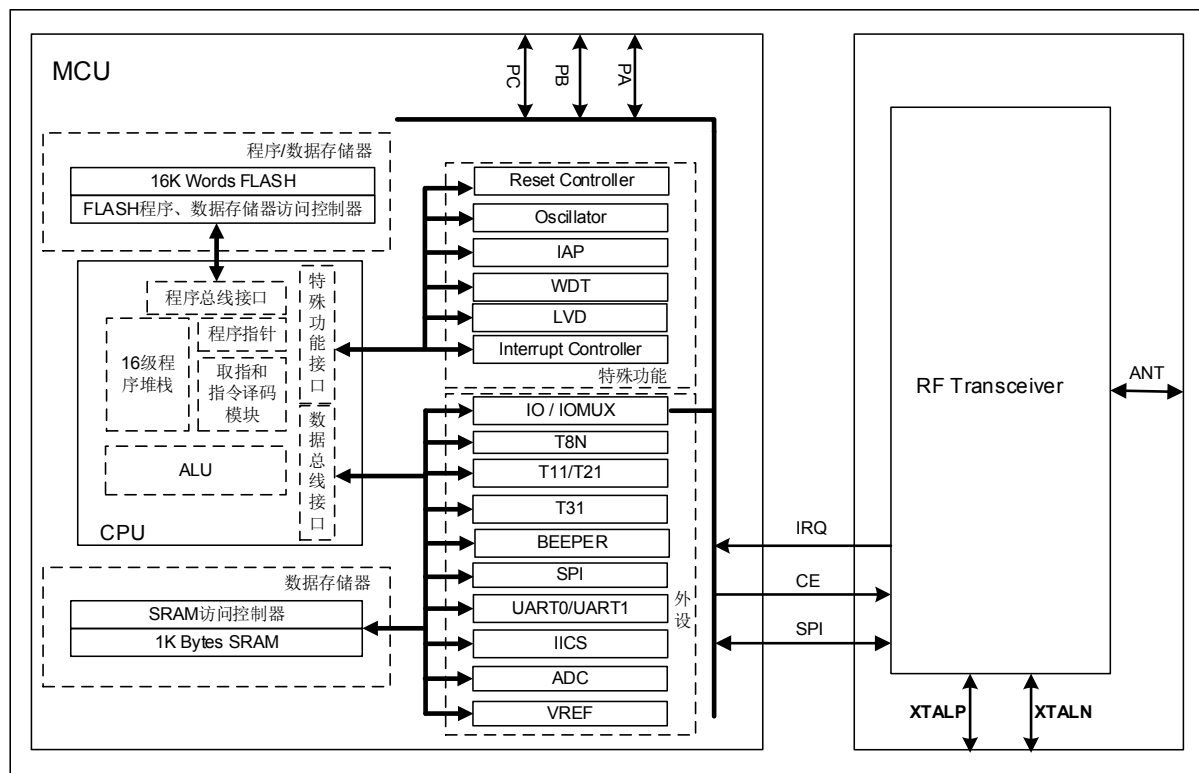
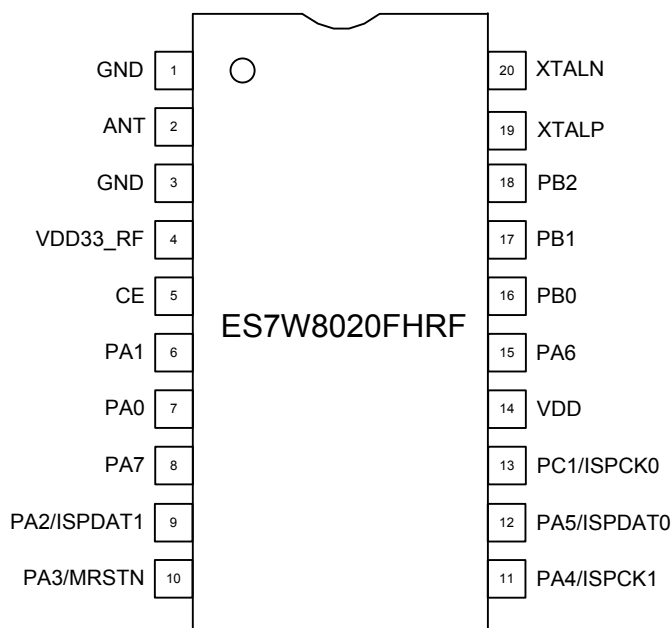


图 1-1 系统内部结构框图

1.3 管脚分配图

1.3.1 管脚分配图



注 1: MRSTN 表示低电平有效。

注 2: 外部复位管脚 MRSTN 可以复用 PA3 为数字输入/输出功能。

注 3: PC1 和 PA5, PA4 和 PA2 作为 2 组在线编程/调试接口, 使用时可选择其中任意一组。

注 4: I2CS 有两组通讯口可选, 分别为 PC1 和 PA5, PB1 和 PB0。

注 5: UART1 的通讯口为 PC1 和 PA5; UART0 的通讯口为 PA1 和 PA2。

注 6: UART1 的单线通讯端口为 PC1, UART0 的单线通讯端口为 PA1。

注 7: 芯片 I/O 端口输入电平不能高于芯片 $VDD+0.3V$ 且不能低于 $VSS-0.3V$, 否则可能会影响芯片正常工作;

注 8: 在应用系统中, 未使用的 I/O 管脚需软件设置为输出低电平, 如果产品封装引脚数小于本系列最大封装管脚数, 则未引出的 I/O 管脚也需软件设置为输出低电平, 否则芯片功耗可能会出现异常, 芯片工作稳定性也容易因外界干扰而降低。

1.3.2 管脚说明

管脚序号	管脚名	管脚说明
1	GND	地线 (0V)
2	ANT	RF 收发器的射频输入/输出端口
3	GND	地线 (0V)
4	VDD33_RF	RF 收发器的电源输入 (2.2V ~ 3.6V)
5	CE	RF 使能输入, 内部与 PB7 连接, 可外接滤波电容 (推荐)
6	PA1	MCU 的 GPIO
7	PA0	MCU 的 GPIO
8	PA7	MCU 的 GPIO
9	PA2	MCU 的 GPIO
10	PA3	MCU 的 GPIO

管脚序号	管脚名	管脚说明
11	PA4	MCU 的 GPIO
12	PA5	MCU 的 GPIO
13	PC1	MCU 的 GPIO
14	VDD	MCU 的数字电源输入 (2.2V ~ 3.6V)
15	PA6	MCU 的 GPIO
16	PB0	MCU 的 GPIO
17	PB1	MCU 的 GPIO
18	PB2	MCU 的 GPIO
19	XTALP	RF 收发器的晶体振荡器输入
20	XTALN	RF 收发器的晶体振荡器输出

表 1-1 管脚说明表

1.3.3 管脚复用说明

下面给出 MCU 复用管脚的具体说明：

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PA0/AIN0/T21_CH0/ PINT0	PA0	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN0	—	—	A	ADC 模拟通道 0 输入	
	T21_CH0	TTL	CMOS	D	T21 捕捉输入通道 0 PWM 输出通道 0 比较输出通道 0	
	PINT0	TTL	—	D	外部中断输入 0	
PA1/AIN1/TX0/KIN0	PA1	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN1	—	—	A	ADC 模拟通道 1 输入	
	TX0	—	CMOS	D	UART0 发送输出	
	KIN0	TTL	—	D	外部按键中断输入 0	
PA2/AIN2/ISPDA1/R X0/KIN1	PA2	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN2	—	—	A	ADC 模拟通道 2 输入	
	ISPDAT1	TTL	CMOS	D	ISP 串行编程/调试数据输入 输出 1	
	RX0	TTL	—	D	UART0 接收输入	
	KIN1	TTL	—	D	外部按键中断输入 1	
PA3/MRSTN/T21CK I/BEEPO/ PINT1	PA3	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	MRSTN	TTL	—	D	外部复位输入	
	T21CKI	TTL	—	D	外部时钟输入	
	BEEPO	—	CMOS	D	蜂鸣器时钟输出	
	PINT1	TTL	—	D	外部中断输入 1	
PA4/ISPCK1/ T8NCKI/ T21_CH2N/ PINT2	PA4	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	ISPCK1	TTL	—	D	ISP 串行编程/调试时钟输入 1	
	T8NCKI	TTL	—	D	T8N 外部时钟输入	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
	T21_CH2N	—	CMOS	D	T21 通道 2 PWM 互补输出 比较互补输出	
	PINT2	TTL	—	D	外部中断输入 2	
PA5/ISPDA0/RX1/I2C_SDA/PINT3	PA5	TTL	CMOS	D	通用 I/O	支持开漏输出，支持弱上/下拉
	ISPDA0	TTL	CMOS	D	ISP 串行编程/调试数据输入输出 0	
	RX1	TTL	—	D	UART1 接收输入	
	I2C_SDA	TTL	CMOS	D	I2C 数据输入/输出	
	PINT3	TTL	—	D	外部中断输入 3	
PA6/AIN10/SPI_NSS/T21_CH2/PINT4	PA6	TTL	CMOS	D	通用 I/O	支持弱上/下拉
	AIN10	—	—	A	ADC 模拟通道 10 输入	
	SPI_NSS	TTL	—	D	SPI 从动模式片选输入	
	T21_CH2	TTL	CMOS	D	T21 捕捉输入通道 2 PWM 输出通道 2 比较输出通道 2	
	PINT4	TTL	—	D	外部中断输入 4	
PA7/AIN7/T21_CH1/T31_CH3N/ADC_ETR0/PINT5	PA7	TTL	CMOS	D	通用 I/O	支持弱上/下拉
	AIN7	—	—	A	ADC 模拟通道 7 输入	
	T21_CH1	TTL	CMOS	D	T21 捕捉输入通道 1 PWM 输出通道 1 比较输出通道 1	
	T31_CH3N	—	CMOS	D	T31 通道 3 互补输出	
	ADC_ETR0	TTL	—	D	外部中断 5 触发 AD 转换信号	
	PINT5	TTL	—	D	外部中断输入 5	
PB0/AIN3/I2C_SDA/T21_CH0N/T31_ETR/KIN2	PB0	TTL	CMOS	D	通用 I/O	支持弱上/下拉/开漏输出
	AIN3	—	—	A	ADC 模拟通道 3 输入	
	I2C_SDA	TTL	CMOS	D	I2C 数据输入/输出	
	T21_CH0N	—	CMOS	D	T21 通道 0 PWM 互补输出 比较互补输出	
	T31_ETR	TTL	—	D	T31 外部触发输入信号	
	KIN2	TTL	—	D	外部按键中断输入 2	
PB1/AIN11/I2C_SCL/ADC_ETR1/T31_BRK/PINT8	PB1	TTL	CMOS	D	通用 I/O	支持弱上/下拉/开漏输出
	AIN11	—	—	A	ADC 模拟通道 11 输入	
	I2C_SCL	TTL	—	D	I2C 时钟输入	
	ADC_ETR1	TTL	—	D	外部中断 8 触发 AD 转换信号	
	T31_BRK	TTL	—	D	T31 关断事件输入	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
	PINT8	TTL	—	D	外部中断输入 8	
PB2/AIN4/ T31_CH1N/T11CKI/ BEEPO/KIN3	PB2	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN4	—	—	A	ADC 模拟通道 4 输入	
	T31_CH1N	—	CMOS	D	T31 通道 1 比较和 PWM 互 补输出	
	T11CKI	TTL	—	D	T11 计数时钟输入	
	BEEPO	—	CMOS	D	蜂鸣器时钟输出	
	KIN3	TTL	—	D	按键中断输入 3	
PB3/AIN5/T31_CH4/ T31_CH2N/CLKO/KI N4	PB3	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN5	—	—	A	ADC 模拟通道 5 输入	
	T31_CH4	TTL	CMOS	D	T31 通道 4 捕捉输入 比较输出, PWM 输出	
	T31_CH2N	—	CMOS	D	T31 通道 2 比较和 PWM 互 补输出	
	CLKO	—	CMOS	D	系统时钟输出	
	KIN4	TTL	—	D	按键中断输入 4	
PB4/AIN9/SPI_SCK/ T21_CH0/T31_CH3/ PINT6	PB4	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN9	—	—	A	ADC 模拟通道 9 输入	
	SPI_SCK	TTL	—	D	SPI 从动模式时钟输入	
	T21_CH0	TTL	CMOS	D	T21 捕捉输入通道 0 PWM 输出通道 0 比较输出通道 0	
	T31_CH3	TTL	CMOS	D	T31 通道 3 捕捉输入 比较输出 PWM 输出	
	PINT6	TTL	—	D	外部中断输入 6	
PB5/AIN12/SPI_MO SI/T31_CH1/TX1/PI NT7	PB5	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN12	—	—	A	ADC 模拟通道 12 输入	
	SPI_MOSI	TTL	CMOS	D	SPI 主控输出/从机输入端口	
	T31_CH1	TTL	CMOS	D	T31 通道 1 捕捉输入 比较输出 PWM 互补输出	
	TX1	—	CMOS	D	UART1 发送输出	
	PINT7	TTL	—	D	外部中断输入 7	
PB6/SPI_MISO/T31 _CH2/RX1/KIN5	PB6	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	SPI_MISO	TTL	CMOS	D	SPI 主控输入/从机输出端口	
	T31_CH2	TTL	CMOS	D	T31 通道 2 捕捉输入 比较输出 PWM 输出	
	RX1	TTL	—	D	UART1 接收输入	
	KIN5	TTL	—	D	外部按键中断输入 5	
PB7/AIN6/T21_CH2/	PB7	TTL	CMOS	D	通用 I/O	支持弱

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
T31_CH2N /BEEPO/KIN6	AIN6	—	—	A	ADC 模拟通道 6 输入	上/下 拉
	T21_CH2	TTL	CMOS	D	T21 捕捉输入通道 2 PWM 输出通道 2 比较输出通道 2	
	T31_CH2N	—	CMOS	D	T31 通道 2 比较和 PWM 互 补输出	
	BEEPO	—	CMOS	D	蜂鸣器时钟输出	
	KIN6	TTL	—	D	外部按键中断输入 6	
PC0/T31_CH1N/KIN 7	PC0	TTL	CMOS	D	通用 I/O	支持弱 上拉
	T31_CH1N	—	CMOS	D	T31 通道 1 比较和 PWM 互 补输出	
	KIN7	TTL	—	D	外部按键中断输入 7	
PC1/ISPCK0/T31_C H3N/TX1/I2C_SCL	PC1	TTL	CMOS	D	通用 I/O	支持弱 上拉/ 开漏输 出
	ISPCK0	TTL	—	D	ISP 串行编程/调试时钟输入 0	
	T31_CH3N	—	CMOS	D	T31 通道 3 比较和 PWM 互 补输出	
	TX1	—	CMOS	D	UART1 发送输出	
	I2C_SCL	TTL	—	D	I2C 时钟输入	
VDD	VDD	—	—	P	电源	—
VSS	VSS	—	—	P	地, 0V 参考点	—

表 1-2 MCU 管脚复用说明表

注 1: 灰色部分为内部连线管脚, 未封装到外部管脚, 只可做内部 RF 详见“内部连线说明” 章节。

注 2: A = 模拟端口, D = 数字端口, P = 电源/地。

注 3: MRSTN 表示低电平复位有效。

注 4: 所有通用 I/O 端口均支持 CMOS 和 TTL 施密特输入可选, 以及 CMOS 输出驱动。

1.3.4 内部连线说明

MCU 和 RF 收发器的数字接口是直接内部连接的，内部连线关系如下表所示：

序号	RF 收发器(I/O)	MCU(I/O)	说明
1	CSN(I)	PC0(O)	RF 收发器 SPI 的片选输入口（低有效），内部与 MCU 的 PC0 相连，PC0 需设置为数字输出口。
2	SCK(I)	PB4(O)	RF 收发器 SPI 的时钟输入口，内部与 MCU 的 PB4 相连，PB4 需设置为数字输出口。
3	MOSI(I)	PB5(O)	RF 收发器 SPI 的数据输入口，内部与 MCU 的 PB5 相连，PB5 需设置为数字输出口。
4	MISO(O)	PB6(I)	RF 收发器 SPI 的数据输出口，内部与 MCU 的 PB6 相连，PB6 需设置为数字输入口。
5	IRQ(O)	PB3(I)	RF 收发器中断输出口，内部与 MCU 的 PB3 相连，PB3 需设置为数字输入口，并使能中断。
6	CE(I)	PB7(O)	RF 收发器芯片使能输入端，内部与 MCU 的 PB7 相连，PB7 需设置为数字输出口，且 CE 脚封装到外部管脚，可外接滤波电容（推荐）。

表 1-3 内部连线关系表

第2章 MCU—内核特性

2.1 CPU内核概述

◇ 内核特性

- 采用高性能 ES7P RISC CPU 内核，79 条精简指令集
- 采用 2T 架构，每个机器周期包括两个系统时钟周期
- 系统时钟最高支持 32MHz，最小指令周期 62.5ns
- 支持中断优先级和中断向量表
- 支持硬件乘法器

2.2 硬件乘法器

2.2.1 概述

芯片指令集不包含乘法指令，内部集成独立的硬件乘法器，通过读写相应寄存器进行操作。

◇ 主要功能组件

- 8 位乘数 A 寄存器（MULA，只可写）
- 8 位乘数 B 寄存器（MULB，只可写）
- 16 位乘积寄存器（MULL/MULH，只可读）

2.2.2 硬件乘法器操作

硬件乘法器完成 8 位乘数 MULA 与 8 位乘数 MULB 的相乘操作： $<8 \text{ 位乘数 A} > \times <8 \text{ 位乘数 B} > = 16 \text{ 位乘积}$ 。

在 MULA 和 MULB 写入完成后的 1 个机器周期内，将 16 位结果高、低 8 位分别存储于 2 个寄存器 MULH 和 MULL。

MULA 和 MULL 共用一个寄存器地址，MULB 和 MULH 共用一个寄存器地址。乘数 A/B 设置完成后，下一条指令即可读取乘积结果。

应用实例：硬件乘法器操作应用程序

```
.....  
BCC      INTG,GIE  
MOVI     mul_operand_a  
MOVA     MULA           ; 写乘数 A  
MOVI     mul_operand_b  
MOVA     MULB           ; 写乘数 B  
MOV      MULL,0         ; 读乘积低 8 位  
... ..  
MOV      MULH,0         ; 读乘积高 8 位  
... ..
```

注：硬件乘法器的乘数寄存器可写不可读，在使用硬件乘法器之前，需先禁止全局中断使能（GIE=0），以免在中断处理过程中，乘数寄存器无法被有效保护而被改写。

2.3 特殊功能寄存器

CPU 相关寄存器包括 14-bit 程序计数器寄存器 PCRL/PCRH，程序状态字寄存器 PSW，累加器 A 寄存器 AREG，乘数寄存器 MULA、MULB 和乘积寄存器 MULL、MULH，其中程序状态寄存器 PSW 用于存放各个状态标志位，包括程序出栈溢出、负数标志位、溢出标志位、零标志位、半进位/半借位标志位，以及全进位或全借位标志位等。

2.3.1 程序状态字寄存器（PSW）

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
RESET	x	0	0	x	x	x	x	x

Bit 7	未使用
Bit 6	UF: 程序出栈溢出标志位 0: 程序出栈未溢出 1: 程序出栈溢出
Bit 5	OF: 程序压栈溢出标志位 0: 程序压栈未溢出 1: 程序压栈溢出
Bit 4	N: 负数标志位 0: 有符号算术或逻辑运算结果为正数 1: 结果为负数
Bit 3	OV: 溢出标志位 0: 有符号算术运算未发生溢出 1: 发生溢出
Bit 2	Z: 零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
Bit 1	DC: 半进位或半借位标志位 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Bit 0	C: 全进位或全借位标志位 0: 无进位或有借位 1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作，包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作，只根据指令的运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位，仅上电复位、复位指令和 MRSTN 复位会将其清零，其它复位不影响这两个标志位。

2.3.2 程序计数器寄存器低8位（PCRL）

PCRL: 程序计数器寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCRL<7:0>: 程序计数器寄存器低 8 位

2.3.3 程序计数器寄存器高6位（PCRH）

PCRH: 程序计数器寄存器高 5 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PCRH<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 未使用

Bit 5~0 PCRH<5:0>: 程序计数器寄存器高 6 位

2.3.4 累加器A寄存器（AREG）

AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 AREG<7:0>: 累加器的值

2.3.5 乘数A寄存器（MULA）

MULA: 乘数 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULA<7:0>: 乘数 A

2.3.6 乘数B寄存器（MULB）

MULB: 乘数 B 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULB<7:0>: 乘数 B

2.3.7 乘积低8位寄存器 (MULL)

MULL: 乘积低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MUL<7:0>: 乘积低 8 位

2.3.8 乘积高8位寄存器 (MULH)

MULH: 乘积高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MUL<15:8>: 乘积高 8 位

第3章 MCU—存储资源

3.1 概述

本芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◇ 16K word FLASH 程序存储区
 - 共分为 64 页，每页 256 word
 - 存储空间 0000_H ~ 3FFF_H (IAP 访问时为 32 位字单元操作，每个地址单元为 2 个 word，其中高 16 位和低 16 位分别对应于奇数地址单元 word 和偶数地址单元 word)
 - 支持应用中自编程操作 IAP (In-Application Programming)，包括编程和页擦
 - 支持查表指令读取数据
 - 支持页擦除，擦除时间至少为 2ms
 - 支持单地址编程，编程时间至少为 25us
 - 支持至少 10 万次擦写次数，10 年以上的数据保持时间
 - 擦写时，支持定时器模块正常工作，但不支持中断处理
- ◇ 1K word Data FLASH 数据存储区
 - 共 4 页，每页 256 word
 - 存储空间 C000_H ~ C1FF_H (IAP 访问时为 32 位字单元操作，每个地址单元为 2 个 word)
 - 支持应用中自编程操作 IAP (In-Application Programming)，包括编程和页擦
 - 支持查表指令读取数据
 - 支持页擦除，擦除时间至少为 2ms
 - 支持单地址编程，编程时间至少为 25us
 - 支持至少 10 万次擦写次数，10 年以上的数据保持时间
 - 擦写时，支持定时器模块正常工作，但不支持中断处理
- ◇ 256 word FLASH 信息存储区
 - 存储空间 8000_H ~ 807F_H (IAP 访问时为 32 位字单元操作，每个地址单元为 2 个 word)
- ◇ 1K byte SRAM 数据存储器

其中 FLASH 程序存储区被映射到程序寻址空间，FLASH 数据存储区被映射到 Data FLASH 寻址空间，FLASH 信息存储区被映射到信息区寻址空间，SRAM 数据存储器被映射到数据寻址空间。

3.2 程序/数据寻址空间映射

FLASH 程序/数据/信息寻址空间映射如下图：

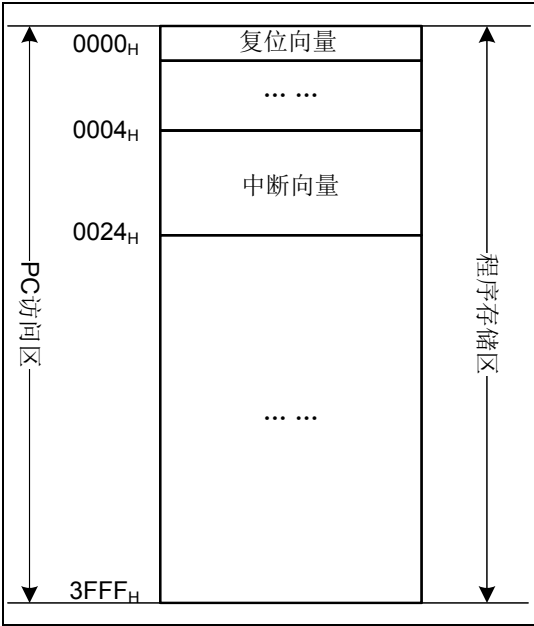


图 3-1 FLASH 程序存储区寻址空间映射图

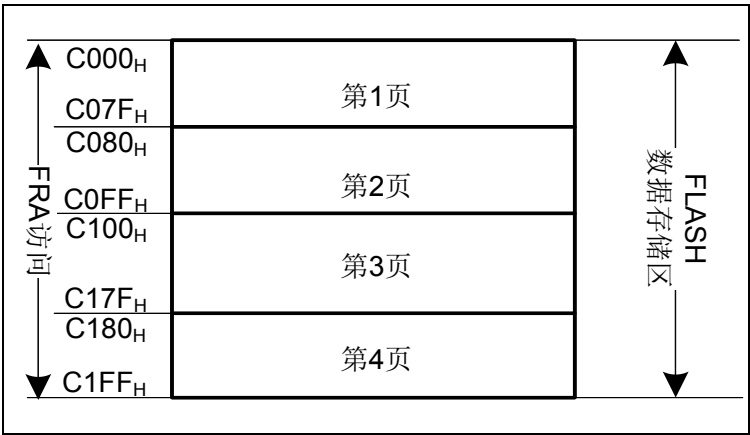


图 3-2 FLASH 数据存储区寻址空间映射图

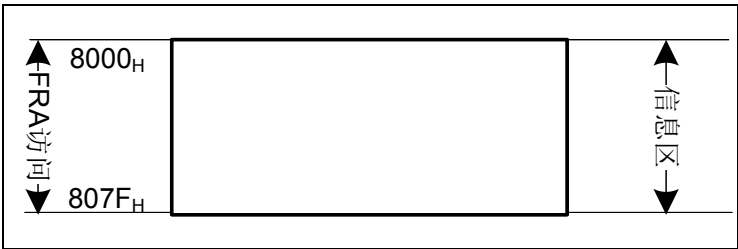


图 3-3 信息区寻址空间映射图

注：FLASH 数据/程序存储区，信息区在进行 IAP 读写时，均只支持 32 位字单元操作。

3.3 FLASH存储器

3.3.1 概述

FLASH 存储器分为程序存储区，数据存储区和信息存储区三个区域。

FLASH 程序存储区用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此约 16K Word FLASH 程序存储器被映射到程序寻址空间的地址空间 0000_H~3FFF_H，每个访问地址对应于一个 16 位宽（2 个字节）的存储单元。通过 14 位程序计数器 PC 进行程序寻址访问。

FLASH 数据存储区用于存储用户系统中的关键参数，芯片掉电后不会丢失。

FLASH 信息存储区用于存储芯片出厂时的关键参数，芯片掉电后不会丢失。

3.3.2 程序计数器（PC）

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时，PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。14 位程序计数器 PC<13:0>，可寻址 16K 程序存储空间 0000_H ~ 3FFF_H，超出地址范围会导致 PC 循环（又从 0000_H 开始访问）。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 6 位不能直接读写，只能通过 PCRH 寄存器来间接赋值（在执行 RCALL、CALL、GOTO 等指令前，需先对 PCRH 寄存器赋值）。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

当进行 FLASH 数据存储器进行擦写时，程序计数器 PC 暂停更新。

各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<13:8>=PCRH<5:0>，因此，修改 PC 时，应先修改 PCRH<5:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<13:8>=PCRH<5:0>。
3. 执行 CALL、GOTO 指令时，PC<13:0>低 11 位为指令中 11 位立即数，而 PC<13:12>=PCRH<5:4>。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<13:0>被修改为该 16 位立即数的值的低 14 位；同时 PCRH<5:0>被修改为 I<13:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<13:0> 被修改为该 16 位立即数的值的低 14 位，同时 PCRH<5:0>修改为 I<13:8>的值。
6. 执行 PAGE 指令时，PCRH<5:3>的值将被该指令的立即数 I<2:0>替换。
7. 执行其他指令时，PC 值自动加 1。

应用实例：以 PCRL 为目标寄存器的指令应用程序

```
.....  
MOVI    pageaddr  
MOVA    PCRH        ; 设置表格页面地址  
MOVI    tableaddr   ; 设置偏移量给 A 寄存器  
CALL    TABLE      ; 调用子程序方式查表  
.....
```

TABLE:

ADD	PCRL, F	; PC 加上偏移量, 指向访问的地址
RETIA	0x01	
RETIA	0x02	
RETIA	0x03	

.....

3.3.3 硬件堆栈

芯片内有 16 级硬件堆栈, 堆栈位宽与 PC 位宽相等, 用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后, PC 自动压栈保护; 当执行 RET、RETIA 或 RETIE 指令时, 堆栈会将最近一次压栈的值恢复至 PC。

16 级硬件堆栈只支持 16 级缓冲操作, 即硬件堆栈只保存最近的 16 次压栈值, 对于连续超过 16 次的压栈操作, 第 17 次的压栈数据会覆盖第 1 次压栈的数据, 使得第 1 次的压栈数据丢失。同样, 超过 16 次的连续出栈, 第 17 次出栈操作, 可能使得程序流程不可控。芯片复位后, 堆栈指针将重新指向堆栈顶部。

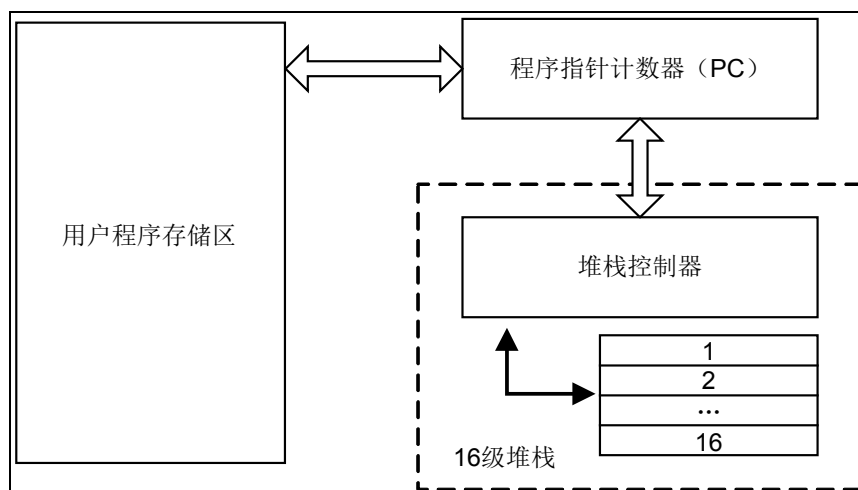


图 3-3 堆栈示意图

3.3.4 FLASH存储器IAP操作

3.3.4.1 概述

FLASH 存储器的 IAP 擦除操作是以页 (Page) 为单位, 程序区和数据区每页为 128 个地址单元 (每个地址单元为 2 个 word, 共 256 个 word), 页地址对应到 FRAH。FLASH 存储器的读出和 IAP 编程写入操作以 1 个地址单元为单位, 通过 FRA<12:0> (FRAH, FRAL) 寻址, FRA<13>固定为 0。

FLASH 存储区包括 DATA 数据区、信息区、程序区, 三个区域的选择通过 FRA<15:14> 地址寄存器设置, FRA<15:14>=2'b11 时, 选择 DATA 区; FRA<15:14>=2'b10 时, 选择信息区; FRA<15:14>=2'b00 时, 选择程序区。

当 FLASH 存储器进行 IAP 擦除或 IAP 写入操作时 CPU 内核暂停执行, 需要软件关闭全局中断使能位 GIE (INTG<7>), 并判断 GIE 寄存器是否清零成功, 如未被清零, 则需再次执行软件清零操作, 直到清零成功, 外设可按预设状态继续运行, 外设的中断请求将置位相应的中断标志。当 IAP 擦除或 IAP 写入操作完成时, CPU 内核恢复执行, 软件

可再使能全局中断，进行相应的中断处理。

FLASH 数据存储区和程序存储区都支持查表读和 IAP 擦写操作，信息存储区只支持 IAP 字读操作。

FLASH 程序区连续读写，需地址加 2 递增，FRA<0>无效；而数据区连续读写，需地址加 1 递增；信息区连续读，也是地址加 1 递增。访问 FLASH 程序区时，以 FRA<12:1> 为有效地址进行寻址，对每次读写的 2 个 16 位字，ROMD (ROMDH, ROMDL) 对应于地址最低位 FRA<0>=0 的字，ROMD1 (ROMD1H, ROMD1L) 对应于地址最低位 FRA<0>=1 的字。

3.3.4.2 查表读操作

本芯片的 FLASH 程序区，数据区和信息区都支持查表读操作。通过查表读指令将 FRA (FRAH, FRAL) 所指向的存储器地址单元中的字 (32 位) 读入 ROMD (ROMDH, ROMDL) 和 ROMD1 (ROMD1H, ROMD1L) 中。

本芯片查表写指令保留未用 (执行时仅影响 FRA 寄存器)。

在进行查表读操作时，需要设置 FRA<15:14>地址选择操作区域，程序区查表读还需使能配置字 FREN (CFG_WD0<13>)，如果 FREN 为 0，禁止查表读，程序区读取时为全零；数据区查表读和配置字 FREN 是否使能无关。

特别注意，在进行数据区和信息区查表读之前，需要先使能读触发位 DATARDTRG (ROMCL<0>)，使能读准备，并判断读准备结束后，再使能读出使能位 DATARDEN (ROMCL<7>)，最后执行查表读指令。详见下面应用例程 2 和 3。

应用例程 1: FLASH 程序存储区查表读

```
MOVI    0x04                ;读取 FRA<15:0>地址的数据，即程序存储器
                                ;0104H 和 0105H 地址单元，共 2 个 word

MOVA     FRAL
MOVI     0x01
MOVA     FRAH
TBR
MOV      ROMDH, 0
... ..
MOV      ROMDL, 0            ;读取地址单元 0104H
... ..
MOV      ROMD1H, 0
... ..
MOV      ROMD1L, 0           ;读取地址单元 0105H
... ..
MOVI     0x00                ;退出 IAP 操作
MOVA     ROMCL
```

应用例程 2: FLASH 数据存储区查表读。

```
MOVI     0x04                ;读取 FRA<15:0>地址的数据，即数据存储器 C004H
MOVA     FRAL
```

MOVI	0XC0	
MOVA	FRAH	
BCC	INTG, GIE	
JBC	INTG, GIE	;判断全局中断是否清零
GOTO	\$-2	
BSS	ROMCL,0	;使能读触发位, 读准备使能
JBC	ROMCL,0	;判断读准备是否完成
GOTO	\$-1	
BSS	ROMCL,7	;读出使能
TBR		;查表读
MOV	ROMDH, 0	
.....		
MOV	ROMDL, 0	;读取地址单元 C004 _H 低 16 位数据
.....		
MOV	ROMD1H, 0	
.....		
MOV	ROMD1L, 0	;读取地址单元 C004 _H 高 16 位数据
.....		
BSS	INTG, GIE	;开全局中断
MOVI	0x00	;退出 IAP 操作
MOVA	ROMCL	

应用例程 3: 信息区查表读。

MOVI	0x2F	;读取信息区存储器(802F _H)单元
MOVA	FRAL	
MOVI	0X80	
MOVA	FRAH	
BCC	INTG, GIE	
JBC	INTG, GIE	;判断全局中断是否清零
GOTO	\$-2	
BSS	ROMCL,0	;使能读触发位, 读准备使能
JBC	ROMCL,0	;判断读准备是否完成
GOTO	\$-1	
BSS	ROMCL,7	;读出使能
TBR		;查表读
MOV	ROMDH, 0	
.....		
MOV	ROMDL, 0	;读取地址单元 802F _H 低 16 位数据
.....		
MOV	ROMD1H, 0	
.....		
MOV	ROMD1L, 0	;读取地址单元 802F _H 高 16 位数据
.....		
BSS	INTG, GIE	;开全局中断

MOVI 0x00 ;退出 IAP 操作
MOVA ROMCL

3.3.4.3 存储器的IAP擦写

FLASH 程序区和数据区都支持 IAP 擦写操作。

擦写操作需通过存储器控制寄存器（ROMCH, ROMCL）共同完成，同时地址寄存器 FRA（FRAH, FRAL）和 FRAN（FRAHN, FRALN）的值需满足逻辑取反，即寄存器 FRAN 的值为寄存器 FRA 的反码，如果 FRA 和 FRAN 不满足逻辑取反，硬件会自动清零擦写使能位 WREN，禁止擦写。每次 FRA 和 FRAN 寄存器更新并满足取反逻辑后，都要重新打开 FLASH 擦除/编程使能位 WREN。

IAP 擦写包括三个基本操作：数据备份，页擦除，自编程。

FLASH 存储器的擦除以页为单位，可将页地址寄存器 FRAH 所指向的页擦除。每页擦除时间至少为 2ms。

FLASH 存储器的自编程以双字为单位，可同时将 ROMD（ROMDH, ROMDL）、ROMD1（ROMD1H, ROMD1L）寄存器中的 32 位值写入 FRA（FRAH, FRAL）所指向的地址单元。FLASH 数据区写操作时，ROMD 写入 FRA<12:0>地址单元的低 16 位字，ROMD1 写入 FRA<12:0>地址单元的高 16 位字；FLASH 程序区写操作时，以 FRA<12:1>为有效地址进行寻址，ROMD 写入地址最低位 FRA<0>=0 的 16 位字地址单元，ROMD1 写入地址最低位 FRA<0>=1 的 16 位字地址单元。双字编程时间至少为 25us。

3.3.4.4 存储器页更新流程

◆ 编程模式

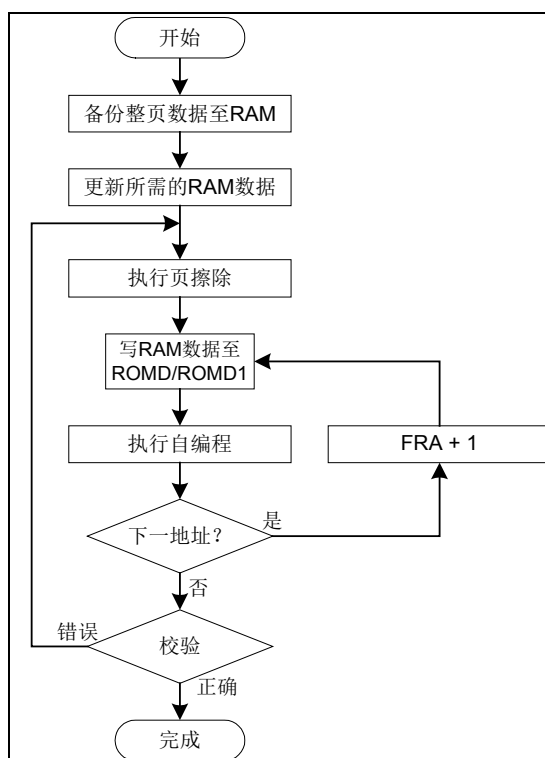


图 3-4 页更新参考流程图

更新一页 FLASH 存储器的步骤:

1. 用查表读指令将一页内容备份至数据存储空间 (需 256x2 字节存储空间, 用于存放一页的数据量);
2. 修改备份数据存储空间要更新的值;
3. 通过设置寄存器 ROMCL 和 ROMCH 进行页擦除 (必须依照固定程序流程进行);
4. 通过寄存器 FRAL 和 FRAH 选择需要更新的地址, 以及设置寄存器 ROMD 和 ROMD1 需要更新的数据;
5. 通过设置寄存器 ROMCL 和 ROMCH, 将寄存器 ROMD 和 ROMD1 中的内容写入 FRA 所指向的页中的地址 (必须依照固定程序流程进行);
6. 重复 4、5 步骤直至完成整页编程;
7. 用查表读指令进行写入区的校验。

3.3.4.5 操作参考例程

以下例程以数据存储区的 IAP 页擦和编程为例, 同样, 当 IAP 操作选择程序存储区, 也支持 IAP 页擦和编程操作。

应用例程 1: FLASH 数据存储区页擦除。

除定时器/计数器可保持运行外, 程序停止运行, 直至擦除操作完成后自动恢复运行。

```

MOVI    0X00                ;设置擦除页面的地址
MOVA    FRAL
MOVI    0XC1
MOVA    FRAH
MOVI    0XFF                ;设置页面的地址反码
MOVA    FRALN
MOVI    0X3E
MOVA    FRAHN
BSS     ROMCL, FP EE        ;选择擦除操作
BSS     ROMCL, WREN        ;打开 FLASH 擦除/编程使能
BCC     INTG, GIE          ;关闭全局中断 (避免中断影响后续固定程序流程)
JBC     INTG, GIE          ;判断全局中断是否清零
GOTO    $-2

MOVI    0x55
MOVA    ROMCH
... ..                ; 8 个 NOP 指令, 或等待 8 个指令周期
MOVI    0xAA
MOVA    ROMCH
... ..                ; 8 个 NOP 指令, 或等待 8 个指令周期
BSS     ROMCL, WR
JBC     ROMCL, WR          ;等待擦除结束
GOTO    $-1
BSS     INTG, GIE          ;开全局中断
.....
MOVI    0x00                ;退出 IAP 操作
MOVA    ROMCL
CLR     FRALN
CLR     FRAHN

```

应用例程 2: FLASH 数据存储区地址单元写入。

除定时器/计数器可保持运行外，程序停止运行，直至写入操作完成后自动恢复运行。

```

MOVI    0x00
MOVA    FRAL
MOVI    0xC0
MOVA    FRAH           ; 写 FLASH 数据存储区的 FRA<15:0>，即数据存储区
C000H 地址单元，共 2 个 word
MOVI    0xFF           ; 设置待写入单元的地址反码
MOVA    FRALN
MOVI    0x3F
MOVA    FRAHN

MOVI    0x12
MOVA    ROMDH
MOVI    0x34
MOVA    ROMDL           ; C000H 地址低 16 位写入数据 0x1234
MOVI    0x56
MOVA    ROMD1H
MOVI    0x78
MOVA    ROMD1L           ; C000H 地址高 16 位写入数据 0x5678
BCC     ROMCL, FPEE      ; 选择编程操作
BSS     ROMCL, WREN      ; 打开 FLASH 擦除/编程使能
CC      INTG, GIE        ; 关闭全局中断（避免中断影响后续固定程序流程）
JBC     INTG, GIE        ; 判断全局中断是否清零
GOTO    $-2

MOVI    0x55
MOVA    ROMCH
... ..           ; 8 个 NOP 指令，或等待 8 个指令周期
MOVI    0xAA
MOVA    ROMCH
... ..           ; 8 个 NOP 指令，或等待 8 个指令周期
BSS     ROMCL, WR
JBC     ROMCL, WR        ; 等待编程结束
GOTO    $-1
BSS     INTG, GIE        ; 开全局中断
.....
MOVI    0x00           ; 退出 IAP 操作
MOVA    ROMCL
CLR     FRALN
CLR     FRAHN

```

应用例程 3: FLASH 程序存储区地址单元写入。

除定时器/计数器可保持运行外，程序停止运行，直至写入操作完成后自动恢复运行。

```

MOVI    0x00
MOVA    FRAL
MOVI    0x00
MOVA    FRAH          ; 写 FLASH 程序存储区的 FRA<15:0>地址单元，
                      ; 对应于程序存储区 0000H 和 0001H 地址，共 2 个 word

MOVI    0xFF          ; 设置待写入单元的地址反码
MOVA    FRALN
MOVI    0xFF
MOVA    FRAHN

MOVI    0x12
MOVA    ROMDH
MOVI    0x34
MOVA    ROMDL          ; 0000H 地址写入数据 0x1234
MOVI    0x56
MOVA    ROMD1H
MOVI    0x78
MOVA    ROMD1L          ; 0001H 地址写入数据 0x5678
BCC     ROMCL, FPEE     ; 选择编程操作
BSS     ROMCL, WREN     ; 打开 FLASH 擦除/编程使能
BCC     INTG, GIE       ; 关闭全局中断（避免中断影响后续固定程序流程）
JBC     INTG, GIE       ; 判断全局中断是否清零
GOTO    $-2

MOVI    0x55
MOVA    ROMCH
... ..          ; 8 个 NOP 指令，或等待 8 个指令周期
MOVI    0xAA
MOVA    ROMCH
... ..          ; 8 个 NOP 指令，或等待 8 个指令周期
BSS     ROMCL, WR
JBC     ROMCL, WR       ; 等待编程结束
GOTO    $-1
BSS     INTG, GIE       ; 开全局中断
.....

MOVI    0x00          ; 退出 IAP 操作
MOVA    ROMCL
CLR     FRALN
CLR     FRAHN

```

注：上述应用例程方框中的程序为固定操作格式，使用时不可改变，否则会导致 IAP 擦除和编程不成功。

3.3.5 特殊功能寄存器

3.3.5.1 查表地址寄存器低 8 位 (FRAL)

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAL<7:0>: 查表地址低 8 位

3.3.5.2 查表地址寄存器高 8 位 (FRAH)

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAH<7:0>: 查表地址高 8 位

3.3.5.3 查表地址取反寄存器低 8 位 (FRALN)

FRALN: 查表地址取反寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRALN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 FRALN<7:0>: 查表地址取反低 8 位

3.3.5.4 查表地址取反寄存器高 8 位 (FRAHN)

FRAHN: 查表地址取反寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAHN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 FRAHN<7:0>: 查表地址取反高 8 位

3.3.5.5 查表数据寄存器低 8 位 (ROMDL)

ROMDL: 查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDL<7:0>: 查表数据 32 位字的 bit7~0

3.3.5.6 查表数据寄存器高 8 位 (ROMDH)

ROMDH: 查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDH<7:0>: 查表数据 32 位字的 bit15~8

3.3.5.7 查表数据寄存器 1 低 8 位 (ROMD1L)

ROMD1L: 查表数据寄存器 1 低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD1L<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMD1L<7:0>: 查表数据 32 位字的 bit23~16

3.3.5.8 查表数据寄存器 1 高 8 位 (ROMD1H)

ROMD1H: 查表数据寄存器 1 高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD1H<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMD1H<7:0>: 查表数据 32 位字的 bit31~24

3.3.5.9 存储器控制寄存器低 8 位 (ROMCL)

ROMCL: 存储器控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	DATARDEN	—			FPEE	WREN	WR	DATARDTRG
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit7 DATARDEN: 数据区和信息区数据读出使能位

0: 禁止

1: 使能

Bit 6~4 保留未用

Bit 3 FPEE: FLASH 存储器页擦除/编程选择位

0: 编程

1: 擦除

Bit 2 WREN: FLASH 存储器页擦除/编程使能位

0: 禁止, 如果 FRA 和 FRAN 不满足逻辑取反时, 硬件自动清零 WREN

1: 使能

Bit 1 WR: FLASH 存储器页擦除/编程触发位

- 0: 未启动页擦除/编程操作，或操作已完成
1: 页擦除/编程正在进行操作（硬件自动清零）
- Bit 0 DATARDTRG: 数据区和信息区查表读触发位，开始读准备
0: 禁止
1: 使能读准备，读准备完成后，硬件自动清零

3.3.5.10 存储器控制寄存器高 8 位（ROMCH）

ROMCH: 存储器控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMCH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 ROMCH<7:0>: 存储器页擦除/编程控制字

注: ROMCH 寄存器为虚拟寄存器，对该寄存器读出始终为全 0。

3.4 在线编程ISP和在线调试ICD

FLASH 存储器和 FLASH 数据存储器具有可重复烧写的功能，便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级，本芯片还支持在线编程 ISP 和在线调试 ICD，用户只需在电路系统板上引出五根编程和调试接口线，即可实现程序的重新烧录和调试，更加方便高效。

芯片管脚	管脚说明
ISPCK	编程/调试串行时钟端口
ISPDAT	编程/调试串行数据端口
MRSTN	复位脚
VDD	电源
VSS	地

表 3-1 在线编程/调试管脚说明

注: 对编程/调试接口中的 ISPCK 和 ISPDAT 管脚，芯片支持两组管脚可选择，其中 PC1 和 PA5 作为一组，PA4 和 PA2 作为另一组编程/调试接口。此两组接口用作编程使用时，无需进行选择设置，芯片自动识别有效使用的编程接口；用作调试使用时，通过配置字 ICDEN（CFG_WD<10>）使能，并由配置字 ICDSEL<1:0>（CFG_WD1<1:0>）进行选择 ICD 调试端口。

3.5 数据存储器

3.5.1 概述

- ◇ 数据存储器由 2 部分组成
 - 通用数据存储器 GPR
 - 特殊功能寄存器 SFR
- ◇ 物理存储包括
 - 1K Byte 数据存储器
 - 256 个特殊寄存器
- ◇ 支持 3 种寻址方式
 - 直接寻址
 - GPR 特殊寻址
 - 间接寻址

3.5.2 通用数据存储器

通用数据存储器被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储器空间为 1K Byte，支持 8 个存储体组，地址范围为 0000_H~03FF_H。程序控制过程中，对这些存储体访问时，需通过寄存器 BKSR 选择存储体，实现在不同存储体间的跳转。通用数据存储器的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

地址映射如下：

0000 _H	Section 0
007F _H	Section 1
00FF _H	Section 2
017F _H	Section 3
01FF _H	Section 4
027F _H	Section 5
02FF _H	Section 6
037F _H	Section 7
03FF _H	
FF7F _H	保留

图 3-5 GPR 地址映射示意图

3.5.3 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本芯片支持 256 个特殊寄存器，分两个存储体组，地址范围 FF80_H~FFFF_H。其中 FF80_H~FFBF_H 为两个存储体公共的存储区，此区域的寄存器无需切换存储体访问。大多数寄存器都是可以读写的，仅有少数寄存器作为保留使用，用户程序不能进行读写。相关功能所使用的寄存器将分别在各个章节中描述。

3.5.3.1 特殊功能存储体 0

当 SBKSR=0 时，选择特殊功能存储体 0，特殊存储体 0 寄存器分布如下：

FF80 _H	IAD	FFA0 _H	INTF3	FFC0 _H	T31DLYT	FFE0 _H	T31POS
FF81 _H	IAAL	FFA1 _H	ROMD1L	FFC1 _H	T31C0L	FFE1 _H	T31CH1RL
FF82 _H	IAAH	FFA2 _H	ROMD1H	FFC2 _H	T31C0H	FFE2 _H	T31CH1RH
FF83 _H	BKSR	FFA3 _H	KMSK	FFC3 _H	T31C1L	FFE3 _H	T31CH2RL
FF84 _H	PSW	FFA4 _H	WDTC	FFC4 _H	T31C1H	FFE4 _H	T31CH2RH
FF85 _H	AREG	FFA5 _H	WDTP	FFC5 _H	T31C2L	FFE5 _H	T31CH3RL
FF86 _H	PCRL	FFA6 _H	WKDC	FFC6 _H	T31C2H	FFE6 _H	T31CH3RH
FF87 _H	PCRH	FFA7 _H	PWEN	FFC7 _H	T31IEL	FFE7 _H	T31CH4RL
FF88 _H	MULA/MULL	FFA8 _H	PA	FFC8 _H	T31IEH	FFE8 _H	T31CH4RH
FF89 _H	MULB/MULH	FFA9 _H	PB	FFC9 _H	T31IDL	FFE9 _H	T21OC
FF8A _H	TMRADC	FFAA _H	PC	FFCA _H	T31IDH	FFEA _H	T21L
FF8B _H	BEEPC	FFAB _H	PAFLT	FFCB _H	T31IVSL	FFEB _H	T21H
FF8C _H	LVDC	FFAC _H	PBFLT	FFCC _H	T31IVSH	FFEC _H	T21PL
FF8D _H	ANSH	FFAD _H	PAT	FFCD _H	T31IFL	FFED _H	T21PH
FF8E _H	FRALN	FFAE _H	PBT	FFCE _H	T31IFH	FFEE _H	T21R0L
FF8F _H	FRAHN	FFAF _H	PCT	FFCF _H	T31IFML	FFEF _H	T21R0H
FF90 _H	FRAL	FFB0 _H	PAPD	FFD0 _H	T31IFMH	FFF0 _H	T21CL
FF91 _H	FRAH	FFB1 _H	PBPD	FFD1 _H	T31ICRL	FFF1 _H	T21CM
FF92 _H	ROMDL	FFB2 _H	PAPU	FFD2 _H	T31ICRH	FFF2 _H	T21CH
FF93 _H	ROMDH	FFB3 _H	PBPU	FFD3 _H	T31EVL	FFF3 _H	T21R1L
FF94 _H	ROMCL	FFB4 _H	PCPU	FFD4 _H	T31CH1C	FFF4 _H	T21R1H
FF95 _H	ROMCH	FFB5 _H	PCFLT	FFD5 _H	T31CH2C	FFF5 _H	T21R2L
FF96 _H	INTG	FFB6 _H	PWRC	FFD6 _H	T31CH3C	FFF6 _H	T21R2H
FF97 _H	INTP	FFB7 _H	PACTR	FFD7 _H	T31CH4C	FFF7 _H	ADCCM
FF98 _H	INTC0	FFB8 _H	PBCTR	FFD8 _H	T31PINCL	FFF8 _H	ADCRL
FF99 _H	INTE0	FFB9 _H	PCCTR	FFD9 _H	T31PINCH	FFF9 _H	ADCRH
FF9A _H	INTF0	FFBA _H	ADCCSH	FFDA _H	T31CNTL	FFFA _H	ADCCL
FF9B _H	INTE1	FFBB _H	PORTCTR	FFDB _H	T31CNTH	FFFB _H	ADCCH
FF9C _H	INTF1	FFBC _H	ANSL	FFDC _H	T31PRSL	FFFC _H	ADCLTRL
FF9D _H	INTE2	FFBD _H	T8N	FFDD _H	T31PRSH	FFFD _H	ADCLTRH
FF9E _H	INTF2	FFBE _H	T8NC	FFDE _H	T31CNTLDL	FFFE _H	ADCHTRL
FF9F _H	INTE3	FFBF _H	T31CHBK	FFDF _H	T31CNTLDH	FFFF _H	ADCHTRH

图 3-6 特殊功能寄存器空间

3.5.3.2 特殊功能存储体 1

当 SBKSR=1 时，选择特殊功能存储体 1，特殊存储体 1 寄存器分布如下：

FF80 _H	IAD	FFA0 _H	INTF3	FFC0 _H	SPICON0	FFE0 _H	—
FF81 _H	IAAL	FFA1 _H	ROMD1L	FFC1 _H	SPICON1	FFE1 _H	—
FF82 _H	IAAH	FFA2 _H	ROMD1H	FFC2 _H	SPIIE	FFE2 _H	—
FF83 _H	BKSR	FFA3 _H	KMSK	FFC3 _H	SPIIF	FFE3 _H	—
FF84 _H	PSW	FFA4 _H	WDTC	FFC4 _H	SPIRBR	FFE4 _H	—
FF85 _H	AREG	FFA5 _H	WDTP	FFC5 _H	SPITBW	FFE5 _H	—
FF86 _H	PCRL	FFA6 _H	WKDC	FFC6 _H	T11L	FFE6 _H	—
FF87 _H	PCRH	FFA7 _H	PWEN	FFC7 _H	T11H	FFE7 _H	—
FF88 _H	MULA/MULL	FFA8 _H	PA	FFC8 _H	T11PL	FFE8 _H	—
FF89 _H	MULB/MULH	FFA9 _H	PB	FFC9 _H	T11PH	FFE9 _H	—
FF8A _H	TMRADC	FFAA _H	PC	FFCA _H	T11CL	FFEA _H	—
FF8B _H	BEEPC	FFAB _H	PAFLT	FFCB _H	T11CM	FFEB _H	—
FF8C _H	LVDC	FFAC _H	PBFLT	FFCC _H	T11CH	FFEC _H	—
FF8D _H	ANSH	FFAD _H	PAT	FFCD _H	BR0FRA	FFED _H	—
FF8E _H	FRALN	FFAE _H	PBT	FFCE _H	BR1FRA	FFEE _H	—
FF8F _H	FRAHN	FFAF _H	PCT	FFCF _H	RX0B	FFEF _H	—
FF90 _H	FRAL	FFB0 _H	PAPD	FFD0 _H	RX0C	FFF0 _H	—
FF91 _H	FRAH	FFB1 _H	PBPD	FFD1 _H	TX0B	FFF1 _H	—
FF92 _H	ROMDL	FFB2 _H	PAPU	FFD2 _H	TX0C	FFF2 _H	—
FF93 _H	ROMDH	FFB3 _H	PBPU	FFD3 _H	BR0R	FFF3 _H	—
FF94 _H	ROMCL	FFB4 _H	PCPU	FFD4 _H	RX1B	FFF4 _H	—
FF95 _H	ROMCH	FFB5 _H	PCFLT	FFD5 _H	RX1C	FFF5 _H	—
FF96 _H	INTG	FFB6 _H	PWRC	FFD6 _H	TX1B	FFF6 _H	—
FF97 _H	INTP	FFB7 _H	PACTR	FFD7 _H	TX1C	FFF7 _H	—
FF98 _H	INTC0	FFB8 _H	PBCTR	FFD8 _H	BR1R	FFF8 _H	—
FF99 _H	INTE0	FFB9 _H	PCCTR	FFD9 _H	I2CX16	FFF9 _H	—
FF9A _H	INTF0	FFBA _H	ADCCSH	FFDA _H	I2CC	FFFA _H	—
FF9B _H	INTE1	FFBB _H	PORTCTR	FFDB _H	I2CSA	FFFB _H	—
FF9C _H	INTF1	FFBC _H	ANSL	FFDC _H	I2CTB	FFFC _H	—
FF9D _H	INTE2	FFBD _H	T8N	FFDD _H	I2CRB	FFFD _H	—
FF9E _H	INTF2	FFBE _H	T8NC	FFDE _H	I2CIEC	FFFE _H	—
FF9F _H	INTE3	FFBF _H	T31CHBK	FFDF _H	I2CIFC	FFFF _H	—

注：FFE0_H~FFFF_H 地址范围为测试保留寄存器，禁止应用程序软件写操作，否则可能会导致芯片工作异常。

3.5.4 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址、GPR 特殊寻址和间接寻址。

3.5.4.1 直接寻址

直接寻址的地址信息由两部分组成，BKSR 和指令中的 8 位地址信息。BKSR 用于选择存储体组，指令中的 8 位地址信息用于在 BKSR 所选的存储体组中寻址。

在直接寻址时，当指令中的 8 位地址信息大于或等于 80_H 时，将忽略 BKSR 而直接寻址 SFR 映射区。当指令中的 8 位地址信息小于 80_H 时，访问 GPR 地址映射区。

示意图如下：

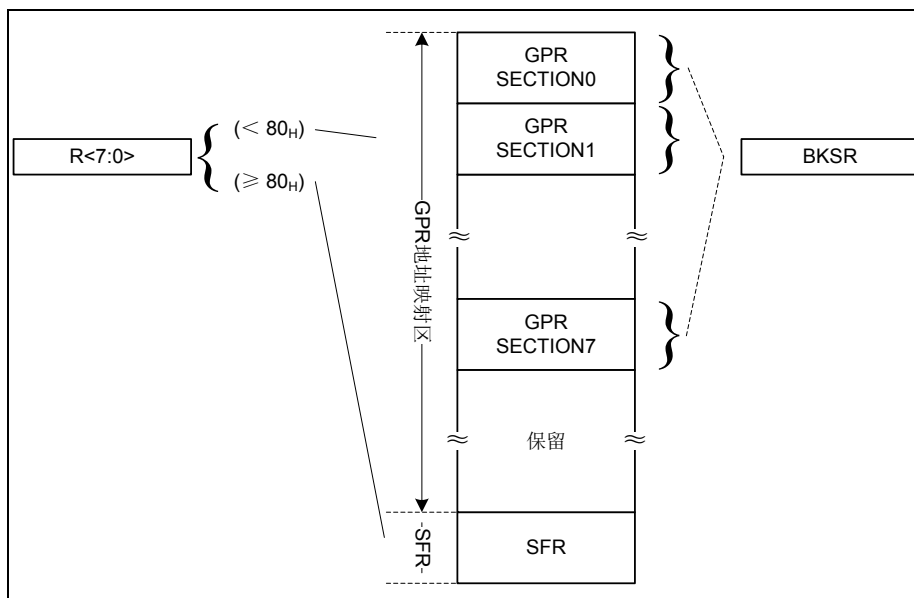


图 3-7 直接寻址示意图

3.5.4.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址操作，本芯片 MOVAR 和 MOVRA 指令最大支持 10 位地址信息（R<9:0>），可直接寻址 1K 字节地址空间。无需进行 SECTION 间切换。

MOVAR 和 MOVRA 指令无法访问 SFR。

示意图如下：

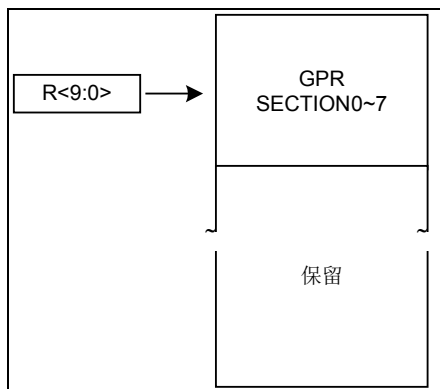


图 3-8 GPR 特殊寻址示意图

3.5.4.3 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD，间接访问数据寻址空间中的存储单元。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

IAD 寄存器本身也映射到数据寻址空间的 FF80H 地址，因此当 IAA 存放的地址值为 FF80H 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出

为 00_H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。

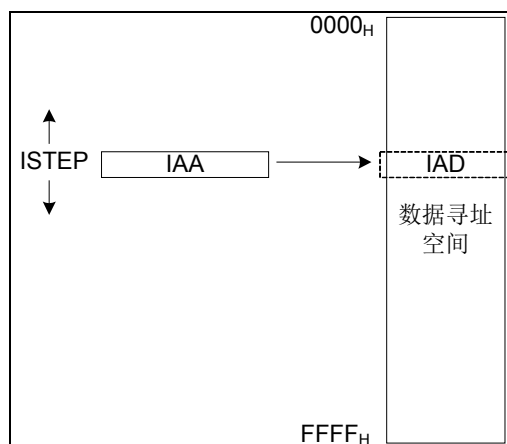


图 3-9 间接寻址示意图

3.5.5 特殊功能寄存器

3.5.5.1 间接寻址数据寄存器 (IAD)

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

3.5.5.2 间接寻址索引寄存器低 8 位 (IAAL)

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAL<7:0>: 间接寻址索引低 8 位

3.5.5.3 间接寻址索引寄存器高 8 位 (IAAH)

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAH<7:0>: 间接寻址索引高 8 位

3. 5. 5. 4 存储体选择寄存器 (BKSR)

BKSR: 存储体选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	SBKSR	—	DBKSR<2:0>		
R/W	—	—	—	R/W	—	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4 SBKSR: 特殊功能存储体选择位

0: 选择存储体 0

1: 选择存储体 1

Bit 3 未使用

Bit 2~0 DBKSR<2:0>: 数据存储体选择位

000: 选择存储体 0

001: 选择存储体 1

010: 选择存储体 2

011: 选择存储体 3

100: 选择存储体 4

101: 选择存储体 5

110: 选择存储体 6

111: 选择存储体 7

第4章 MCU—输入/输出端口

4.1 概述

输入/输出端口是芯片的最基本组成部分，本芯片最多支持 12 个输入/输出端口，另有 6 个输入/输出端口用于内部与 RF 连接。所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。

◇ PA 输入/输出端口功能组件

- 8 位双向输入/输出端口
- TTL/SMT 输入和 CMOS 输出驱动
- 端口输入输出控制寄存器 (PAT)
- 端口弱上拉控制寄存器 (PAPU)
- 端口弱下拉控制寄存器 (PAPD)
- 数/模端口控制寄存器 (ANSL/ANSH)
- PA0, PA3~7 支持外部端口中断功能
- PA1~2 支持外部按键中断功能
- PA5 支持开漏输出
- 支持可配置的两种 SMIT 窗口
- 支持输入滤波功能
- PA0~5 支持两档可配置的驱动能力, 其中 PA3~5 的灌电流驱动加强到 60mA@1.4V, VDD=5V, 常温。

◇ PB 输入/输出端口功能组件

- 3 位双向输入/输出端口
- TTL/SMT 输入和 CMOS 输出驱动
- 端口输入输出控制寄存器 (PBT)
- 端口弱上拉控制寄存器 (PBPU)
- 端口弱下拉控制寄存器 (PBPD)
- 数/模端口控制寄存器 (ANSL/ANSH)
- 端口 PB0~1 有开漏输出功能
- PB1 支持外部端口中断功能
- PB0, PB2 支持按键中断功能
- 支持可配置的两种 SMIT 窗口
- 支持输入滤波功能
- PB0~2 支持两档可配置的驱动能力

◇ PC 输入/输出端口功能组件

- 1 位双向输入/输出端口
- TTL/SMT 输入和 CMOS 输出驱动
- 端口输入输出控制寄存器 (PCT)
- 端口弱上拉控制寄存器 (PCPU)
- PC1 支持开漏输出
- 支持可配置的两种 SMIT 窗口
- 支持输入滤波功能
- PC1 支持两档可配置的驱动能力, 灌电流驱动加强到 60mA@1.4V, VDD=5V 常温。

注 1: 当端口设置为输出或者模拟输入端口时, 内部弱上/下拉自动禁止。

4.2 结构框图

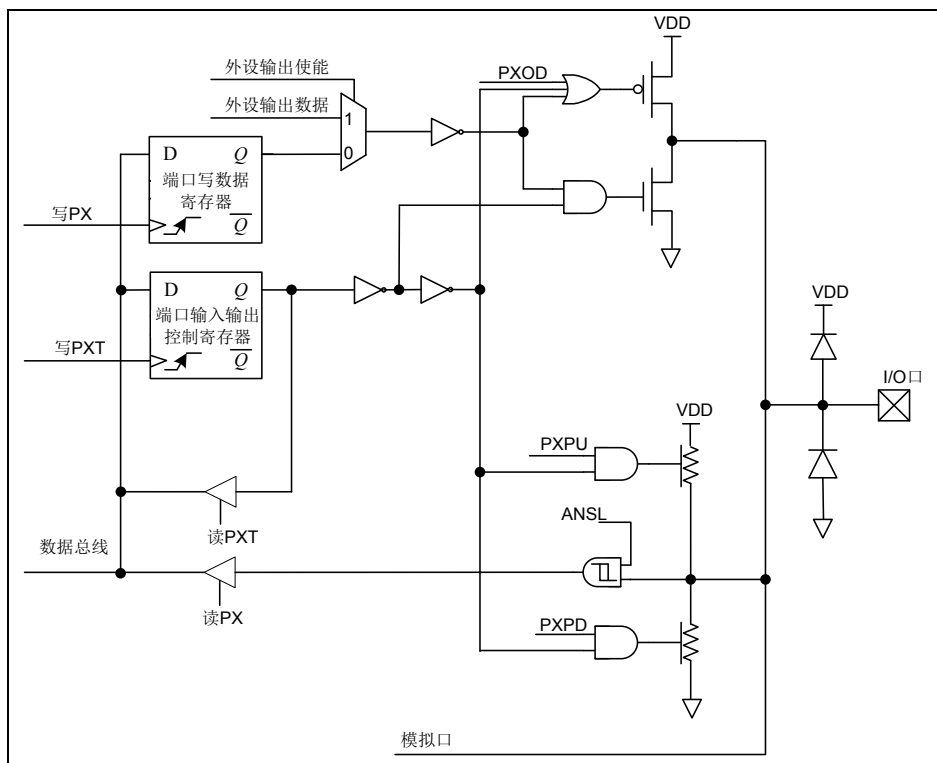


图 4-1 PA/PB/PC 端口结构图

注 1：除 PB0/PB1 和 PA5/PC1 外，其它端口无开漏输出功能；

注 2：PC1 无弱下拉功能。

4.3 I/O端口功能设置

4.3.1 I/O端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PAT/PBT/PCT 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 PA/PB/PC 寄存器内容，即相应 I/O 端口电平状态，读取 PA/PB/PC 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 PA/PB/PC 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O端口弱上/下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响，弱上/下拉都有独立的寄存器控制。（PA3/MRSTN 端口内部弱上拉默认使能）

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	—	—	—	—	—	—

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	—	—	—	—	—	—	—	—

表 4-2 I/O 端口弱下拉

4.3.3 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片中部分 PA/PB 端口具有独立的模拟/数字信号选择功能，由 ANSL、ANSH、PAT 和 PBT 寄存器控制选择。当端口被配置为模拟端口时，PAT 和 PBT 寄存器相应的位一定要配置为 1，读相应的 PA/PB 寄存器时，始终读到“0”。

4.3.4 I/O端口开漏输出

端口 PB0~1 支持开漏输出功能，可独立设置为开漏输出，由 PBCTR 寄存器的 PBOD<1:0> 位独立控制；PC1 和 PA5 也支持开漏输出功能，可独立设置为开漏输出，分别由 PACTR 寄存器的 PA5OD 位，PCCTR 的寄存器 PC1OD 位独立控制

管脚	0	1	2	3	4	5	6	7
PA	—	—	—	—	—	支持	—	—
PB	支持	支持	—	—	—	—	—	—
PC	—	支持	—	—	—	—	—	—

表 4-3 I/O 端口开漏输出

4.3.5 I/O端口可配SMT窗口

端口 PA, PB, PC 支持 3 组 SMT 输入窗口可选功能，由 PACTR<7>、PBCTR<7>和 PCCTR<7>寄存器位控制每一组。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	—	—	—	—	—	—

表 4-4 I/O 端口 SMT 窗口

4.3.6 I/O端口可配驱动能力

端口 PA0~5, PB0~3, PC0~1 支持 2 档驱动能力可选功能，由 PACTR<5:0>、PBCTR<3:0>和 PCCTR<1:0>寄存器位独立控制。其中 PC1, PA3~5 的灌电流驱动增强到 60mA@1.4V,

VDD=5V，常温下。具体驱动能力详见附录 4 的参数特性表。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	—	—
PB	支持	支持	支持	支持	—	—	—	—
PC	支持	支持	—	—	—	—	—	—

表 4-5 I/O 端口驱动能力

4.3.7 I/O端口可配输入滤波

端口 PA, PB, PC 支持可配的数字输入 20ns 的滤波功能，默认使能，由 PAFLT<7:0>、PBFLT<7:0>和 PCFLT<1:0>寄存器位独立控制。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	—	—	—	—	—	—

表 4-6 I/O 端口输入滤波

4.3.8 I/O端口复用功能

为了使资源合理利用最优化，本芯片的所有 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

4.4 端口中断

4.4.1 外部端口中断（PINT）

本芯片支持 9 个外部端口中断。当 PINT0~PINT8 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINT0~PINT8 外部端口中断。可配置为上升沿触发、下降沿触发或双沿触发。外部端口中断可由 PIE0~PIE8 使能。中断产生将影响相应的中断标志 PIF0~PIF8。在 IDLE 模式下，此中断能唤醒 CPU。

外部中断 PINT5 和 PINT8 可触发 AD 转换。当寄存器 ADC_ETR1EN（PORTCTR<3>）使能时，外部中断 PINT8 可触发 AD 转换；当寄存器 ADC_ETR0EN（PORTCTR<2>）使能时，外部中断 PINT5 可触发 AD 转换；ADC 必须先使能，且设置为硬件采样，即 ADCCL 寄存器的 ADEN 和 SMPS 控制位都需设置为 1。

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PA0	PINT0	PEG0<1:0>	PINT0	PIE0	PIF0
PA3	PINT1	PEG0<1:0>	PINT1	PIE1	PIF1
PA4	PINT2	PEG1<1:0>	PINT2	PIE2	PIF2
PA5	PINT3	PEG1<1:0>	PINT3	PIE3	PIF3
PA6	PINT4	PEG2<1:0>	PINT4	PIE4	PIF4
PA7	PINT5	PEG2<1:0>	PINT5	PIE5	PIF5
PB4	PINT6	PEG3<1:0>	PINT6	PIE6	PIF6
PB5	PINT7	PEG3<1:0>	PINT7	PIE7	PIF7

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PB1	PINT8	PEG3<1:0>	PINT8	PIE8	PIF8

表 4-4 外部端口中断

注 1: 灰色部分管脚用于内部连线, 不能用于端口中断。

4.4.2 外部按键中断 (KINT)

本芯片支持 1 组最多 8 个外部按键输入端 KINx 的按键中断, 每个按键输入都可以由相应的 KMSKx 位屏蔽。当 KINx 复用端口被配置为数字输入端口, 且 1 组中任何一个未屏蔽的按键端口输入信号发生电平变化时, 将产生按键中断 KINT。外部按键中断可由 KIE 使能。中断产生将影响中断标志 KIF。使用外部按键中断时, 须配置相应的控制寄存器, 并且使能外部按键中断端口的内部弱上拉电阻。

外部按键电平比较, 是比较按键输入端口的当前电平与锁存器中的最后输入值, 如果不相同则产生按键中断标志。清除按键中断标志位前, 必须对相应复用端口进行一次读或写操作, 否则按键中断标志位无法被清除。在 IDLE 模式下, 此中断能唤醒 CPU。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PA1	KIN0	KMSK0	KINT	KIE	KIF
PA2	KIN1	KMSK1			
PB0	KIN2	KMSK2			
PB2	KIN3	KMSK3			
PB3	KIN4	KMSK4			
PB6	KIN5	KMSK5			
PB7	KIN6	KMSK6			
PC0	KIN7	KMSK7			

表 4-5 外部按键中断

注 1: 蓝色部分 PB3 管脚用于内部连线, 连接 RF 的 IRQ 管脚, 必须配置为按键中断功能。

注 2: 灰色部分管脚用于内部连线, 不能用于按键中断。

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的算术或逻辑运算指令（除位操作指令）时, 芯片实际执行读-修改-写过程, 即先读取该组全部 I/O 端口的电平, 修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位, 对同组其它 I/O 不影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在 I/O 复用功能使能和关闭时, 应充分考虑当前 I/O 端口的输出寄存器值, 并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

4.6.1 PA端口电平状态寄存器（PA）

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 PA<7:0>: PA 端口电平状态

0: 低电平

1: 高电平

4.6.2 PA端口输入输出控制寄存器（PAT）

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 PAT<7:0>: PA 端口输入输出状态控制位

0: 输出状态

1: 输入状态

注: PA3 只有在配置为 IO 端口时, 输入/输出功能才都有效, 用作外部复位管脚时, 固定为输入。

4.6.3 PA端口弱上拉控制寄存器（PAPU）

PAPU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	0	0	0

Bit 7~6 PAPU<7:6>: PA<7:6>端口内部弱上拉控制位

0: 禁止

1: 使能

Bit5 PAPU<5>: PA<5>端口内部弱上拉控制位

0: 禁止

1: 使能

Bit4 PAPU<4>: PA<4>端口内部弱上拉控制位

0: 禁止

1: 使能

Bit 3~0 PAPU<3:0>: PA<3:0>端口内部弱上拉控制位

0: 禁止

1: 使能

4.6.4 PA端口弱下拉控制寄存器（PAPD）

PAPD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~6 PAPD<7:6>: PA<7:6>端口内部弱下拉控制位

0: 禁止

1: 使能

Bit5 PAPD<5>: PA<5>端口内部弱下拉控制位

0: 禁止

1: 使能

Bit4 PAPD<4>: PA<4>端口内部弱下拉控制位

0: 禁止

1: 使能

Bit 3~0 PAPD<3:0>: PA<3:0>端口内部弱下拉控制位

0: 禁止

1: 使能

4.6.5 PA端口控制寄存器（PACTR）

PACTR: PA 端口控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PASMTS	PA5OD	PA5DS	PA4DS	PA3DS	PA2DS	PA1DS	PA0DS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	0	0	0	0	0	0	0

Bit 7 PASMTS: PA 端口 SMT 窗口选择位

0: TTL 输入

1: CMOS 输入

Bit 6 PA5OD: PA5 开漏输出使能位

0: 禁止

1: 使能

Bit 5 PA5DS: PA5 端口电流选择位

0: 弱电流

1: 强电流

Bit 4 PA4DS: PA4 端口电流选择位

0: 弱电流

1: 强电流

Bit 3 PA3DS: PA3 端口电流选择位

0: 弱电流

1: 强电流

Bit 2 PA2DS: PA2 端口电流选择位

0: 弱电流

- 1: 强电流
- Bit 1 PA1DS: PA1 端口电流选择位
- 0: 弱电流
- 1: 强电流
- Bit 0 PA0DS: PA0 端口电流选择位
- 0: 弱电流
- 1: 强电流

注: PA3 配置为外部复位端口时, SMT 窗口固定为 CMOS 输入。

4.6.6 PA端口输入滤波寄存器 (PAFLT)

PAFLT: PA 端口输入滤波寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAFLT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

- Bit 7~0 PAFLT<7:0>: PA 端口输入 20nS 滤波使能位
- 0: 禁止
- 1: 使能

4.6.7 PB端口电平状态寄存器 (PB)

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

- Bit 7~0 PB<7:0>: PB 端口电平状态
- 0: 低电平
- 1: 高电平

4.6.8 PB端口输入输出控制寄存器 (PBT)

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

- Bit 7~0 PBT<7:0>: PB 端口输入输出状态控制位
- 0: 输出状态
- 1: 输入状态

4.6.9 PB端口弱上拉控制寄存器 (PBPU)

PBPU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 PBPU<7:0>: PB 端口内部弱上拉控制位

0: 禁止

1: 使能

4.6.10 PB端口弱下拉控制寄存器 (PBPD)

PBPD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 PBPD<7:0>: PB 端口内部弱下拉控制位

0: 禁止

1: 使能

4.6.11 PB端口控制寄存器 (PBCTR)

PBCTR: PB 端口控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBSMTS	PB0OD	PB1OD	—	PB3DS	PB2DS	PB1DS	PB0DS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	0	0	0	0	0	0	0

Bit7 PBSMTS: PB 端口 SMT 窗口选择位

0: TTL 输入

1: CMOS 输入

Bit 6 PB0OD: PB0 端口开漏输出控制位

0: 禁止

1: 使能

Bit 5 PB1OD: PB1 端口开漏输出控制位

0: 禁止

1: 使能

Bit 4 保留未用

Bit 3 PB3DS: PB3 端口电流选择位

0: 弱电流

1: 强电流

Bit 2 PB2DS: PB2 端口电流选择位

0: 弱电流

1: 强电流

- Bit 1 PB1DS: PB1 端口电流选择位
0: 弱电流
1: 强电流
- Bit 0 PB0DS: PB0 端口电流选择位
0: 弱电流
1: 强电流

4.6.12 PB端口输入滤波寄存器 (PBFLT)

PBFLT: PB 端口输入滤波寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBFLT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

- Bit 7~0 PBFLT<7:0>: PB 端口输入 20nS 滤波使能位
0: 禁止
1: 使能

4.6.13 PC端口电平状态寄存器 (PC)

PC: PC 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PC<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	x	x	x	x	x	x	x	x

- Bit 7~2 未使用
- Bit 1~0 PC<1:0>: PC1~PC0 端口电平状态
0: 低电平
1: 高电平

4.6.14 PC端口输入输出控制寄存器 (PCT)

PCT: PC 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCT<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	1	1

- Bit 7~2 未使用
- Bit 1~0 PCT<1:0>: PC1~PC0 端口输入输出状态控制位
0: 输出状态
1: 输入状态

4.6.15 PC端口弱上拉控制寄存器（PCPU）

PCPU: PC 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCPU<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~2 未使用

Bit 1~0 PCPU<1:0>: PC1~PC0 端口内部弱上拉控制位

0: 禁止

1: 使能

4.6.16 PC端口控制寄存器（PCCTR）

PCCTR: PC 端口控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCSMTS	PC1OD	I2C_SEL	—	—		PC1DS	PC0DS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	0	0	0	0	0	0	0

Bit 7 PCSMTS: PC 端口 SMT 窗口选择位

0: TTL 输入

1: CMOS 输入

Bit 6 PC1OD: PC1 开漏输出使能位

0: 禁止

1: 使能

Bit 5 I2C_SEL: I2C 通讯端口选择位

0: PB1/PB0

1: PC1/PA5

Bit 4~2 保留未用

Bit 1 PC1DS: PC1 端口电流选择位

0: 弱电流

1: 强电流

Bit 0 PC0DS: PC0 端口电流选择位

0: 弱电流

1: 强电流

4.6.17 PC端口输入滤波寄存器（PCFLT）

PCFLT: PC 端口输入滤波寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCFLT<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	1	1

Bit 7~2 保留未用

Bit 1~0 PCFLT<1:0>: PC 端口输入 20nS 滤波使能位

0: 禁止
1: 使能

4.6.18 端口特殊功能控制寄存器 (PORTCTR)

PORTCTR: 端口特殊功能控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	UART1SEL	T31CH3NSEL	T31CH2NSEL	T31CH1NSEL	AD_ETR1EN	ADC_ETR0EN	T21CH2NSEL	T21CH0NSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

- Bit 7 UART1SEL: UART1 接收、发送端口选择位
 0: TX1 复用 PB5, RX1 复用 PB6
 1: TX1 复用 PC1, RX1 复用 PA5
- bit6 T31CH3NSEL: T31 通道 3 互补输出选择位
 0: PC1 比较输出, PWM 互补输出使能
 1: PA7 比较输出, PWM 互补输出使能
- bit5 T31CH2NSEL: T31 通道 2 互补输出选择位
 0: PB3 比较输出, PWM 互补输出使能
 1: PB7 比较输出, PWM 互补输出使能
- bit4 T31CH1NSEL: T31 通道 1 互补输出选择位
 0: PB2 比较输出, PWM 互补输出使能
 1: PC0 比较输出, PWM 互补输出使能
- bit3 ADC_ETR1EN: 外部中断 8 触发 ADC 转换使能位
 0: 禁止
 1: 使能
- bit2 ADC_ETR0EN: 外部中断 5 触发 ADC 转换使能位
 0: 禁止
 1: 使能
- Bit 1 T21CH2NEN: T21 通道 2 互补输出使能位
 0: 禁止
 1: 使能 PA4 输出
- Bit 0 T21CH0NEN: T21 通道 0 互补输出使能位
 0: 禁止
 1: 使能 PB0 输出

注: 具体 IO 端口的驱动能力, 可参考附录 4 《电气特性》。

第5章 MCU—特殊功能及操作特性

5.1 系统时钟与振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有2种：内部高速RC振荡器和内部低速RC振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以为看门狗定时器、ADC模块、Timer等提供所需要的时钟源。

◇ INTHRC

- 内部 4~64MHz RC 振荡器
- 出厂前，内部 RC 振荡器频率已经在常温下校准，校准精度在±1%以内
- 支持多种时钟，可通过配置字选择
- 可配置为系统时钟，最高频率 32MHz
- 配置为 64MHz 时，系统时钟由硬件自动设置为使用其二分频时钟，即 32MHz

◇ INTLRC

- 内部 32KHz RC 振荡器
- WDT 计数时钟
- T8N 计数时钟
- AD 转换时钟
- 出厂前，内部 RC 振荡器频率已经在常温下校准，校准精度在±5%以内
- 可配置为系统时钟

◇ 振荡和暂停

- 在 IDLE 模式下，主系统时钟振荡器暂停振荡

5.1.2 内部结构图

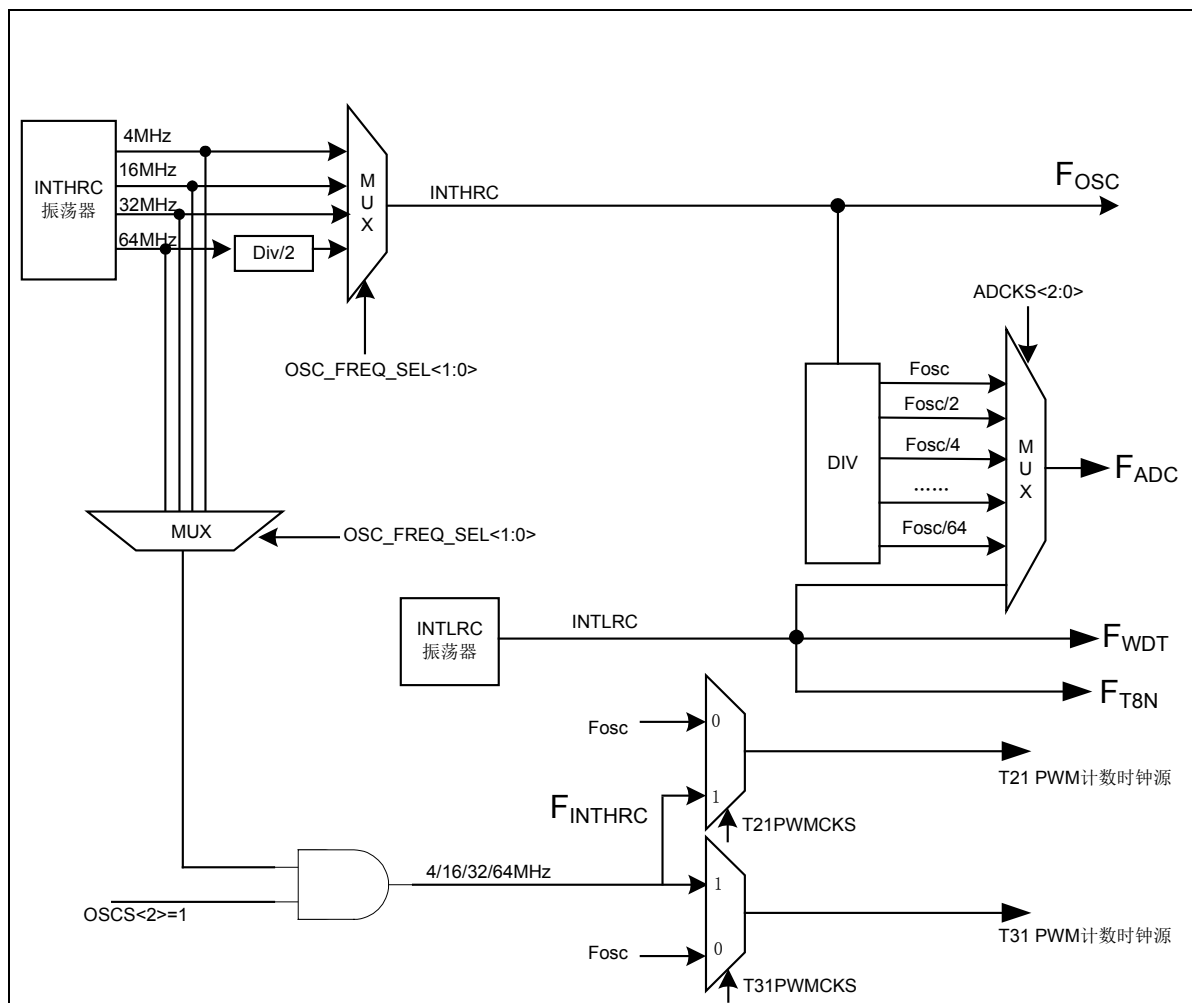


图 5-1 系统时钟结构图

5.1.3 时钟源

5.1.3.1 内部高速RC振荡器模式（INTHRC）

芯片内置高速 RC 时钟振荡器，不需要外接其它外部器件，作为系统时钟源。

当芯片配置字 $OSCS<2:0> = 111$ 时，配置为 INTHRC 模式，此时 PB3 管脚复用为通用 I/O 端口。

当芯片配置字 $OSCS<2:0> = 110$ 时，配置为 INTHRCO 模式，此时 PB3 管脚复用为输出时钟 CLK0，CLK0 频率同系统时钟。

在出厂前，芯片已经在常温下校准，在工作电压范围内，INTHRC 时钟频率校准精度在 $\pm 1\%$ 以内。

通过配置字 $OSC_FREQ_SEL<1:0>$ （CFG_WD0<15:14>）可选择内部高速时钟频率 4MHz、16MHz、32MHz 或 64MHz。当 $OSC_FREQ_SEL<1:0>=11$ 时，选择内部 64MHz，此时系统时钟最大为 32MHz，由硬件自动二分频处理后再作为系统时钟。INTHRC 64MHz 时钟可选择作为 T21/T31 模块的 PWM 计数时钟源。

5. 1. 3. 2 内部低速 32kHz RC振荡器模式 (INTLRC)

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT、ADC 模块、T8N 模块的时钟源。在出厂前，芯片已经在常温下校准，在工作电压范围内，INTLRC 时钟频率校准精度在±5%以内。

当芯片配置字 OSCS<2:0> = 011 时，配置为 INTLRC 模式，选择此时钟作为系统时钟。

5.2 看门狗定时器 (WDT)

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它可以在发生软件故障时，将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◇ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为内部 32KHz RC 时钟，出厂前，在常温下已经将频率校准在 $\pm 5\%$ 以内
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器 (WDTC)
- WDT 计数周期匹配寄存器 (WDTP)
- IDLE 模式下，可软件禁止 WDT 计数
- 唤醒功能
- 复位功能

5.2.2 内部结构图

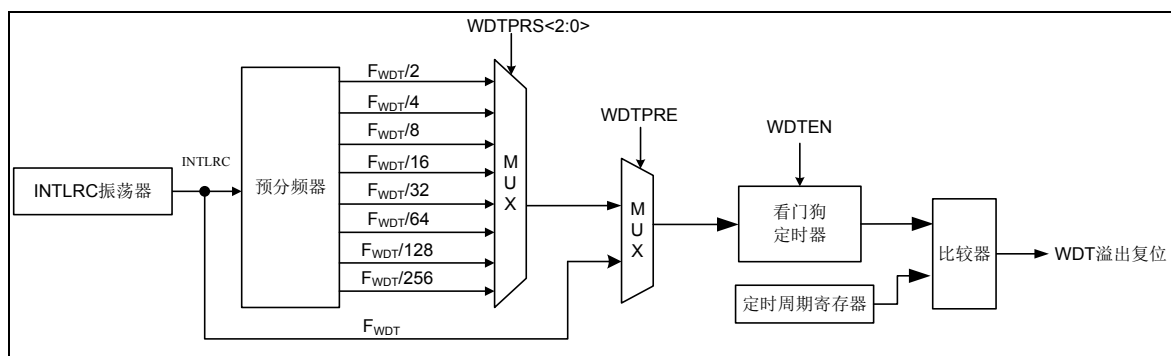


图 5-2 看门狗定时器内部结构图

5.2.3 WDT 定时器

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。当芯片配置字 WDTEN 使能时，WDT 定时器计数使能，在进入 IDLE 模式前，可通过设置 RCEN(PWEN<1>)寄存器禁止 WDT 计数，唤醒后硬件自动清零 WDT 计数器，并重新开始计数；当 WDTEN 关闭时，WDT 定时器计数禁止。客户可通过编程器界面选择。

WDT 支持一组可读/写的定时周期寄存器 WDTP，当看门狗计数到定时周期时，超时溢出。在 IDLE 模式下，WDT 计数溢出会唤醒 CPU，不复位芯片；系统在执行 IDLE 指令时，硬件会自动清零 WDT 计数器，并重新开始计数。

在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，需使用 CWDT 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，由 WDTC 寄存器中的 WDTPRE 位控制。当 WDTPRE 位清零，禁止预分频器时，常温下 WDT 的计数溢出时间约为 8ms。

当 WDTPRE 位置 1，使能预分频器时，可通过 WDTC 寄存器中的 WDTPRS<2:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。

5.2.4 特殊功能寄存器

5.2.4.1 WDT控制寄存器（WDTC）

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	WDTPRE	—	WDTPRS<2:0>		
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	1	1	1

Bit 7~5 保留未用

Bit 4 WDTPRE: WDT 预分频器使能位

0: 禁止

1: 使能

Bit 3 保留未用

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

5.2.4.2 WDT计数周期匹配寄存器（WDTP）

WDTP: WDT 计数周期匹配寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 WDTP<7:0>: WDT 计数周期值

5.3 BEEPER蜂鸣器

5.3.1 概述

内部 INTHRC 或者 INTLRC 时钟，可通过寄存器控制，经过分频产生 1KHz、2KHz、4KHz 的时钟输出。输出端口可通过软件设置。

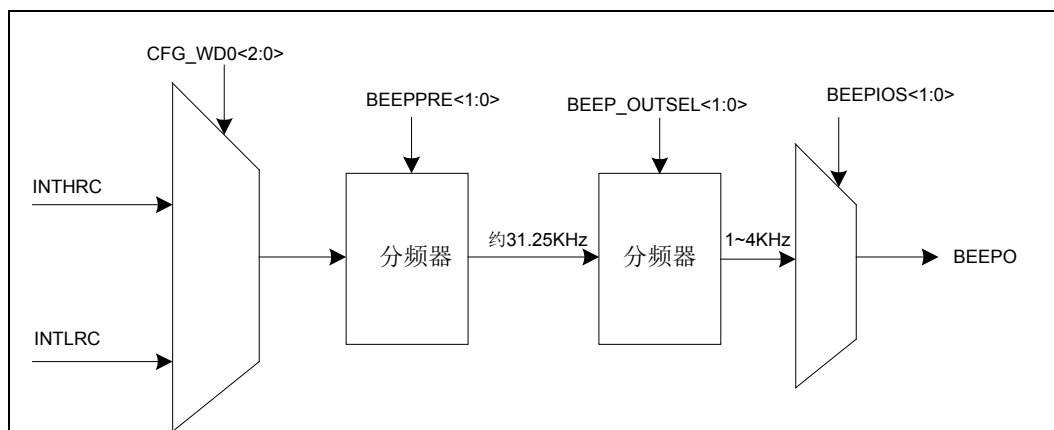


图 5-3 BEEPER 结构图

5.3.2 BEEP控制寄存器（BEEPC）

BEEPC: BEEP 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	BEEPIOS<1:0>		BEEPPRE<1:0>		BEEP_OUTSEL<1:0>		—	BEEPEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~6 BEEPIOS<1:0>: BEEPER 时钟输出端口选择位

- 00: 禁止输出
- 01: PA3
- 10: PB2
- 11: PB7

Bit 5~4 BEEPPRE<1:0>: 31.25KHz~32MHz 时钟预分频选择位（预分频后的时钟为 31.25KHz）

- 00: 1:1
- 01: 1:128
- 10: 1:512
- 11: 1:1024

Bit 3~2 BEEP_OUTSEL: BEEPER 时钟输出频率选择位

- 00, 01: 1KHz
- 10: 2KHz
- 11: 4KHz

Bit1 保留未用

Bit 0 BEEPEN: BEEPER 模块使能位

- 0: 禁止
- 1: 使能

5.4 复位模块

5.4.1 概述

- ◇ 上电复位 POR
- ◇ 掉电复位 BOR，复位电压点可配置
- ◇ 外部端口 MRSTN 复位，低电平复位有效
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

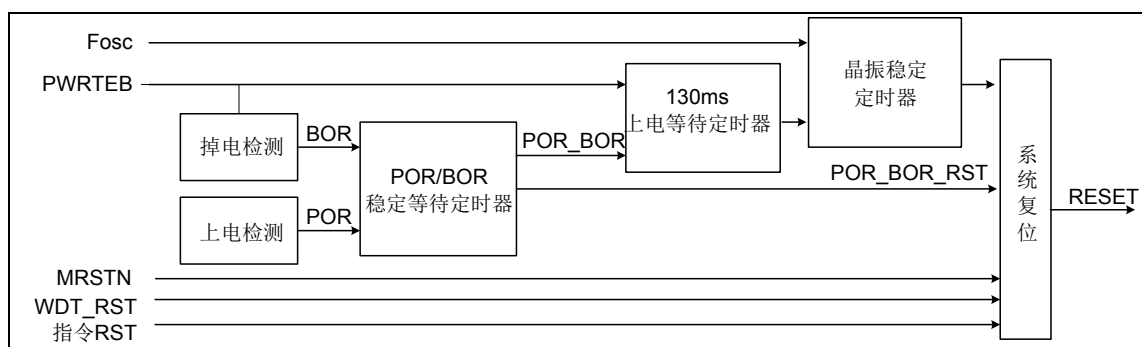


图 5-4 芯片复位原理图

注 1: 对 130ms 上电延时定时器，在 MRSTN 管脚复用为 I/O 功能时，该延时固定为使能，与配置位 CFG_PWRTEB 无关。

注 2: 芯片上电稳定后，在工作过程中，如果发生外部复位，WDT 计数溢出复位，或指令 RST 软件复位，则在复位条件撤除后，芯片会立即退出复位状态，恢复正常运行状态，与上图中的各定时器无关。

5.4.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

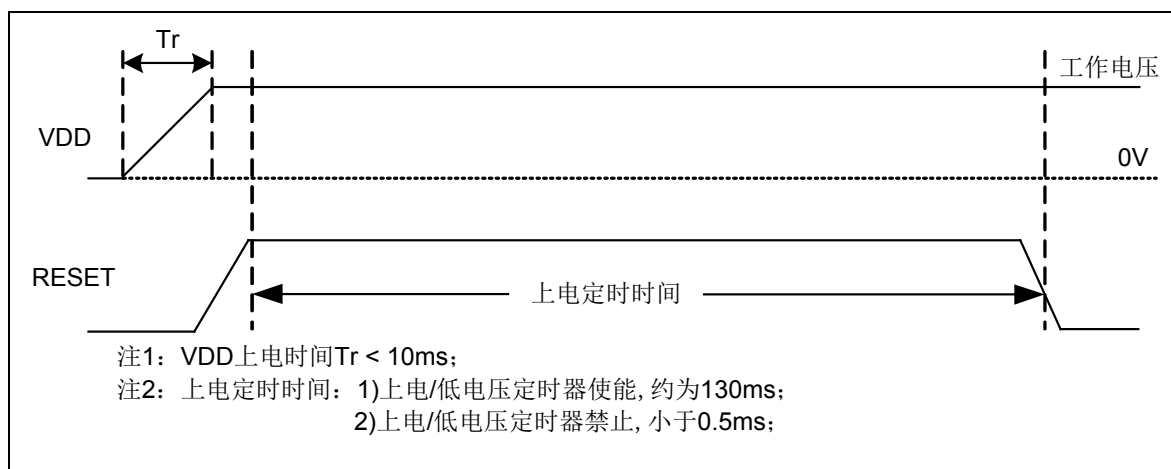


图 5-5 上电复位时序示意图

5.4.3 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电时可能会引起系统工作状态不正常或程序执行错误，掉电复位电路可保障芯片在异常掉电过程中处于复位状态，避免出现误操作。对电压跌落的滤波时间 T_{filter} ，可通过寄存器 $PWEN<3:2>$ 进行设置，根据所配置的 BOR 低电压档位和应用系统的供电情况，选择合适的滤波时间，通常保持为默认值。

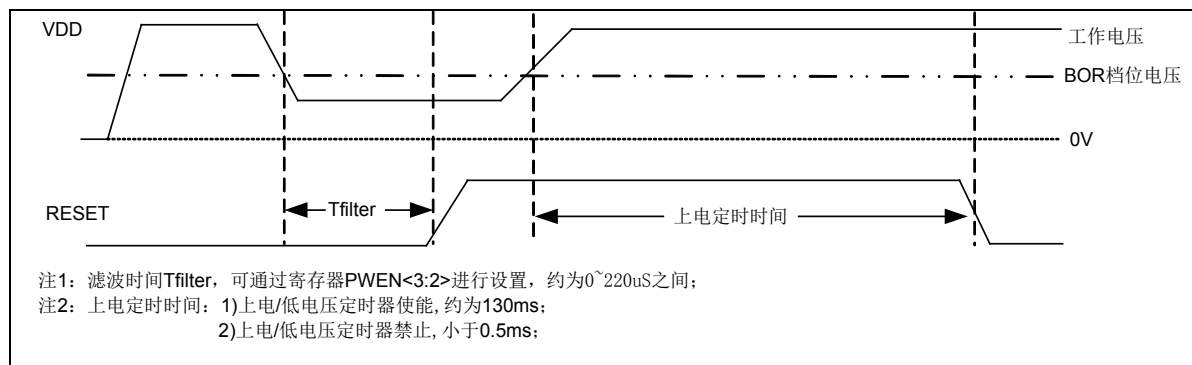


图 5-6 低电压复位时序示意图

5.4.4 外部 MRSTN 管脚复位

芯片提供外部 MRSTN 管脚，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，芯片配置为外部复位功能时，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。另外需要特别注意的是，禁止将 MRSTN 管脚直接连接到 VDD 上。外部复位滤波时间 T_{filter} 为 $200\mu s$ 左右，可滤除外部复位管脚上脉宽小于 $200\mu s$ 的干扰脉冲信号，为确保 MRSTN 管脚的外部复位信号有效，其低电平脉宽需大于 $250\mu s$ 。

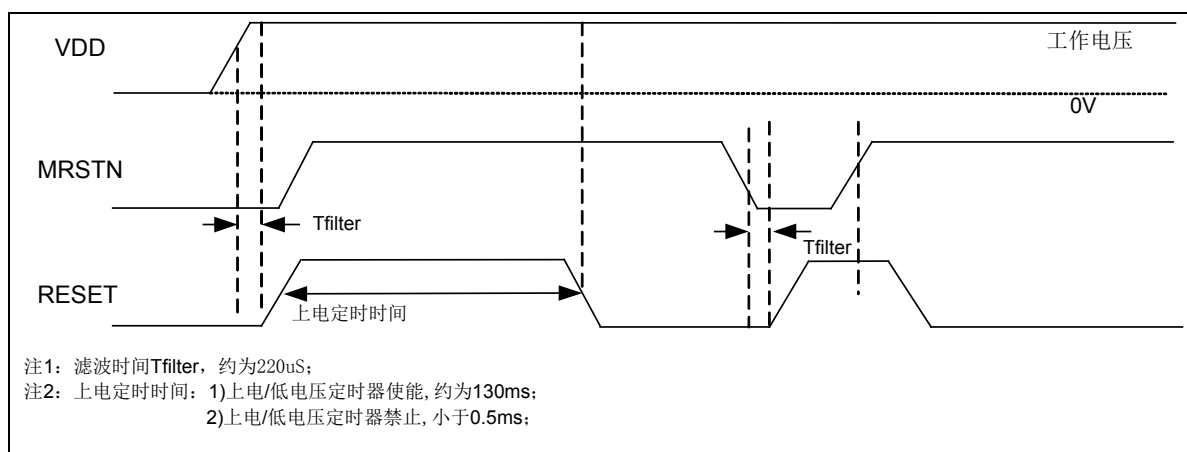


图 5-7 外部 MRSTN 管脚复位

注 1：当芯片配置字 $MRSTEN=1$ 为外部复位时，上电定时器可以通过 $PWRTEB$ 屏蔽，而当 $MRSTEN=0$ 为数字输入输出端口时，上电定时器固定使能，定时时间约为 $130ms$ 。

外部 MRSTN 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

5.4.4.1 RC复位

RC 复位电路是外部 MRSTN 管脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

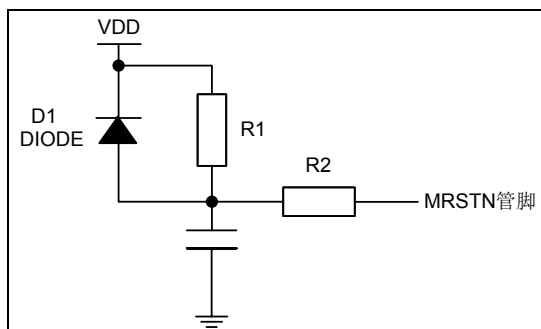


图 5-8 MRSTN 复位参考电路图 1

注：采用 RC 复位，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 ($0.1\mu\text{F}$)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

5.4.4.2 PNP三极管复位

PNP 三极管复位电路适用于对电源干扰较强的场合。

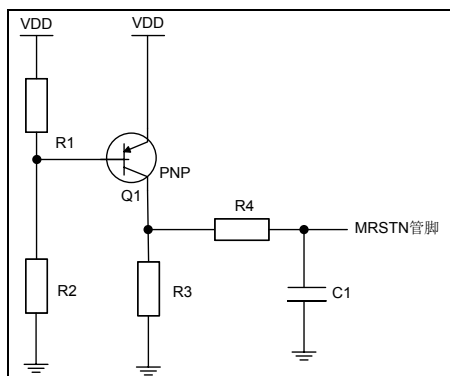


图 5-9 MRSTN 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 ($2\text{K}\Omega$) 和 R2 ($10\text{K}\Omega$) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 ($20\text{K}\Omega$) 接地，另一路通过 R4 ($1\text{K}\Omega$) 和 C1 ($0.1\mu\text{F}$) 接地，C1 另一端作为 MRSTN 输入。

5.4.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器计数溢出，产生系统复位。看门狗溢出复位后，系统重启进入正常状态。

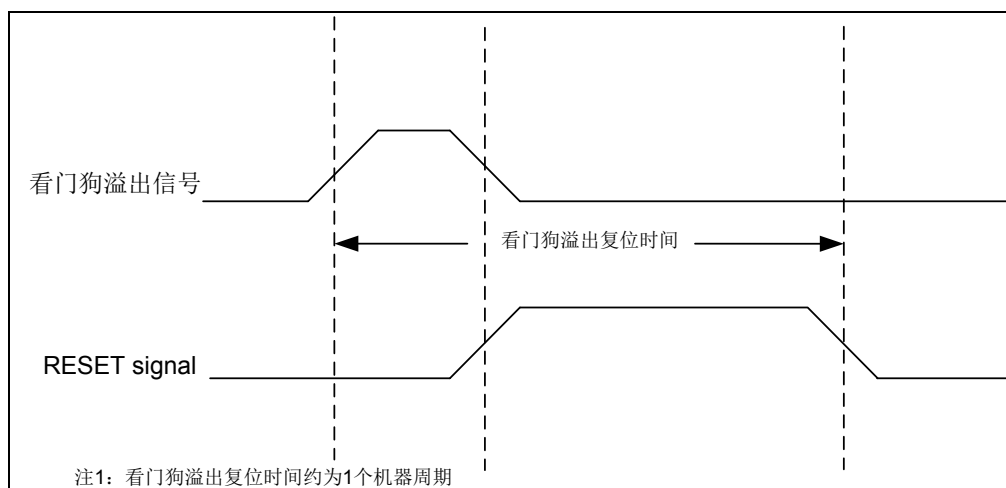


图 5-10 看门狗溢出复位

5.4.6 RST指令软件复位

整个芯片可通过执行 RST 指令进行复位，复位后，全部寄存器状态位都将被影响。

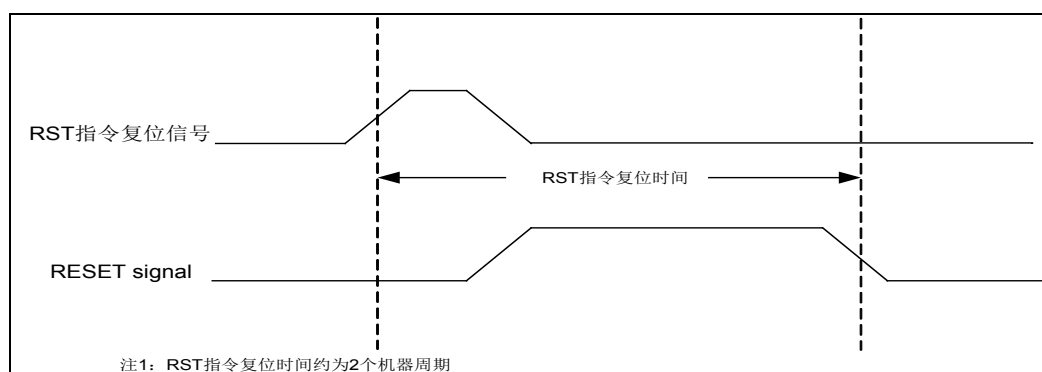


图 5-11 RST 指令软件复位

5.4.7 特殊功能寄存器

5.4.7.1 电源控制寄存器（PWRC）

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM<1:0>		VRST<1:0>		N_TO	N_PD	N_POR	N_BOR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	0	0	1	1	0	0

Bit 7-6 LPM<1:0>: 休眠模式选择位，需软件固定设置为 10

- 00: 保留未用
- 01: 保留未用
- 10: IDLE 模式
- 11: 保留未用

Bit 5-4 VRST<1:0>: LDO 稳定时间选择位

- 00: 约 2 个 INTLRC 时钟周期 (约 64uS)
- 01: 约 4 个 INTLRC 时钟周期 (约 128uS)

- 10: 约 8 个 INTLRC 时钟周期 (约 256uS)
11: 约 16 个 INTLRC 时钟周期 (约 512uS)
- Bit 3 N_TO: WDT 溢出标志位
0: WDT 计数溢出时被清零
1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2 N_PD: 低功耗标志位
0: 执行 IDLE 指令后清零
1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 N_POR: 上电复位状态位
0: 上电复位发生 (上电复位后, 必须软件置位)
1: 无上电复位发生
- Bit 0 N_BOR: 低电压复位状态位
0: 低电压复位发生 (低电压复位后, 必须软件置位)
1: 无低电压复位发生

5.4.7.2 功耗控制寄存器 (PWEN)

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	MRSTF	PORLOST	BORFLT<1:0>		RCEN	HALT_PWM
R/W	—	R/W	R/W	R	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	1	1

- Bit 7~6 保留未使用
- Bit 5 MRSTF: 外部复位状态位
0: 已发生外部复位 (外部复位后, 必须软件置 1)
1: 未发生外部复位
- Bit 4 PORLOST: 上电复位失效状态位
0: 已发生上电复位
1: 未发生上电复位
- Bit 3~2 BORFLT<1:0>: BOR 滤波时间选择位
00: 无滤波时间
01: 约 3 个 INTLRC 时钟周期
10: 约 5 个 INTLRC 时钟周期
11: 约 7 个 INTLRC 时钟周期
- Bit 1 RCEN: IDLE 状态下, WDT 计数使能位 (仅在 IDLE 状态下生效)
0: 禁止
1: 使能
- Bit 0 HALT_PWM: 在线调试暂停状态下, T11/T21/T31 定时器计数使能位
0: 使能
1: 禁止

5.5 低功耗操作

5.5.1 MCU低功耗模式

芯片支持休眠模式。

◇ IDLE 睡眠模式

- 系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- MCU 处于休眠状态
- 支持外部中断、按键唤醒，唤醒时间可配
- 所有 I/O 端口将保持进入 IDLE 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

5.5.2 低功耗模式配置

低功耗 IDLE 模式，由 PWRC 寄存器中的 LPM<1:0>位控制。需软件设置 LPM = 10 时，执行 IDLE 指令，芯片进入 IDLE 模式。

LPM (PWRC<7:6>)	低功耗模式
10	IDLE 模式

表 5-1 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为高电平或低电平。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚通过上拉或下拉电阻接为高电平或低电平，或将 I/O 管脚设置为输出低电平。如果产品封装引脚数小于最大引脚数，则未引出的和未使用的 I/O 管脚都需设置为输出低电平。

5.5.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒方式	中断屏蔽	中断使能	中断模式	低功耗模式	备注
1	MRSTN	—	—	—	IDLE	—
2	WDT	—	—	—	IDLE	WDT 溢出
3	PINTx	—	PIEx	默认/向量	IDLE	—
4	KINT	KMSK	KIE	默认/向量	IDLE	—
5	ADINT	—	ADIE	默认/向量	IDLE	—
6	ADHThINT	—	ADHThIE	默认/向量	IDLE	—
7	ADLThINT	—	ADLThIE	默认/向量	IDLE	—
8	LVDINT	—	LVDIE	默认/向量	IDLE	—
9	T21INT	—	T21VIE	默认/向量	IDLE	异步计数模式

表 5-2 唤醒方式配置表

注：低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使默认中断模式下，全局中断使能 GIE 为 0，或向量中断模式下，高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

5.5.4 唤醒时序图

当唤醒事件发生后，芯片唤醒时间由 LDO 稳定时间（VRwkdly）和唤醒延时（Twkdly）两部分组成。

- ◇ 在 IDLE 模式下，芯片需要先等待 VRwkdly 时间（由 VRST<1:0> 设定），此时间称为 LDO 稳定时间。之后芯片主时钟稳定一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为振荡器稳定时间，需大于 2us，可通过 WKDC<7:0> 寄存器设置以及系统时钟决定。比如，系统时钟选择 16MHz，那么设置 WKDC<7:0> 寄存器的值必须大于 1FH。

低功耗模式	唤醒时间		备注
IDLE 模式	VRwkdly	$(VRST<1:0>) \times Tintlrc$	LDO 稳定时间
	Twkdly	$WKDC<7:0> \times 2 \times Tosc$	振荡器稳定时间需大于 2us，通过 WKDC<7:0> 寄存器设置

表 5-3 唤醒时间计算表

注：以上唤醒时间为理论值，Tintlrc 为内部低速时钟周期，Tosc 为系统时钟周期。

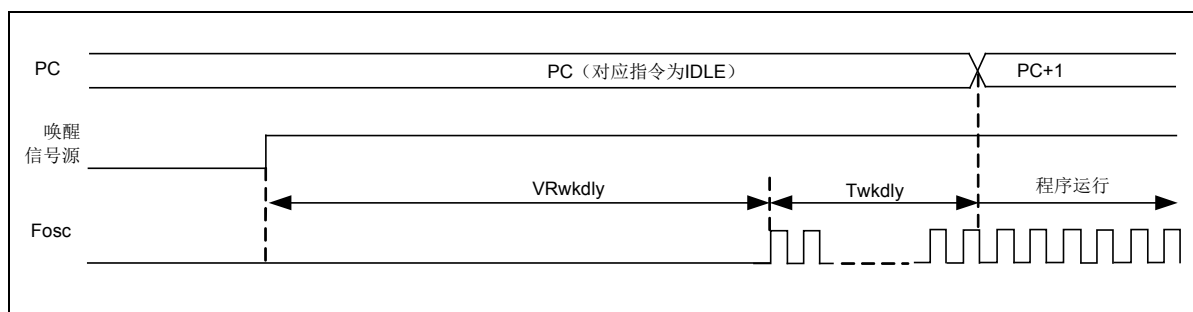


图 5-12 系统唤醒 IDLE 的时序图

5.5.5 特殊功能寄存器

5.5.5.1 唤醒延时控制寄存器（WKDC）

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>: 唤醒延时控制位

第6章 MCU—外设

6.1 8 位定时/计数器 (T8N)

6.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T8NCKI) 进行计数。

◇ T8N 支持两种工作模式

- 定时器模式 (时钟源为系统时钟二分频 ($F_{osc}/2$) 或者 INTLRC 时钟)
- 同步计数器模式 (时钟源为外部输入时钟 T8NCKI)

◇ T8N 支持以下功能组件

- 8 位预分频器 (无实际物理地址, 不可读写)
- 8 位计数器寄存器 (T8N)
- 8 位控制寄存器 (T8NC)

◇ 中断和暂停

- 支持溢出中断标志 (T8NIF)
- 支持中断处理
- 在 IDLE 模式下, T8N 暂停

6.1.2 内部结构图

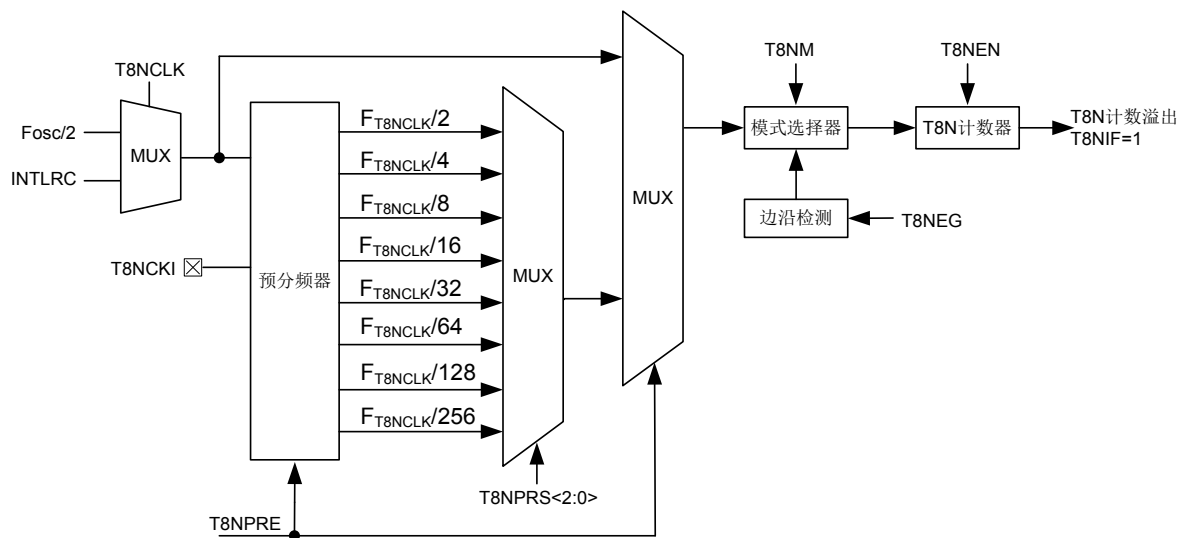


图 6-1 T8N 内部结构图

6.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T8NC 寄存器中的 T8NPRE 为“1”时, 使能 T8N 预分频器。任何对 T8N 计数器的写操作都会清零预分频器, 改写后立即更新, 但不影响预分频器的分频比设置, 预分频器的计数值无法读写。预分频器的分频比可通过 T8NC 寄存器中的 T8NPRS<2:0> 位进行设置, 预分频比范围为 1:2~1:256。

注 1: 当使用 INTLRC 为计数时钟时, 必须使能预分频控制位。

注 2: 建议不要在 T8N 计数时, 改写 T8N 计数器和预分频值, 否则会影响改写后的第一次计数的时间。

工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
			T8NCLK=0	T8NCLK=1
定时器模式	0	—	Fosc/2	—
	1	000	(Fosc/2) /2	Fintlrc /2
	1	001	(Fosc/2) /4	Fintlrc /4
	1	010	(Fosc/2) /8	Fintlrc /8
	1	011	(Fosc/2) /16	Fintlrc /16
	1	100	(Fosc/2) /32	Fintlrc /32
	1	101	(Fosc/2) /64	Fintlrc /64
	1	110	(Fosc/2) /128	Fintlrc /128
	1	111	(Fosc/2) /256	Fintlrc /256
工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
计数器模式	0	—	T8NCKI	
	1	000	T8NCKI /2	
	1	001	T8NCKI /4	
	1	010	T8NCKI /8	
	1	011	T8NCKI /16	
	1	100	T8NCKI /32	
	1	101	T8NCKI /64	
	1	110	T8NCKI /128	
	1	111	T8NCKI /256	

表 6-1 T8N 预分频器配置表

6.1.4 工作模式

T8N 有两种工作模式, 定时器模式和计数器模式, 通过 T8NM 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时, T8N 计数器的时钟源可通过 T8NC 寄存器中的 T8NCLK 位选择为系统时钟 2 分频 (Fosc/2) 或 INTLRC; 配置为计数器模式时, T8N 计数器的时钟源为经二分频后的系统时钟 Fosc/2 同步的外部输入时钟 T8NCKI, 因此 T8NCKI 输入时钟信号的高电平和低电平时间都至少为一个机器周期。通过 T8NC 寄存器中的 T8NEG 位选择外部时钟的计数边沿为上升沿或下降沿。T8NCKI 所在 IO 端口必须配置为数字输入状态。

T8NM	T8NCLK	工作模式	时钟源
0	0	定时器模式	Fosc/2
0	1	定时器模式	INTLRC
1	0	同步计数器模式	T8NCKI

表 6-2 T8N 工作模式配置表

6.1.5 定时器模式

T8N 计数器为递增计数，计数值由 FF_H 变为 00_H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

当 T8N 配置为定时器模式时，若禁止预分频器，则 T8N 计数器的时钟只能选择为系统时钟二分频 ($F_{osc}/2$)，不能选择为 INTLRC；若使能预分频器，分频器对 $F_{osc}/2$ 或 INTLRC 进行分频，此时，T8N 计数器的计数时钟为分频后的时钟。

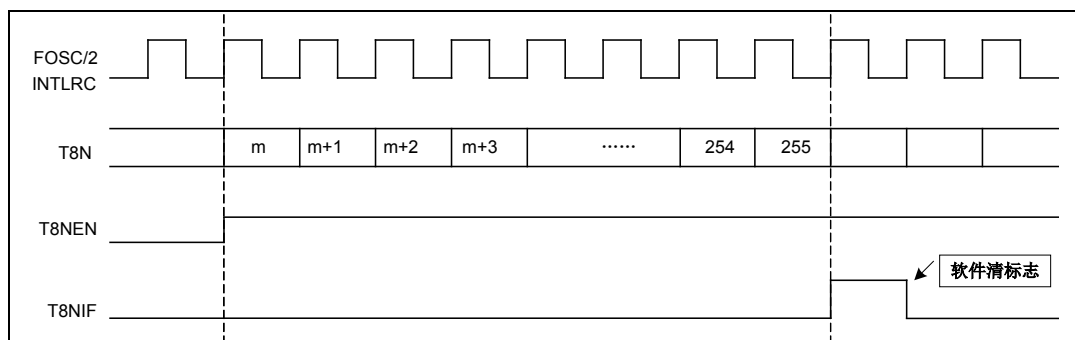


图 6-2 定时器模式时序图

6.1.6 同步计数器模式

当 T8N 配置为同步计数器模式时，若禁止预分频器，T8N 计数器的时钟为外部输入时钟 T8NCKI，内部相位时钟 p2 将对时钟 T8NCKI 进行同步。所以 T8NCKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T8NEG (T8NC<4>) 选择外部时钟的计数边沿为上升沿或下降沿。

同样，同步计数器模式也支持预分频器对外部时钟 T8NCKI 进行分频。并且，T8NCKI 复用的 IO 端口必须配置为数字输入状态。

T8N 计数器为递增计数，计数值由 FF_H 变为 00_H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

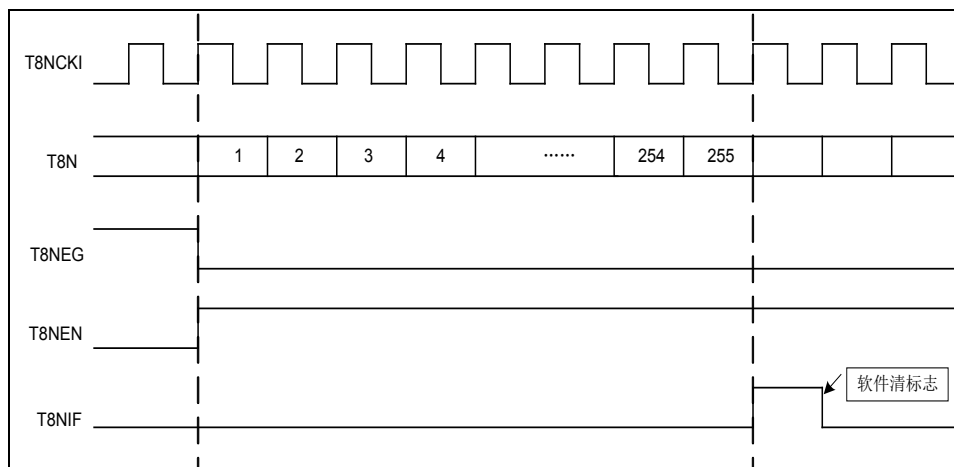


图 6-3 计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)

6.1.7 ICD调试暂停模式

在调试暂停时，计数器停止计数，T8N 工作暂停。

6.1.8 特殊功能寄存器

8 位定时器/计数器 T8N 由两个寄存器控制，一个 8 位计数器寄存器 T8N 和一个控制寄存器 T8NC。T8N 寄存器用于存放计数值，T8NC 控制寄存器用于控制 T8N 的使能、T8N 的模式选择、T8NCKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

6.1.8.1 T8N计数器寄存器（T8N）

T8N: T8N 计数器寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8N <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 T8N <7:0>: 8 位 T8N 计数值

6.1.8.2 T8N控制寄存器（T8NC）

T8NC: T8N 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7 T8NEN: T8N 模块使能位

0: 关闭

1: 使能

Bit 6 T8NCLK: T8N 定时时钟源选择位

0: 系统时钟二分频 $F_{osc}/2$

1: INTLRC 时钟（必须同时使能 T8N 的预分频控制位，即 T8NPRE=1）

Bit 5 T8NM: T8N 模式选择位

0: 定时器模式

1: 同步计数器模式

Bit 4 T8NEG: T8NCKI 同步计数边沿选择位

0: T8NCKI 上升沿计数

1: T8NCKI 下降沿计数

Bit 3 T8NPRE: 预分频器使能位

0: 禁止

1: 使能

Bit 2~0 T8NPRS <2:0>: 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

6.2 12 位多功能定时器 (T11)

6.2.1 概述

12 位定时器 T11。

- ◇ T11 定时器模式 (时钟源为 F_{osc})
- ◇ T11 支持以下功能组件
 - 4 位预分频器和 7 位后分频器 (无实际物理地址, 不可读写)
 - 12 位计数器 T11 (计数器初始值可写)
 - 12 位周期寄存器 T11PL、T11PH
- ◇ 中断和暂停
 - 支持溢出中断 T11VIF、周期匹配中断 T11PIF
 - 在 IDLE 模式下, 停止工作

注 1: 周期寄存器的更新, 在写低 8 位寄存器时, 同时加载高位寄存器的值, 因此寄存器更新时, 需要先写高 4 位寄存器, 再写低 8 位寄存器;

6.2.2 内部结构图

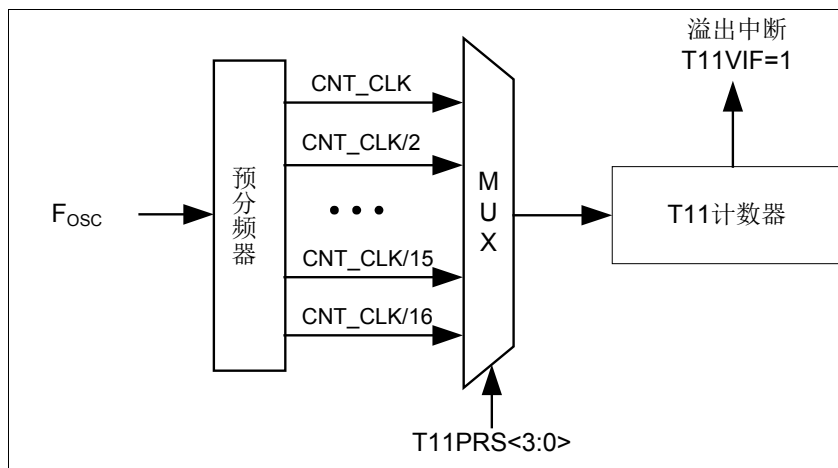


图 6-4 T11 内部结构图

6.2.3 预分频器和后分频器

预分频器可以提供更长的溢出周期。T11 支持可配置的预分频器。通过 T11CM 寄存器中的 T11PRS 位配置预分频器的分频比, 预分频比的范围为 1:1 ~ 1:16。任何对计数器或控制寄存器的写操作都会使预分频器和后分频器清零, 但不改变配置的分频比。预分频器和后分频器的计数值不可读写。

后分频器的分频比可通过 T11CH 寄存器中的 T11POS<6:0> 位进行设置, 后分频比范围为 1:1~1:128, 通过计数器与周期寄存器值的匹配, 来进行后分频。

6.2.4 工作模式

T11 定时器模式, 通过 T11M<3:0> 进行模式选择。

T11EN 置 1 使能之前, 需先由 T11M 设定工作模式, 选择计数时钟, 并配置好预分频器、后分频器、周期等参数, 且需保证计数时钟在 T11EN 使能时已稳定。

6.2.5 定时器模式

当 T11M 为 0000 时，T11 工作在定时器模式。

T11 计数器的时钟源为系统时钟 Fosc，并支持预分频器和后分频器。

T11 计数器为可读写寄存器，支持计数初值的设置和计数过程中的计数值改变。

T11EN 使能时，12 位定时器 T11 对计数时钟进行递增计数，当 T11 的计数值与周期寄存器 T11P 相等时，后分频计数器加 1，同时 T11 计数器被自动清零并重新开始计数。

当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时溢出中断标志 T11VIF 置“1”，该中断标志需要软件清零。

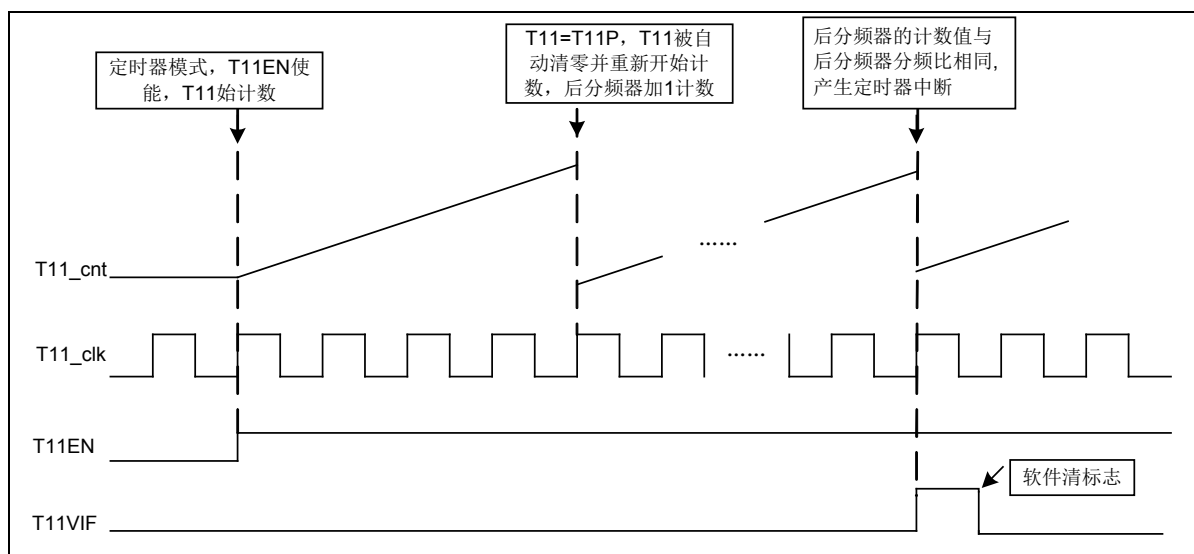


图 6-5 T11 定时器模式时序图

6.2.6 异步/同步计数器模式

T11M 设置为“0010”时，T11 工作在同步计数器模式，计数时钟源为 T11CKI 经 Fosc 同步后的时钟。

T11M 设置为“0001”时，T11 工作在异步计数器模式 1，计数器时钟源为外灌时钟。计数模式支持预分频器和后分频器，可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

同步计数器模式时钟源为外部输入时钟 T11CKI (T11 Clock Input)，上升沿有效。此工作模式要求外部输入时钟的高/低电平时间，至少保持 1 个机器周期。

T11 计数器 (T11H, T11L) 对时钟源进行递增计数，当 T11 的计数值与周期寄存器 T11P 相等时，T11 被自动清零并重新开始计数，后分频计数加 1，当后分频计数值与后分频比相同时，复位后分频器，产生计数溢出中断 T11VIF，该中断必须软件清零。

异步/同步计数器模式下，对 T11 计数器初始值的写入操作，需延时 3 个 T11CKI 时钟周期才会生效（与预分频比无关）。

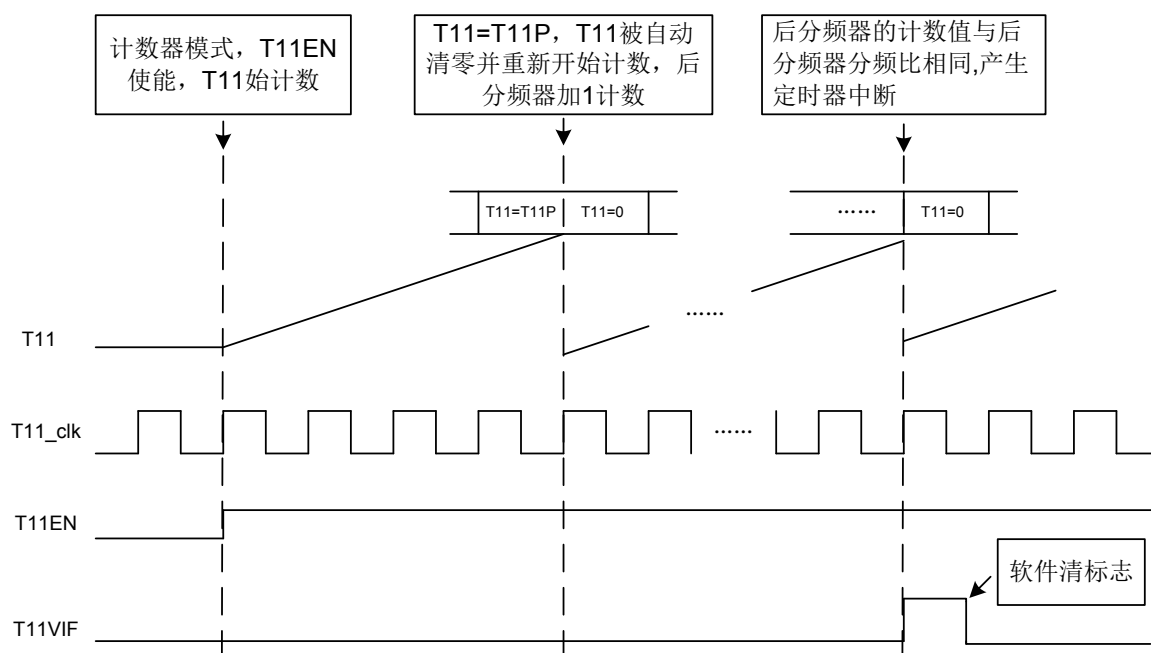


图 6-6 T11 计数器模式时序图

6.2.7 ICD调试暂停模式

在 ICD 调试暂停时，HALT_PWM (PWEN<0>) 位决定 T11 计数器是否停止计数。

当设置 HALT_PWM=1 时，在调试暂停时，计数器停止计数，T11 工作暂停。

当设置 HALT_PWM=0 时，在调试暂停时，计数器仍继续计数，T11 保持正常工作。

6.2.8 特殊功能寄存器

6.2.8.1 计数器寄存器低 8 位 (T11L)

T11L: T11 计数器低 8 位 (T11L)								
Bit	7	6	5	4	3	2	1	0
Name	T11<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T11<7:0>: T11 计数器低 8 位

6.2.8.2 计数器寄存器高 4 位 (T11H)

T11H: T11 计数器高 4 位 (T11H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T11<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 T11<11:8>: T11 计数器高 4 位

6.2.8.3 周期寄存器低 8 位 (T11PL)

T11PL: T11 周期寄存器低 8 位 (T11PL)								
Bit	7	6	5	4	3	2	1	0
Name	T11P<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T11P<7:0>: PWM 周期值低 8 位

6.2.8.4 周期寄存器高 4 位 (T11PH)

T11PH: T11 周期寄存器高 4 位 (T11PH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T11P<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~4 保留未用

Bit 3~0 T11P<11:8>: PWM 周期值高 4 位

注: 周期寄存器的更新, 在写低 8 位寄存器时, 会同时加载高位寄存器的值, 因此寄存器更新时, 需要先写高 4 位寄存器, 再写低 8 位寄存器;

6.2.8.5 控制寄存器低 8 位 (T11CL)

T11CL: T11 控制寄存器低 8 位 (T11CL)								
Bit	7	6	5	4	3	2	1	0
Name	T11M<3:0>				—		—	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 T11M <3:0>: T11 工作模式选择位

0000: 定时器模式 (计数器时钟源为 Fosc)

0001: 异步计数模式 1 (计数器时钟源为外灌时钟)

0010: 同步计数器模式 (计数时钟源为 T11CKI 经 Fosc 同步后的时钟)

其它: 保留未用

Bit 3~0 保留未用

6.2.8.6 控制寄存器次高 8 位 (T11CM)

T11CM: T11 控制寄存器中 8 位 (T11CM)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T11PRS<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 T11PRS<3:0>: T11 预分频器分频比选择位

0000: 分频比为 1:1
 0001: 分频比为 1:2
 0010: 分频比为 1:3
 0011: 分频比为 1:4
 0100: 分频比为 1:5
 0101: 分频比为 1:6
 0110: 分频比为 1:7
 0111: 分频比为 1:8
 1000: 分频比为 1:9
 1001: 分频比为 1:10
 1010: 分频比为 1:11
 1011: 分频比为 1:12
 1100: 分频比为 1:13
 1101: 分频比为 1:14
 1110: 分频比为 1:15
 1111: 分频比为 1:16

6.2.8.7 控制寄存器高 8 位 (T11CH)

T11CH: T11 控制寄存器高 8 位 (T11CH)								
Bit	7	6	5	4	3	2	1	0
Name	T11EN	T11POS<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T11EN : T11 使能位
 0: 关闭
 1: 使能

Bit 6~0 T11POS<6:0>: T11 后分频器分频值
 后分频次数 = T11POS<6:0> + 1

6.3 12 位多功能定时器 (T21)

6.3.1 概述

12 位多功能定时器 T21 共有 4 种工作模式：定时器模式、多精度 PWM 模式、捕捉器模式、比较器模式。

◇ T21 支持 4 种工作模式

- 定时器模式（时钟源为 F_{osc} ）
- 多精度 PWM 模式，支持 3 路独立的 PWM 输出，输出占空比、极性都可独立设置
- 捕捉器模式，支持 3 路独立的捕捉输入，每路输入捕捉边沿可分别设置
- 比较器模式，支持 3 路独立的比较输出
- PWM 时钟源可通过寄存器配置为：系统时钟 F_{osc} ，或 INTHRC 时钟

◇ T21 支持以下功能组件

- 4 位预分频器和 7 位后分频器（无实际物理地址，不可读写）
- 12 位计数器 T21（计数器初始值可写）
- 12 位捕捉/比较寄存器 T21R0、T21R1 和 T21R2

◇ 中断和暂停

- 支持溢出中断 T21VIF、周期匹配中断 T21PIF 和多功能中断 T21MIF
- 在 IDLE 模式下，除异步计数模式可继续工作外，其它模式下停止工作

注 1：精度寄存器和周期寄存器的更新，在写低 8 位寄存器时，同时加载高位寄存器的值，因此寄存器更新时，需要先写高 4 位寄存器，再写低 8 位寄存器；

注 2：管脚图中的 T21_CH0/T21_CH1/T21_CH2 分别代表的是本节中多精度 PWM 模式的输出通道 PWM210/PWM211/PWM212、捕捉输入模式的通道 T21CI0/T21CI1/T21CI2、比较输出模式的输出通道 T21CO0/T21CO1/T21CO2。

6.3.2 内部结构图

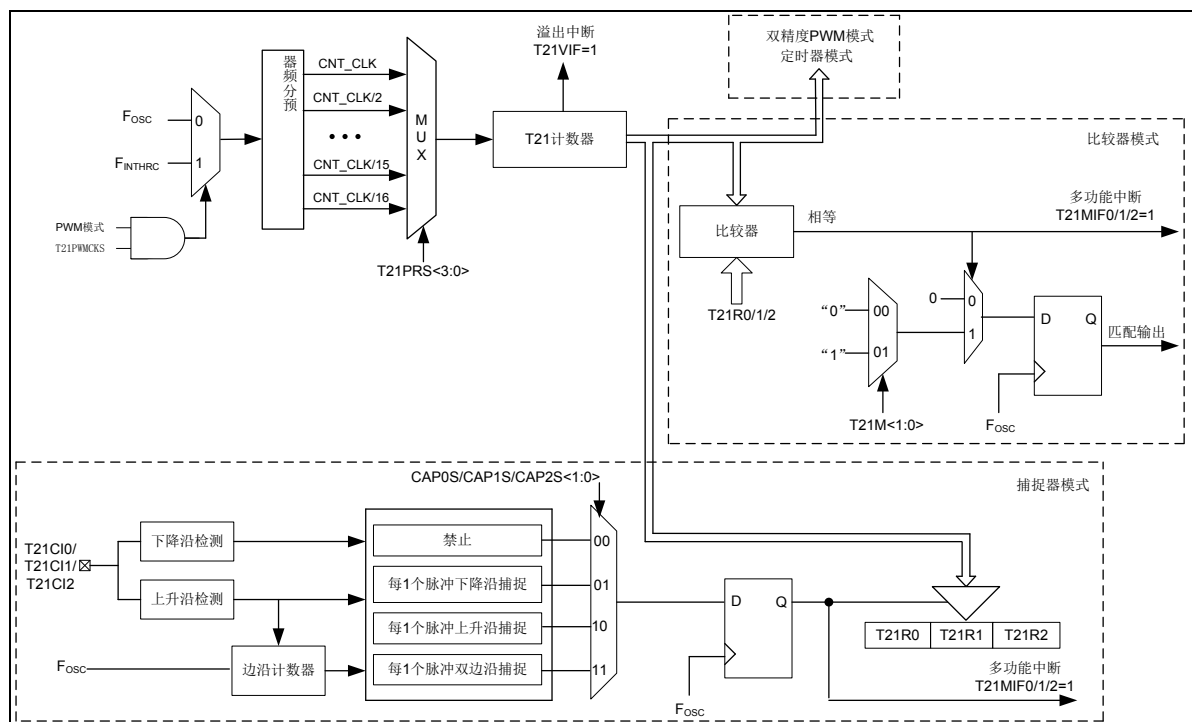


图 6-6 T21 内部结构图

6.3.3 预分频器和后分频器

预分频器可以提供更长的溢出周期。T21 支持可配置的预分频器。通过 T21CM 寄存器中的 T21PRS 位配置预分频器的分频比，预分频比的范围为 1:1 ~ 1:16。任何对计数器或控制寄存器的写操作都会使预分频器和后分频器清零，但不改变配置的分频比。预分频器和后分频器的计数值不可读写。

后分频器的分频比可通过 T21CH 寄存器中的 T21POS<6:0>位进行设置，后分频比范围为 1:1~1:128，通过计数器与周期寄存器值的匹配，来进行后分频。

6.3.4 工作模式

T21 有 4 种工作模式，定时器模式、多精度 PWM 模式、捕捉器模式、比较器模式，通过 T21M<3:0>进行模式选择。

T21EN 置 1 使能之前，需先由 T21M 设定工作模式，选择计数时钟，并配置好预分频器、后分频器、周期等参数，且需保证计数时钟在 T21EN 使能时已稳定。

6.3.5 定时器模式

当 T21M 为 0000 时，T21 工作在定时器模式。

T21 计数器的时钟源为系统时钟 Fosc，并支持预分频器和后分频器。

T21 计数器为可读写寄存器，支持计数初值的设置和计数过程中的计数值改变。

T21EN 使能时，12 位定时器 T21 对计数时钟进行递增计数，当 T21 的计数值与周期寄存器 T21P 相等时，后分频计数器加 1，同时 T21 计数器被自动清零并重新开始计数。

当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时溢出中断标志 T21VIF 置“1”，该中断标志需要软件清零。

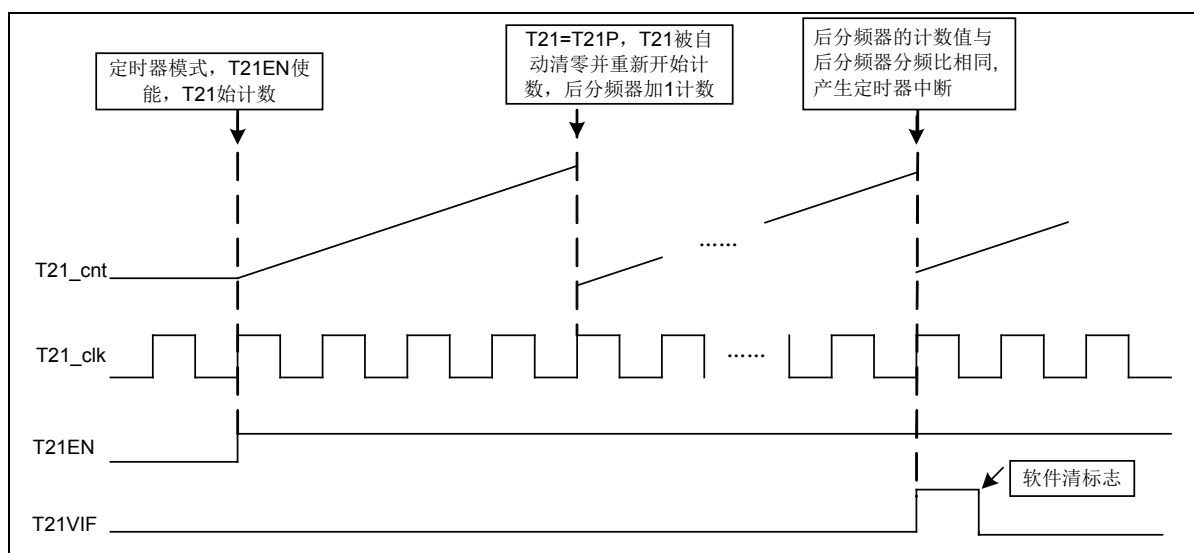


图 6-7 T21 定时器模式时序图

6.3.6 异步/同步计数器模式

T21M 设置为“0010”时，T21 工作在同步计数器模式，计数时钟源为 T21CKI 经 Fosc 同步后的时钟。

T21M 设置为“0001”时，T21 工作在异步计数器模式 1，计数器时钟源为外灌时钟。

T21M 设置为“1101”时，T21 工作在异步计数器模式 2，计数器时钟源为 T21CKI。计数模式支持预分频器和后分频器，可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

同步计数器模式时钟源为外部输入时钟 T21CKI (T21 Clock Input)，上升沿有效。此工作模式要求外部输入时钟的高/低电平时间，至少保持 1 个机器周期。

异步计数器模式时钟源的选择，当为异步计数器模式 2 时，时钟源为外部输入时钟 T21CKI，上升沿有效；当为异步计数器模式 1 时，时钟源为外灌时钟。

IDLE 状态下，配置为异步计数模式 1，T21 可工作在异步计数模式下。

T21 计数器 (T21H, T21L) 对时钟源进行递增计数，当 T21 的计数值与周期寄存器 T21P 相等时，T21 被自动清零并重新开始计数，后分频计数加 1，当后分频计数值与后分频比相同时，复位后分频器，产生计数溢出中断 T21VIF，该中断必须软件清零。在异步计数器模式下，T21 计数器可以在 CPU 睡眠时继续工作，并且产生的中断 T21VIF 可以唤醒 CPU。

异步/同步计数器模式下，对 T21 计数器初始值的写入操作，需延时 3 个 T21CKI 时钟周期才会生效（与预分频比无关）。

在 PWM 模式下，禁止对 T21 计数器进行写操作，否则会造成 PWM 输出错误。

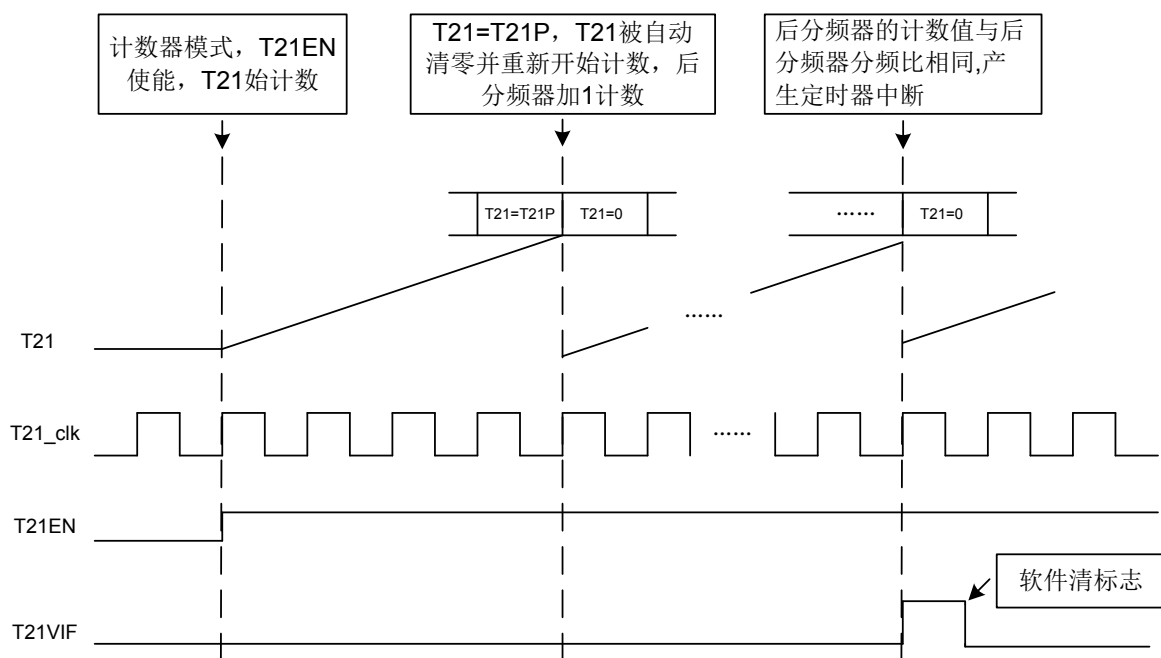


图 6-8 T21 计数器模式时序图

6.3.7 多精度PWM模式

T21M 为“1100”时，T21 工作在多精度 PWM 模式，支持 3 个 PWM 输出端口 PWM210、PWM211 和 PWM212，可分别通过 T21R0、T21R1 和 T21R2 独立设置 PWM 占空比，并可独立设置输出极性。并且支持 2 个 PWM 输出端口 PWM210、PWM212 的互补输出，可通过 PORTCTR<1:0>进行设置。

多精度 PWM 模式计数时钟源可通过 T21PWMCKS（T21OC<6>）寄存器设置，可为系统时钟 Fosc 或者内部高速时钟 INTHRC，其中 INTHRC 时钟最高可到 64MHz，并支持预分频器和后分频器。此模式下，后分频比不影响 PWM 周期，只影响计数溢出中断标志 T21VIF。

如下图示，当 T21EN 使能，T21TR 为 0 时，PWM 输出关闭，并保持 PWM210/1/2 输出为 0；设置 T21TR 为 1 时，PWM 输出波形启动，PWM210/ PWM211/ PWM212 输出起始为 1，同时分别将 12 位周期寄存器 T21P 和 12 位精度寄存器 T21R0/T21R1/T21R2 寄存器的内容，更新至 12 位 PWM 周期缓冲器 PRDBUF 和 12 位精度缓冲器 RESBUF0/RESBUF1/RESBUF2（该缓冲器软件不可读写），随后 12 位计数器 T21 从零开始递增计数，当 T21 与 RESBUF0/RESBUF1/RESBUF2 的值相等时，PWM210/ PWM211/ PWM212 输出改变为 0，并继续递增计数。当 T21 的计数值与 PRDBUF 相等时，后分频计数器加 1，PWM210/PWM211/PWM212 输出恢复为 1，同时 PRDBUF 和 RESBUF0/RESBUF1/RESBUF2 再次分别载入 T21P 和 T21R0/T21R1/T21R2 寄存器的值，并产生周期中断标志 T21PIF，该中断标志需要软件清零。至此一个完整的 PWM 周期完成，随后计数器 T21 从零开始递增计数，继续循环产生新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将计数溢出中断标志 T21VIF 置“1”，该中断标志需要软件清零。

特别的，若 RESBUF 的值大于 PRDBUF，则当前 PWM 周期内 PWM 输出始终为 1。若 RESBUF 的值为零，则当前 PWM 周期内 PWM 输出始终为 0。

PWM 计算公式如下：

PWM 周期 = (T21P + 1) × T_{osc} × <预分频器分频比>

PWM 频率 = 1 / <PWM 周期>

PWM 脉宽 = (T21R0/1/2) × T_{osc} × <预分频器分频比>

PWM 占空比 = <PWM 脉宽> / <PWM 周期>

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

Fckps 是计数器的预分频器的分频比。

PWM（T21_CH0）沿启动 AD 转换

当 ADEN（ADCCL<0>），SMPS（ADCCL<2>）位为 1 使能时，支持 PWM 输出沿启动 AD 转换，为了保证有效沿启动 AD 转换，在 PWM 输出沿后增加了可配置延时滤波电路。当 T21ADEN 置为 1 时，通过软件配置 8 位 PWM 沿检测延时寄存器 TMRADC。设置寄存器 T21ADS 选择启动沿，当 T21ADS 为 0 时，内部计数器在 PWM 的上升沿开始计数；当 T21ADS 为 1 时，内部计数器在 PWM 的下降沿开始计数。当计数器计数值大于

TMRADC 时，产生启动 AD 转换的触发信号，硬件自动启动 AD 转换。

在 AD 转换还未完成前，硬件自动屏蔽启动 AD 转换的 PWM 触发信号沿。

内部计数器计数时钟为系统时钟 F_{osc} ，在 IDLE 模式下，PWM 停止工作，所以不能触发 AD 转换。

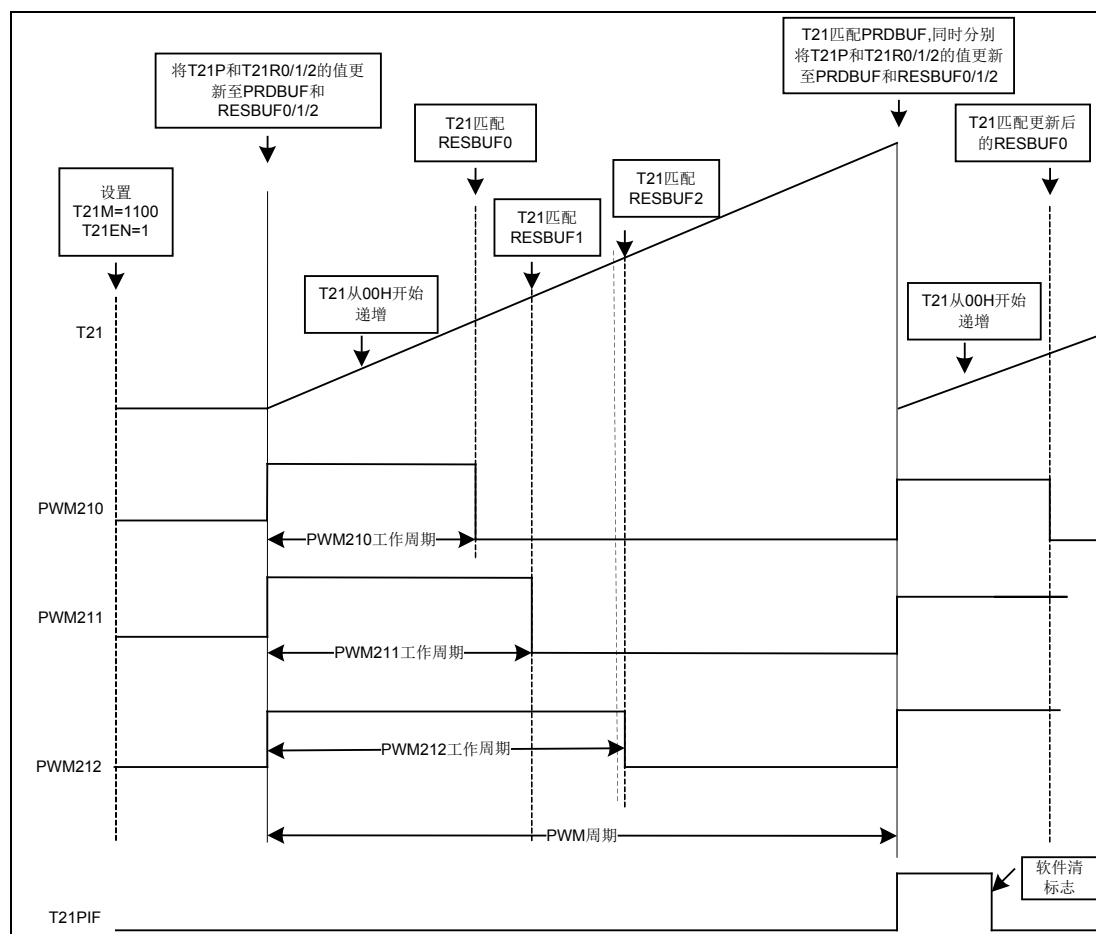


图 6-9 T21 多精度 PWM 模式示意图

6.3.8 捕捉器模式

T21M 设置为“01xx”时，T21 工作在捕捉器模式，T21 支持 3 个相互独立的捕捉输入端口 T21CI0、T21CI1 和 T21CI2。该模式下支持 3 种捕捉条件选择。

T21 配置为捕捉模式时，时钟源为系统时钟（Fosc）。在此模式下，12 位计数器 T21 进行递增计数，当 T21CI0/T21CI1/T21CI2 输入信号的变化状态满足捕捉条件时，计数器 T21 的值将被载入到相应的 12 位捕捉寄存器 T21R0/T21R1/T21R2 中，并产生多功能中断 T21MIF0/T21MIF1/T21MIF2，该中断必须由软件清零。计数器继续递增计数。若下一次捕捉事件发生时，捕捉寄存器 T21R0/T21R1/T21R2 中的值未被及时读取，将被新捕捉的值覆盖。当计数值溢出时（即从 FFF_H 变为 000_H），产生溢出中断 T21VIF，该中断必须软件清零。

T21 支持 1 个用于捕捉条件判断的边沿计数器，此边沿计数器仅在捕捉模式有效。当 T21 关闭或切换为其它模式时，该边沿计数器被清零，但在 T21 的 4 种捕捉模式相互切换时，该边沿计数器不会被清零。因此，当切换捕捉模式后，首次捕捉可能存在误差，同时也可能导致错误的中断产生。为了避免产生错误中断，用户在改变模式时应该先禁止 T21 相应中断使能位，并且清除中断标志。

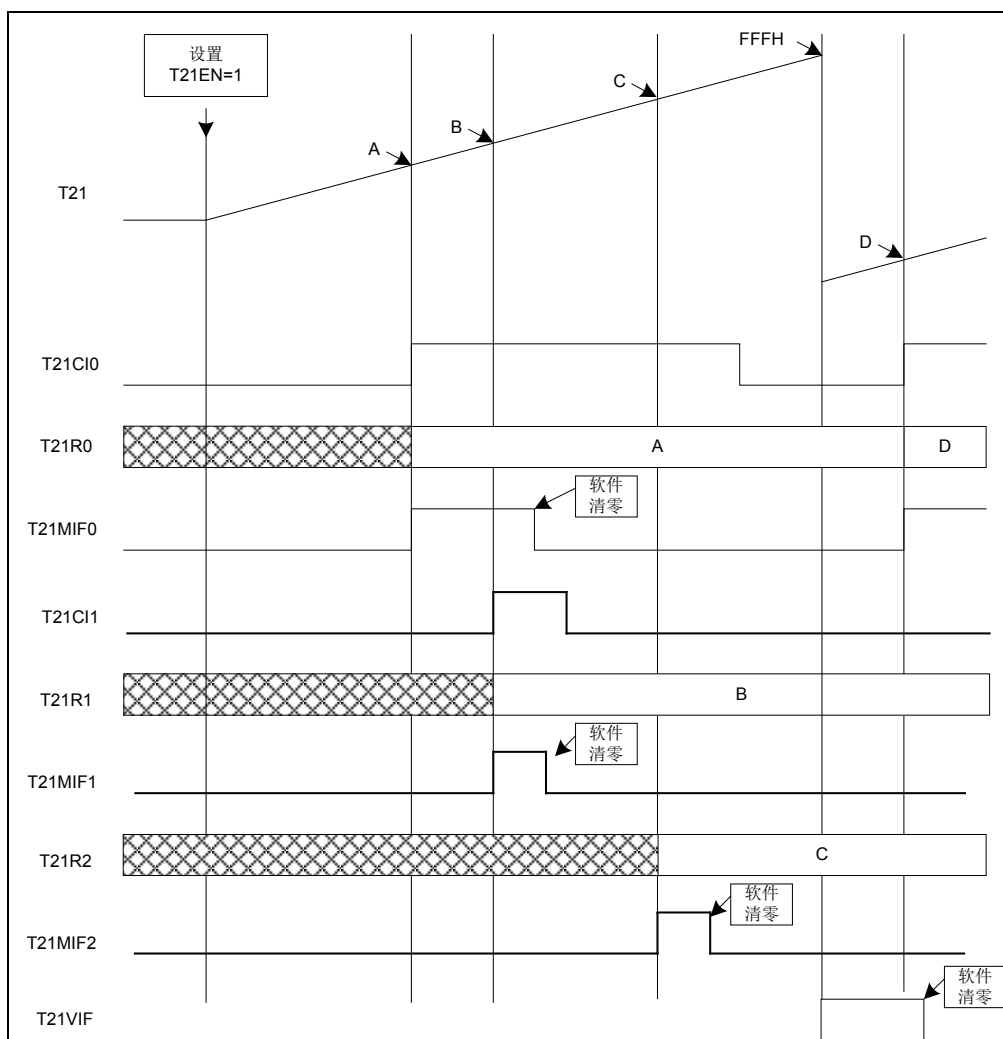


图 6-10 T21 捕捉器模式时序图（每个脉冲上升沿捕捉信号）

6.3.9 比较器模式

T21M 设置为“10xx”时，T21 工作在比较器模式，T21 支持 3 个相互独立的比较输出端口 T21CO0、T21CO1 和 T21CO2。

比较器模式时钟源为系统时钟（Fosc）。在此模式下，12 位计数器 T21 进行递增计数。当计数器 T21 的计数值与比较寄存器 T21R0/T21R1/T21R2 中的值相等时，执行相应的比较匹配事件，并产生多功能中断 T21MIF0/T21MIF1/T21MIF2，该中断必须软件清零。当计数值溢出时（即从 FFF_H 变为 000_H），产生溢出中断 T21VIF，该中断必须软件清零；计数溢出后，继续从 0 开始递增计数。

比较器模式配置位 T21M 配置为 1000 或 1001 时，当 T21 计数器匹配 T21R0L/T21R0H 时，T21CO0 端口输出 0 或 1 并保持；当 T21 计数器匹配 T21R1L/T21R1H 时，T21CO1 端口输出 0 或 1 并保持；当 T21 计数器匹配 T21R2L/T21R2H 时，T21CO2 端口输出 0 或 1 并保持。

比较器模式配置位 T21M 配置为 1011 时，当 T21 计数器匹配 T21R0L/T21R0H、T21R1L/T21RH 或 T21R2L/T21R2H 时，T21 被清零，并可触发 ADC 转换。ADC 必须先使能，且设置为硬件采样，即 ADCCL 寄存器的 ADEN 和 SMPS 控制位都需设置为 1。特别注意：因匹配时 T21 被清零，因此只有 T21R0L/T21R0H、T21R1L/T21R1H 或 T21R2L/T21R2H 中的较小值在该模式下有效。

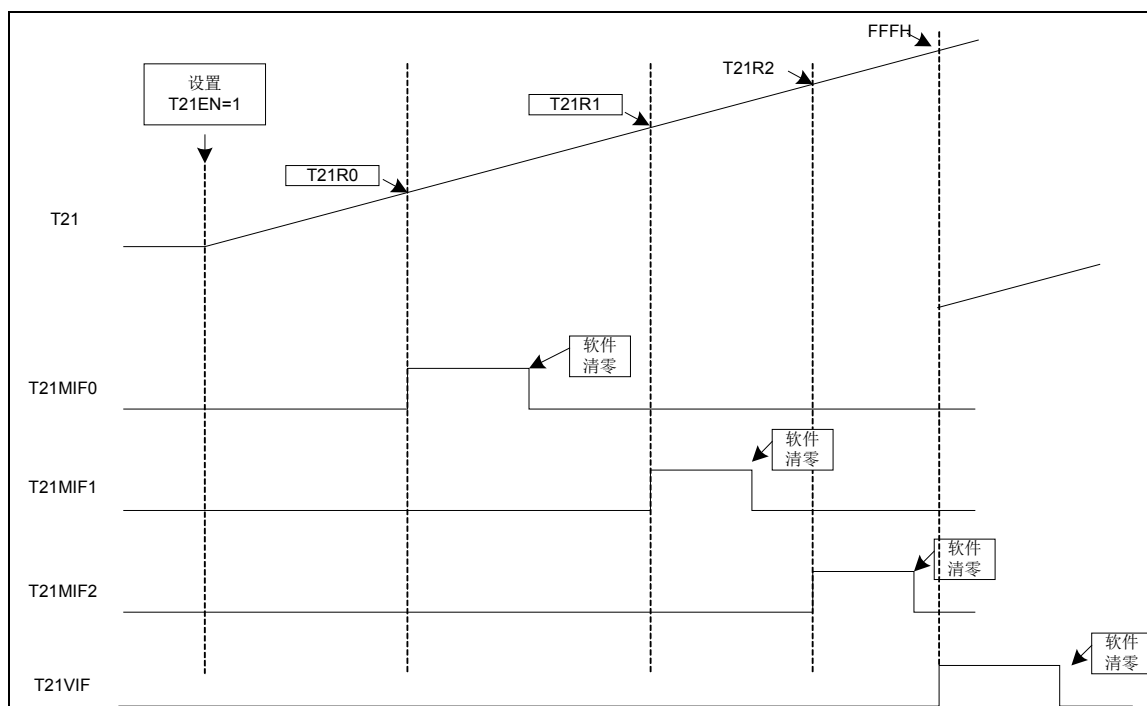


图 6-11 T21 比较器模式时序图

6.3.10 ICD调试暂停模式

在 ICD 调试暂停时，HALT_PWM (PWEN<0>) 位决定 T21 计数器是否停止计数。

当设置 HALT_PWM=1 时，在调试暂停时，计数器停止计数，T21 工作暂停。但相应的端口电平不受端口电平状态寄存器 Px 决定。

当设置 HALT_PWM=0 时，在调试暂停时，计数器仍继续计数，T21 保持正常工作。

6.3.11 特殊功能寄存器

6.3.11.1 计数器寄存器低 8 位 (T21L)

T21L: T21 计数器低 8 位 (T21L)								
Bit	7	6	5	4	3	2	1	0
Name	T21<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21<7:0>: T21 计数器低 8 位

6.3.11.2 计数器寄存器高 4 位 (T21H)

T21H: T21 计数器高 4 位 (T21H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T21<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 T21<11:8>: T21 计数器高 4 位

6.3.11.3 周期寄存器低 8 位 (T21PL)

T21PL: T21 周期寄存器低 8 位 (T21PL)								
Bit	7	6	5	4	3	2	1	0
Name	T21P<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T21P<7:0>: PWM 周期值低 8 位

6.3.11.4 周期寄存器高 4 位 (T21PH)

T21PH: T21 周期寄存器高 4 位 (T21PH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T21P<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~4 保留未用

Bit 3~0 T21P<11:8>: PWM 周期值高 4 位

注：周期寄存器的更新，在写低 8 位寄存器时，会同时加载高位寄存器的值，因此寄存器更新时，需要先写高 4 位寄存器，再写低 8 位寄存器；

6.3.11.5 多功能寄存器 0 低 8 位 (T21R0L)

T21R0L: T21 精度寄存器 0 低 8 位 (T21R0L)								
Bit	7	6	5	4	3	2	1	0
Name	T21R0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R0<7:0>:
 多精度 PWM 模式: PWM210 精度值低 8 位
 捕捉模式: T21CI0 捕捉值低 8 位
 比较模式: T21CO0 比较值低 8 位

6.3.11.6 多功能寄存器 0 高 4 位 (T21R0H)

T21R0H: T21 精度寄存器 0 高 4 位 (T21R0H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T21R0<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用
 Bit 3~0 T21R0<11:8>:
 多精度 PWM 模式: PWM210 精度值高 4 位
 捕捉模式: T21CI0 捕捉值高 4 位
 比较模式: T21CO0 比较值高 4 位

6.3.11.7 多功能寄存器 1 低 8 位 (T21R1L)

T21R1L: T21 精度寄存器 1 低 8 位 (T21R1L)								
Bit	7	6	5	4	3	2	1	0
Name	T21R1<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R1<7:0>:
 多精度 PWM 模式: PWM211 精度值低 8 位
 捕捉模式: T21CI1 捕捉值低 8 位
 比较模式: T21CO1 比较值低 8 位

6.3.11.8 多功能寄存器 1 高 4 位 (T21R1H)

T21R1H: T21 精度寄存器 1 高 4 位 (T21R1H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T21R1<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用
 Bit 3~0 T21R1<11:8>:

多精度 PWM 模式：PWM211 精度值高 4 位

捕捉模式：T21CI1 捕捉值高 4 位

比较模式：T21CO1 比较值高 4 位

6.3.11.9 多功能寄存器 2 低 8 位 (T21R2L)

T21R2L: T21 精度寄存器 2 低 8 位 (T21R2L)								
Bit	7	6	5	4	3	2	1	0
Name	T21R2<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R2<7:0>:

多精度 PWM 模式：PWM212 精度值低 8 位

捕捉模式：T21CI2 捕捉值低 8 位

比较模式：T21CO2 比较值低 8 位

6.3.11.10 多功能寄存器 2 高 4 位 (T21R2H)

T21R2H: T21 精度寄存器 2 高 4 位 (T21R2H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T21R2<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 T21R2<11:8>:

多精度 PWM 模式：PWM212 精度值高 4 位

捕捉模式：T21CI2 捕捉值高 4 位

比较模式：T21CO2 比较值高 4 位

注：精度寄存器更新，在写低 8 位寄存器时，会同时加载高位寄存器的值，因此寄存器更新时，需要先写高 4 位寄存器，再写低 8 位寄存器；

6.3.11.11 控制寄存器低 8 位 (T21CL)

T21CL: T21 控制寄存器低 8 位 (T21CL)								
Bit	7	6	5	4	3	2	1	0
Name	T21M<3:0>				CAP1S<1:0>		CAP0S<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 T21M <3:0>: T21 工作模式选择位

0000: 定时器模式 (计数器时钟源为 Fosc)

0001: 异步计数模式 1 (计数器时钟源为外灌时钟)

0010: 同步计数模式 (计数时钟源为 T2nCKI 经 Fosc 同步后的时钟)

0011~0011: 保留未用

01xx: 捕捉模式

1000: 比较器模式，匹配时输出 1

- 1001: 比较器模式, 匹配时输出 0
 1010: 比较器模式, 匹配时不改变输出, 由 IO 输出状况决定
 1011: 比较器模式, 匹配时复位 T21, 并触发 ADC 转换, 且不改变输出, 由 IO 输出状况决定
 1100: 多精度 PWM 模式
 1101: 异步计数模式 2 (计数器时钟源为 T2nCKI)
 其它: 保留未用

Bit 3~2 CAP1S<1:0>: CAPTURE1 捕捉输入沿选择位

- 00: 禁止
 01: 捕捉每 1 个脉冲下降沿
 10: 捕捉每 1 个脉冲上升沿
 11: 捕捉每 1 个脉冲双沿

Bit 1~0 CAP0S<1:0>: CAPTURE0 捕捉输入沿选择位

- 00: 禁止
 01: 捕捉每 1 个脉冲下降沿
 10: 捕捉每 1 个脉冲上升沿
 11: 捕捉每 1 个脉冲双沿

6.3.11.12 控制寄存器次高 8 位 (T21CM)

T21CM: T21 控制寄存器中 8 位 (T21CM)								
Bit	7	6	5	4	3	2	1	0
Name	CAP2S<1:0>		T21OM20	T21OM21	T21PRS<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 CAP2S<1:0>: CAPTURE2 捕捉输入沿选择位

- 00: 禁止
 01: 捕捉每 1 个脉冲下降沿
 10: 捕捉每 1 个脉冲上升沿
 11: 捕捉每 1 个脉冲双沿

Bit 5 T21OM20: PWM210 输出极性选择位

- 0: PWM210 高有效
 1: PWM210 低有效

Bit 4 T21OM21: PWM211 输出极性选择位

- 0: PWM211 高有效
 1: PWM211 低有效

Bit 3~0 T21PRS<3:0>: T21 预分频器分频比选择位

- 0000: 分频比为 1:1
 0001: 分频比为 1:2
 0010: 分频比为 1:3
 0011: 分频比为 1:4
 0100: 分频比为 1:5
 0101: 分频比为 1:6
 0110: 分频比为 1:7

0111: 分频比为 1:8
1000: 分频比为 1:9
1001: 分频比为 1:10
1010: 分频比为 1:11
1011: 分频比为 1:12
1100: 分频比为 1:13
1101: 分频比为 1:14
1110: 分频比为 1:15
1111: 分频比为 1:16

6. 3. 11. 13 控制寄存器高 8 位 (T21CH)

T21CH: T21 控制寄存器高 8 位 (T21CH)								
Bit	7	6	5	4	3	2	1	0
Name	T21EN	T21POS<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T21EN : T21 使能位

0: 关闭

1: 使能

Bit 6~0 T21POS<6:0>: T21 后分频器分频值

后分频次数 = T21POS<6:0> + 1

6. 3. 11. 14 输入输出控制寄存器 (T21OC)

T21OC: T21 输入输出控制寄存器 (T21OC)								
Bit	7	6	5	4	3	2	1	0
Name	T21TR	T21PWMCKS	PT2EN<1:0>		T21OM22	PT1EN	PT0EN<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T21TR: PWM 输出触发位

0: PWM 输出为 0

1: 启动 PWM 输出

Bit 6 T21PWMCKS: PWM 模式计数时钟源选择位

0: 系统时钟

1: INTSRC 时钟

Bit 5~4 PT2EN<1:0>: T21CI2/PWM212/T21CO2 端口复用选择位

00: 关闭

01: PA6 端口

10: PB7 端口

11: 保留未用

Bit 3 T21OM22: PWM212 输出极性选择位

0: PWM212 高有效

1: PWM212 低有效

Bit 2 PT1EN: T21CI1/PWM211/T21CO1 端口复用选择位

0: 关闭
1: PA7 端口
Bit 1~0 PT0EN<1:0>: T21CI0/PWM210/T21CO0 端口复用选择位
00: 关闭
01: PA0 端口
10: PB4 端口
11: 保留未用

6.3.11.15 T21 的PWM (T21_CH0) 沿检测延时寄存器 (TMRADC)

TMRADC: PWM 沿检测延时寄存器 (TMRADC)								
Bit	7	6	5	4	3	2	1	0
Name	TMRADC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TMRADC<7:0>: PWM 沿检测延时时间设置寄存器

注: 如果选择存储体 1, TMRADC<7:0>只可写不可读。

6.4 16 位多功能定时器（T31）

6.4.1 概述

16 位多功能定时器 T31 包括一个 16 位自动重载计数器，支持预分频器和后分频器，支持多种工作模式：定时器模式，捕捉器模式，比较器模式，PWM 模式，单脉冲模式，关断功能模式，从模式。

◇ T31 支持多种工作模式

- 定时器模式（时钟源为 Fosc，外部时钟源模式 1，外部时钟源模式 2）
- 捕捉器模式
- 比较器模式
- PWM 模式（普通 PWM 模式，中心对齐模式，带死区互补输出）
- 单脉冲模式
- 关断功能模式
- 从模式（编码器模式，复位模式，门控模式，触发模式）
- PWM 时钟源可通过寄存器配置为：系统时钟 Fosc，或 INTHRC 时钟

◇ T31 支持以下功能组件

- 16 位自动重载计数器，支持递增计数，递减计数，递增/递减交替计数
- 16 位可编程预分频器，计数时钟预分频范围为 1~65536
- 8 位可编程后分频器，后分频范围为 1~256
- 8 位死区延时寄存器 T31DLYT
- 4 个 16 位捕捉/比较寄存器 T31CH1R、T31CH2R、T31CH3R 和 T31CH4R
- 支持四个独立通道

◇ 中断和暂停

- 支持关断中断 BKIF、外部触发中断 TRGIF、互补通道更新中断 CHUIF、通道多功能中断 MIFn、更新中断 UPIF、通道捕捉溢出中断 OVIFn，当中断发生时，如果对应的中断使能位为 1，则会置起 T31 总中断标志位 T31IF
- 在 IDLE 模式下，停止工作

注：本章节中的字母 n 代表数字 1、2、3、4。

6.4.2 内部结构图

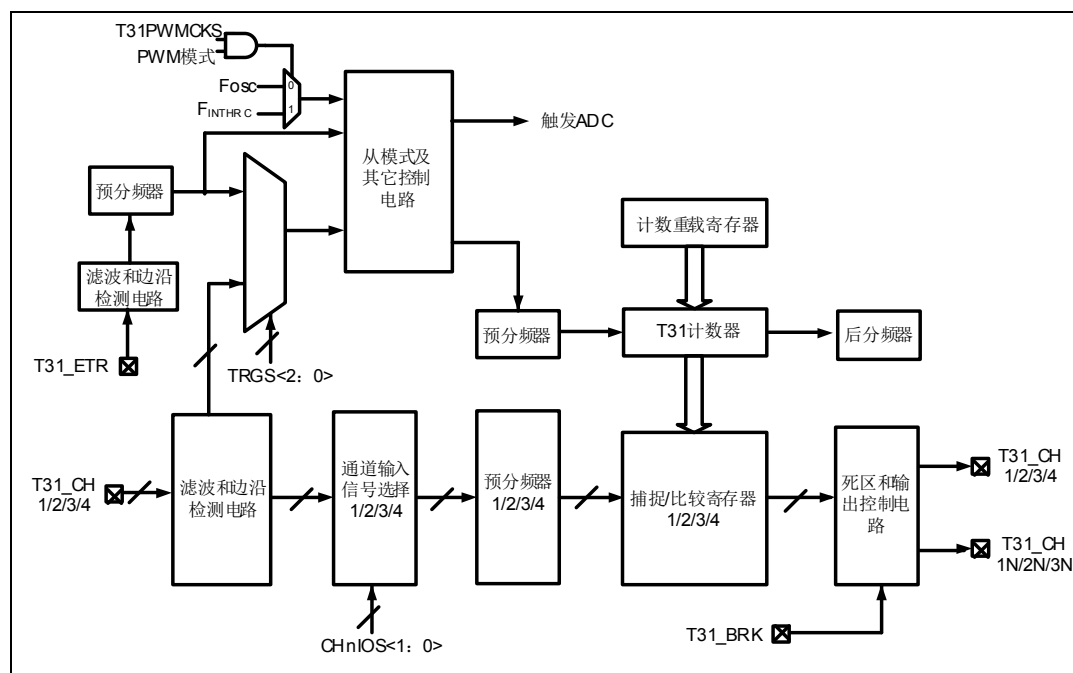


图 6-12 T31 内部结构图

6.4.3 时钟分频器

6.4.3.1 预分频器

预分频器包括一个 16 位预分频寄存器 T31PRS 和一个 16 位预分频计数器，预分频范围为 1~65536。其中预分频寄存器 T31PRS 可软件读写，并具有缓冲功能，所以寄存器 T31PRS 可在预分频计数器工作时被改写，更新后的预分频值直到下一次更新事件产生时才生效。

预分频计数器固定为递增计数方式，从 0 开始计数到 T31PRS 寄存器的值后，会自动清零并重新递增计数。

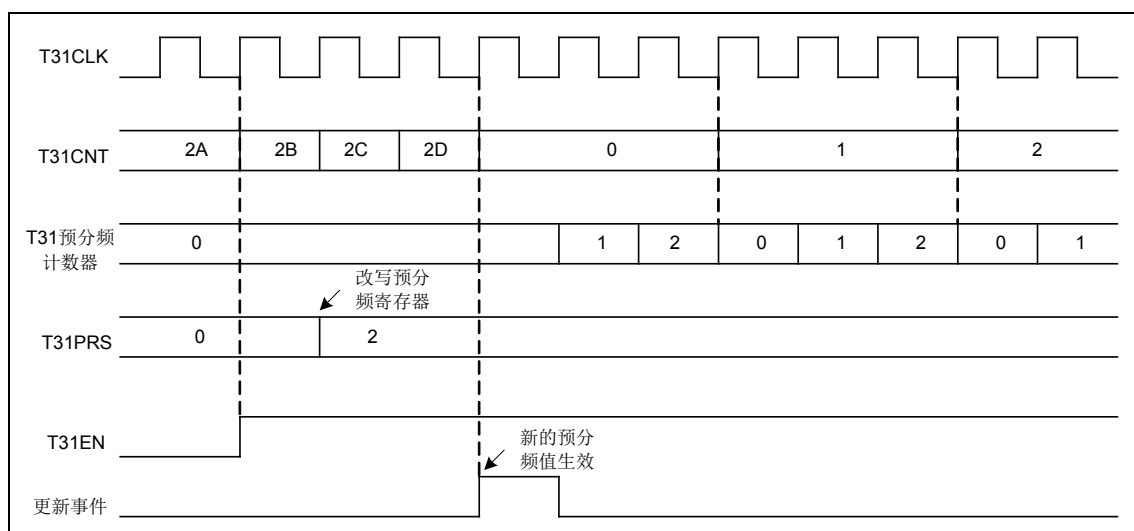


图 6-13 预分频比变更的计数时序图 (T31CNTLD=0x2D)

注：T31CLK 为系统时钟 Fosc。

6.4.3.2 后分频器

后分频器包括一个 8 位后分频寄存器 T31POS 和一个 8 位后分频计数器，后分频范围为 1~256。其中后分频寄存器 T31POS 可软件读写，并具有缓冲功能，所以寄存器 T31POS 可在后分频计数器工作时被改写，更新后的后分频值直到下一次更新事件产生时才生效。

后分频计数器固定为递减计数方式，从 T31POS 寄存器的值开始递减计数到 0，会自动重新加载 T31POS 寄存器的值，并继续递减计数。

T31 工作中使用了后分频器后，只在后分频计数器递减到 0 时才会产生更新事件，并置起更新标志位 UPIF (T31IFL<0>)。

当后分频寄存器 T31POS 的值为 N 时，则每 N 次计数器上溢出或下溢出时，产生更新事件，当更新事件发生时，所有计数相关设置都被更新：

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值
- ◇ 比较器模式下的比较器重新加载 T31CHnR 寄存器的值

后分频计数器为递减计数，会在下列任一条件下发生递减：

- ◇ 每次计数器递增计数上溢出时递减
- ◇ 每次计数器递减计数下溢出时递减
- ◇ 在中心对齐模式下，每次计数器递增计数上溢出和递减计数下溢出时，后分频计数器均会递减

后分频计数器是自动加载的，当后分频递减计数到 0 后产生更新事件，自动加载 T31POS 寄存器的值。当更新事件由软件设定 UPT (T31EVG<0>) 位或由硬件通过从模式控制器产生时，后分频计数器也都会立即加载 T31POS 寄存器的值。

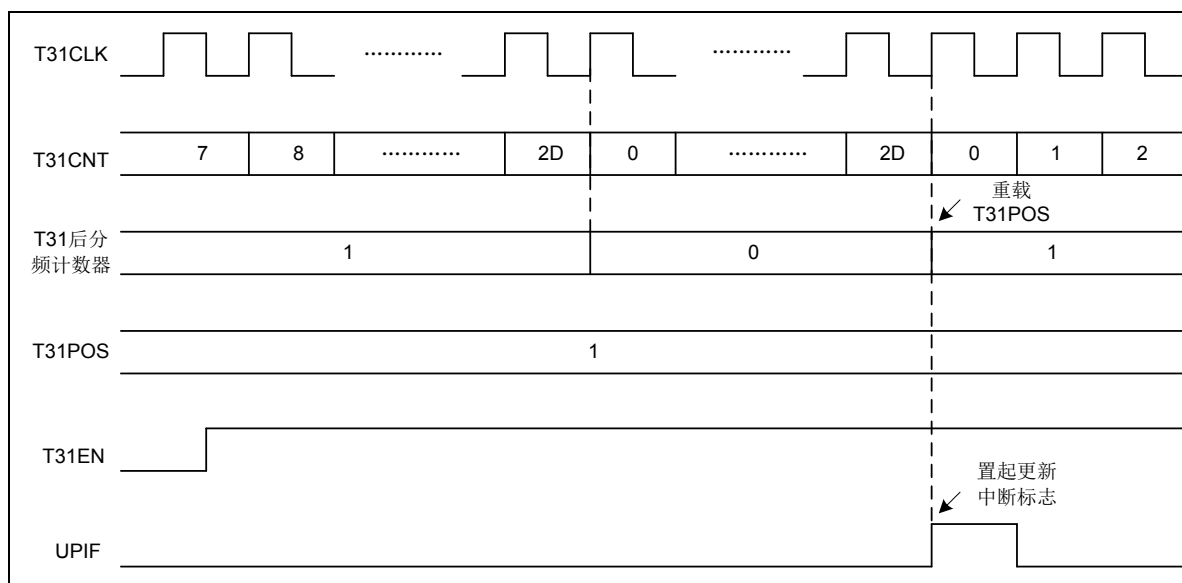


图 6-14 使用后分频的计数时序图 (T31CNTLD=0x2D)

6.4.4 计数模式

6.4.4.1 递增计数模式

在递增计数模式下，计数器由 0 计数至计数重载值（由 T31CNTLD 寄存器设置）后，会重新开始由 0 计数并产生一个计数器上溢出更新事件。

如果使用了后分频计数器，则会在递增计数上溢出次数达到后分频寄存器 T31POS 的值后产生更新事件，否则会在每次计数器上溢出时产生更新事件。

更新事件可通过设置 T31C0L 寄存器的 UED 位关闭，这样可以避免在改写计数重载寄存器 T31CNTLD 时恰好发生更新事件，而使改写值立即生效。禁止产生更新事件时，计数器递增计数上溢出后，仍会被清零重新计数，预分频器的计数也会被清零并重新开始计数（但预分频比不会改变）。

当更新事件发生时，所有计数相关设置都被更新且置起更新标志位 UPIF (T31IFL<0>)：

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值

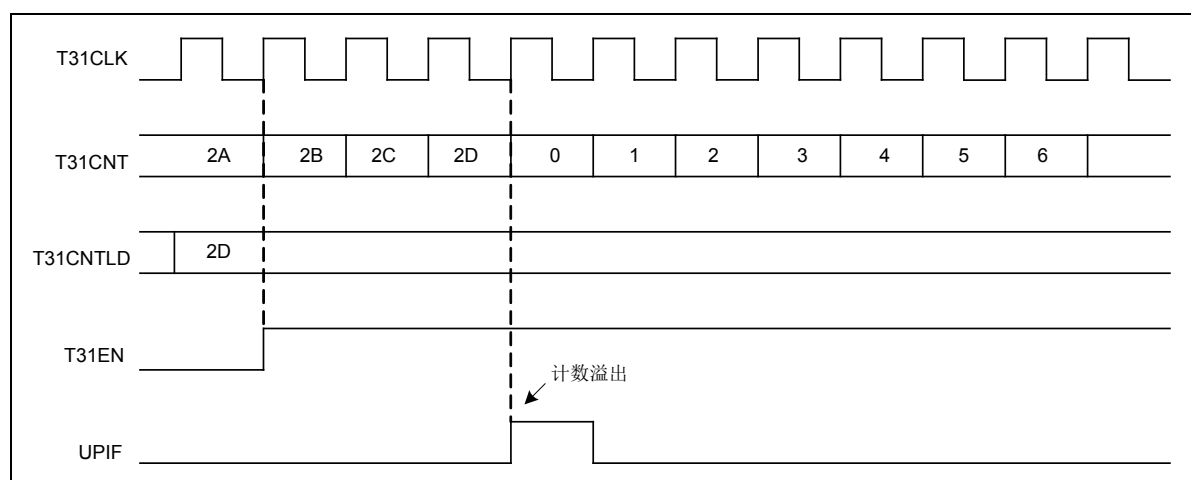


图 6-15 递增计数时序图（预分频为 1）

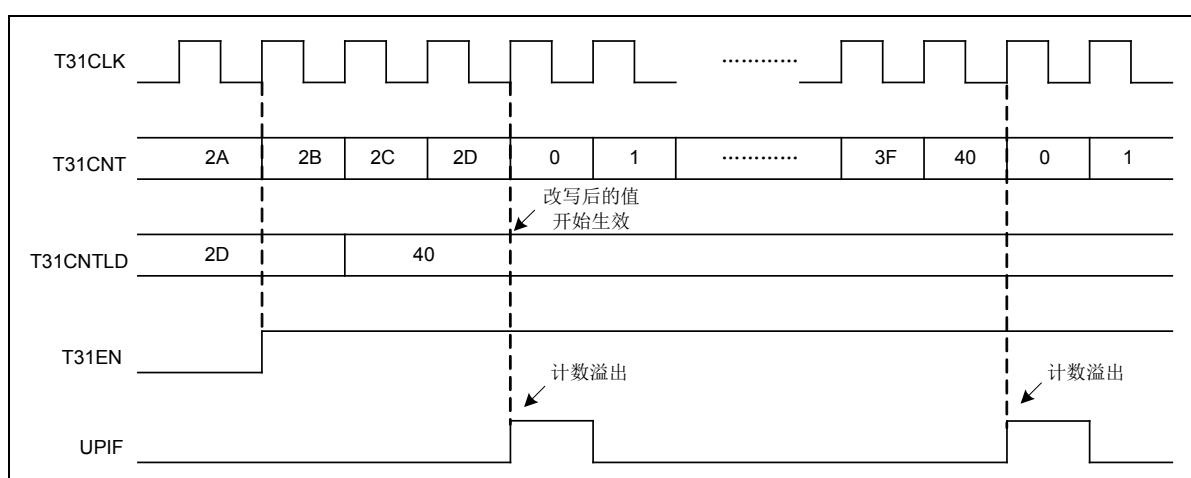


图 6-16 递增计数时序图（RLBE=1，T31CNTLD 有缓冲）

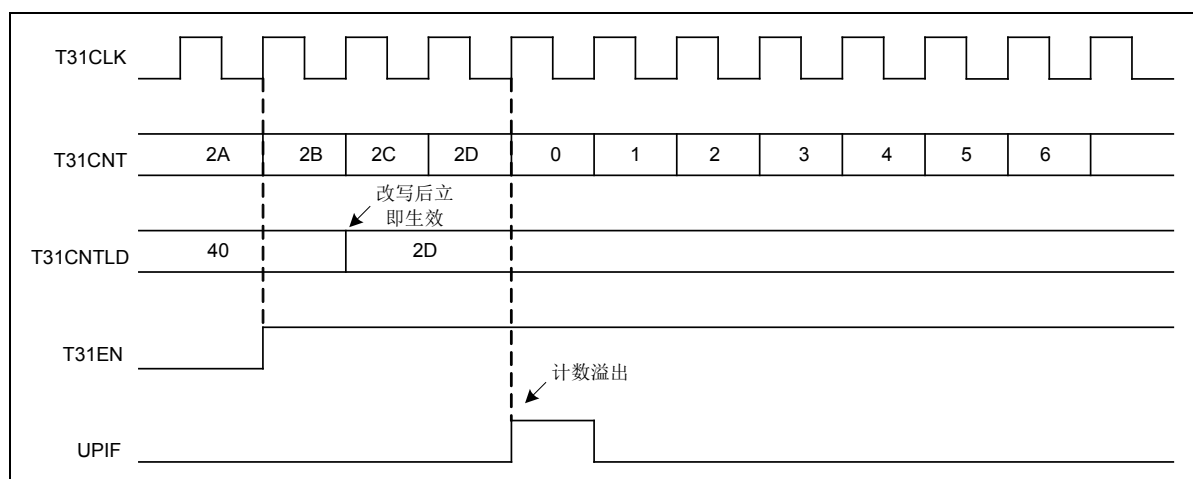


图 6-17 递增计数时序图 (RLBE=0, T31CNTLD 无缓冲)

6.4.4.2 递减计数模式

在递减计数模式下，计数器由计数重载值（由 T31CNTLD 寄存器设置）开始递减计数至 0 后，会重新开始由计数重载值计数并产生一个计数器下溢出更新事件。

如果使用了后分频计数器，则会在递减计数下溢出次数达到后分频寄存器 T31POS 的值后产生更新事件，否则会在每次计数器下溢出时产生更新事件。

更新事件可通过设置 T31C0L 寄存器的 UED 位关闭，这样可以避免在改写计数重载寄存器 T31CNTLD 时恰好发生更新事件，而使改写值立即生效。禁止产生更新事件时，计数器递减计数下溢出后，仍会自动重载然后重新计数，预分频器的计数也会被清零并重新开始计数（但预分频比不会改变）。

当更新事件发生时，所有计数相关设置都被更新且置起更新状态位 UPIF (T31IFL<0>)：

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值

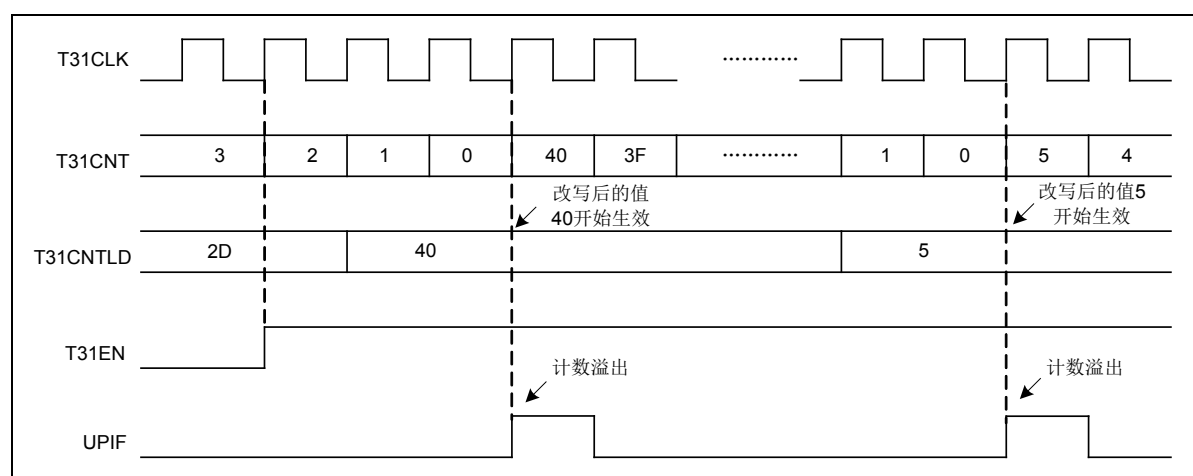


图 6-18 递减计数时序图 (RLBE=1, T31CNTLD 有缓冲)

6.4.4.3 中心对齐模式

在中心对齐模式下,计数器由 0 开始递增计数至计数重载值(由 T31CNTLD 寄存器设置)时,会产生一个计数器上溢出事件,再继续由计数重载值递减计数至 0,并产生一个计数器下溢出事件,然后计数器重新由 0 开始计数。

T31 支持 3 种中心对齐模式,可通过寄存器控制位 CMC (T31C0L<6:5>) 设置。在 3 种中心对齐模式下,计数器均以交替方式递增或递减计数,但各输出通道的多功能中断标志 MIFn 置 1 的方式不同,当 CMC=“01”时,为中心对齐模式 1,仅在计数器递减计数时多功能中断标志 MIFn 才会被置 1;当 CMC=“10”时,为中心对齐模式 2,仅在计数器递增计数时多功能中断标志 MIFn 才会被置 1;当 CMC=“11”时,为中心对齐模式 3,在计数器递增或递减计数时多功能中断标志 MIFn 均可被置 1。

在中心对齐模式下,计数器的计数方向选择位 DIRS (T31C0L<4>) 由硬件电路自动控制,实现计数器递增或递减计数。

更新事件可通过设置 T31C0L 寄存器的 UED 位关闭,这样可以避免在改写计数重载寄存器 T31CNTLD 时恰好发生更新事件,而使改写值立即生效。禁止产生更新事件时,计数器计数上溢出或下溢出后,仍会自动重新开始计数。

当更新事件发生时,所有计数相关设置都被更新且置起更新标志位 UPIF (T31IF<0>):

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值

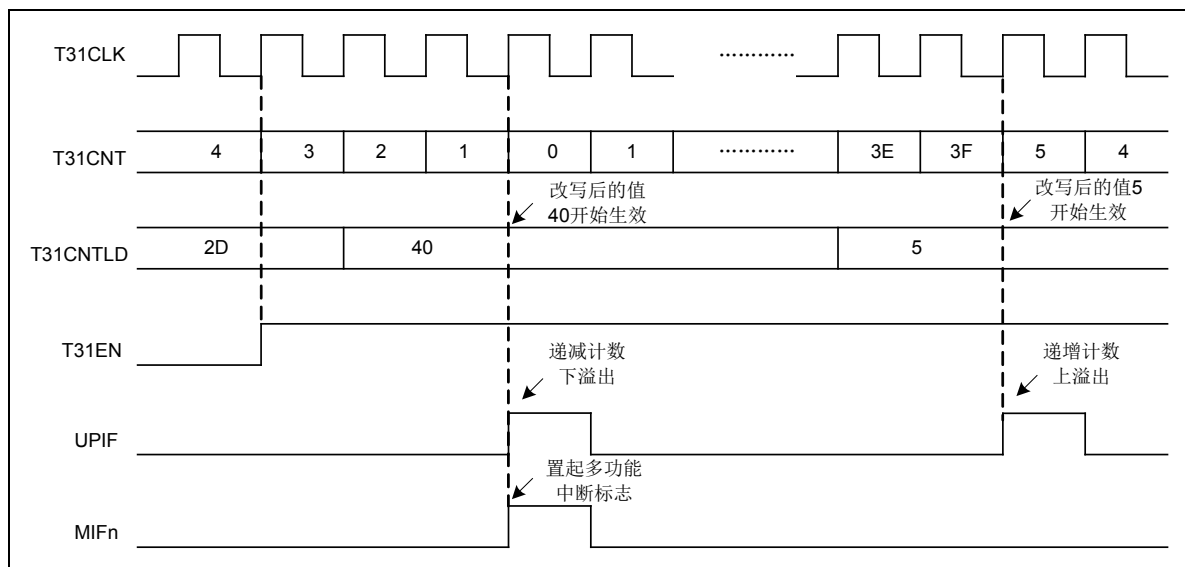


图 6-19 中心对齐模式 1 计数时序图 (RLBE=1)

6.4.5 工作模式

T31 支持多种工作模式: 定时器模式, 捕捉器模式, 比较器模式, PWM 模式, 单脉冲模式, 关断功能模式, 从模式。其中定时器模式包括内部 Fosc 时钟计数, 外部时钟源模式 1 计数, 外部时钟源模式 2 计数; PWM 模式包括 PWM 普通模式, PWM 中心对齐模式, 带死区互补输出; 从模式包括编码器模式, 复位模式, 门控模式, 触发模式。

T31 支持 4 个捕捉/比较通道，其中有 3 个通道各支持两个互补输出端口，每个通道的捕捉输入和比较输出功能均不能同时使用。

6.4.6 定时器模式

T31 定时器包括一个可自动重载的 16 位计数寄存器 T31CNT，一个 16 位计数重载寄存器 T31CNTLD，一个 16 位预分频寄存器 T31PRS，一个 8 位后分频寄存器 T31POS，都可由软件读写，但建议不要在计数器正常工作时改写计数寄存器的值，以免造成工作异常。

对计数重载寄存器 T31CNTLD 的写操作，需要先写高 8 位寄存器 T31CNTLDH，再写低 8 位寄存器 T31CNTLDL。高 8 位寄存器写入的值并不会立即生效，而是在写低 8 位寄存器的值时才会同时更新。

计数重载寄存器 T31CNTLD 支持写入缓冲功能，可通过 T31C0L 寄存器的 RLBE 位设置是否使能缓冲功能，当缓冲使能时，写入 T31CNTLD 寄存器的值不会立刻生效，而是直到下一次更新事件发生时才会生效。

当 T31C0L 寄存器的更新事件禁止位 UED 为 0 时，则以下任一事件发生时，都会产生一个更新事件：

- 计数器递增计数上溢出或递减计数下溢出
- 软件设置 UPT 位，产生一个更新事件
- 从模式控制器产生的更新

当 T31C0L 寄存器的更新事件禁止位 UED 为 1 时，禁止更新事件产生。

当 T31 工作在定时器模式时，无需使其捕捉/比较通道的功能，只需要对计数相关的寄存器进行设置。

定时器模式下计数器的时钟源可为系统时钟 Fosc 或外部时钟，并支持两种外部时钟源模式：

- ◇ 设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=0，可配置计数器时钟源为系统时钟 Fosc。
- ◇ 设置 T31C2L 寄存器的 T31SM=111，T31C2H 寄存器的 ECM2E=0，可配置计数器为外部时钟源模式 1，并通过 TRGS 位，选择外部时钟源：
通道 1 端口 T31_CH1 输入脉冲信号边沿（双边沿均有效）；
通道 1 端口 T31_CH1 输入信号（支持输入滤波，上升沿或下降沿可选）；
通道 2 端口 T31_CH2 输入信号（支持输入滤波，上升沿或下降沿可选）；
外部触发输入 T31_ETR（支持输入滤波和独立的预分频，上升沿或下降沿可选）。
- ◇ 设置 T31C2H 寄存器的 ECM2E=1，可配置计数器为外部时钟源模式 2，使用外部触发输入 T31_ETR 作为时钟源。

支持计数时钟的预分频器和计数后分频器。

设置 T31C0L 寄存器的 CMC=00，可选择为普通计数模式，设置 T31C0L 寄存器的 T31EN=1 后，计数器开始计数。

支持递增和递减两种计数方式，可通过 T31C0L 寄存器的 DIRS 位进行选择。递增或递

减计数溢出时，计数器均会重新开始计数，并产生一个计数器上溢出或下溢出事件，且置起更新标志位 UPIF (T31IFL<0>)。

6.4.6.1 内部时钟源模式

设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=0，可配置 T31 为内部时钟源模式，计数器时钟源为系统时钟 Fosc。

配置计数器为内部时钟源模式计数的步骤如下：

- ◇ 设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=0，配置为内部时钟源模式
- ◇ 设置预分频寄存器 T31PRS，配置预分频
- ◇ 设置后分频寄存器 T31POS，配置后分频
- ◇ 设置 T31C0L 寄存器的 DIRS 位，选择递增或递减计数方式
- ◇ 设置 T31C0L 寄存器的 RLBE 位，配置计数重载寄存器缓冲是否使能
- ◇ 设置计数重载寄存器 T31CNTLD，配置计数周期
- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

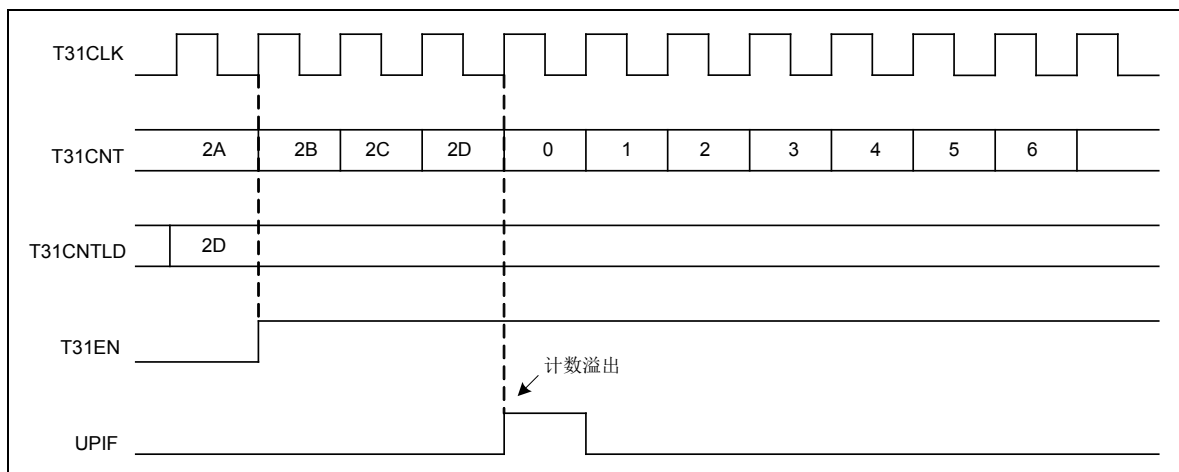


图 6-20 内部时钟源模式下递增计数时序图（预分频/后分频为 1）

6.4.6.2 外部时钟源模式 1

设置 T31C2L 寄存器的 T31SM=111，可配置 T31 为外部时钟源模式 1，该模式下计数器在外部输入时钟的每个上升沿或下降沿计数，外部输入时钟端口可选。

配置计数器为外部时钟源模式 1 计数的步骤如下：

- ◇ 设置 T31C2L 寄存器的 T31SM=111，配置为外部时钟源模式 1
- ◇ 设置 T31C2L 寄存器中的 TRGS 位，选择外部时钟源
- ◇ 如果外部时钟源为通道 1 或 2 端口，则可以设置 T31CHnC 寄存器的 CHnIFS 位，配置输入信号的滤波时间；设置 T31PINC 寄存器的 CHnNP/CHnP，选择上升沿或下降沿有效
- ◇ 如果外部时钟源为外部触发输入端口，则可以设置 T31C2H 寄存器的 ETFS 位，配置输入信号的滤波时间，设置 ETPRS 位，配置触发输入信号的预分频，设置 ETEG，

选择上升沿或下降沿有效

- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

计数器工作在外部时钟源模式 1 时，每递增或递减计数一次，TRGIF 标志位均会被置 1。

因外部输入时钟需经过片内滤波采样电路处理，所以实际计数时刻与外部时钟上升沿时刻之间有一定延时。

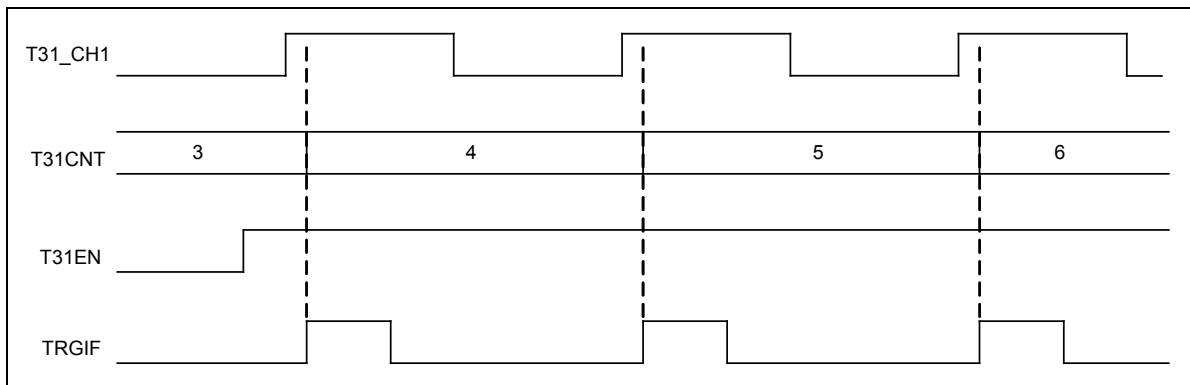


图 6-21 外部时钟源模式 1 的计数时序图（时钟源为通道 1 端口，上升沿递增计数）

6.4.6.3 外部时钟源模式 2

设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=1，可配置 T31 为外部时钟源模式 2，该模式下计数器在外部触发输入 T31_ETR 的上升沿或下降沿计数，并可使用预分频器。外部时钟源模式 2 等同于在外部时钟源模式 1 时，将 T31_ETR 信号作为外部时钟。

配置计数器为外部时钟源模式 2 计数的步骤如下：

- ◇ 设置 T31C2H 寄存器的 ETFS 位，配置输入信号的滤波时间
- ◇ 设置 T31C2H 寄存器的 ETPRS 位，选择外部触发输入信号的预分频
- ◇ 设置 T31C2H 寄存器的 ETEG，选择上升沿还是下降沿有效
- ◇ 设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=1，使能外部时钟源模式 2
- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

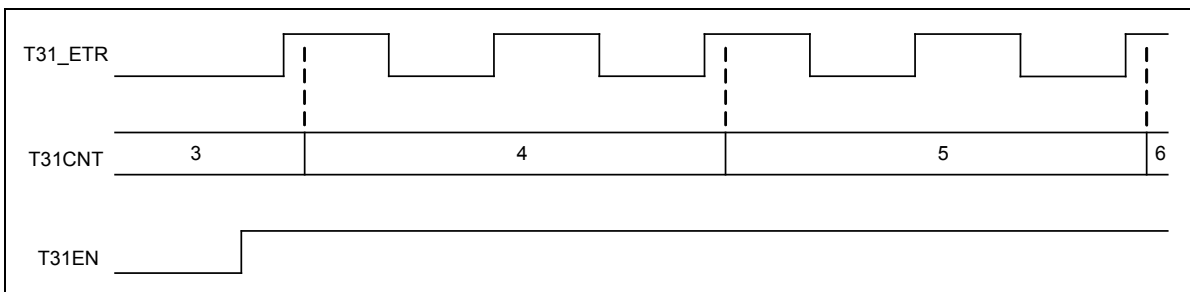


图 6-22 外部时钟源模式 2 的计数时序图（预分频比为 1: 2，上升沿递增计数）

6.4.7 捕捉器模式

T31 支持 4 个捕捉通道，每个捕捉通道，均支持两个捕捉输入端口，可通过 T31CHnC 寄存器的 CHnIOS 位进行选择。例如：对捕捉通道 1，可对通道 1 端口 T31_CH1，也可对通道 2 端口 T31_CH2 输入的信号进行捕捉（由 CH1IOS 位进行选择）。

支持对捕捉输入信号进行滤波处理和边沿选择，可以通过 T31CHnC 寄存器的 CHnIFS 位，设置捕捉输入信号的滤波时间，通过 T31PINC 寄存器的 CHnNP/CHnP 位，设置捕捉输入信号的有效边沿（上升沿，下降沿或双边沿）。

支持捕捉频率可选，可以通过 T31CHnC 寄存器的 CHnIM 位，设置捕捉的频率（每 1，2，4 或 8 个输入信号边沿，捕捉一次）。

设置 T31PINC 寄存器的 CHnE=1，使能通道的捕捉输入。

在捕捉器模式下，当检测到捕捉输入信号满足捕捉条件后，计数器的当前值被锁存到捕捉/比较寄存器 T31CHnR 中。

当发生捕捉时，多功能中断标志位 MIFn 被置 1，如果多功能中断使能位 MIEn=1，则 T31 总中断标志位 T31IF 也被置 1，如果总中断使能位 T31IE=1，则会产生一个捕捉中断请求；如果发生捕捉时，MIFn 标志位已经置位，则捕捉溢出中断标志位 OVIFn 会被置 1。通过对寄存器 T31ICR 的对应中断清零 0 位进行写 1 操作，可以清除中断标志位 MIFn 和 OVIFn，还可以通过读取捕捉寄存器 T31CHnR 来清除中断标志位 MIFn。

捕捉条件的产生也可由软件设置寄存器 T31EVG 的 CHnT 位来触发，当 CHnT 位写入 1 时，会触发捕捉，将计数器的当前值锁存到捕捉/比较寄存器 T31CHnR 中，同时置起相应的中断标志位 MIFn 或 OVIFn。

发生捕捉溢出时，建议先读取数据，再处理捕捉溢出标志，避免反复产生捕捉溢出。

捕捉模式可用于测量输入脉冲信号的周期，如果使用两个捕捉通道，同时对一个端口上的输入信号分别进行上升沿和下降沿的捕捉，则可以测量脉冲信号的周期和占空比。在测量脉冲信号的应用中，可设置 T31C2L 寄存器的 T31SM=100，把从模式控制器配置为复位模式，使用触发输入信号的上升沿重新初始化计数器，并设置 T31C2L 寄存器的 TRGS 位，选择通道端口的捕捉输入作为触发输入信号。

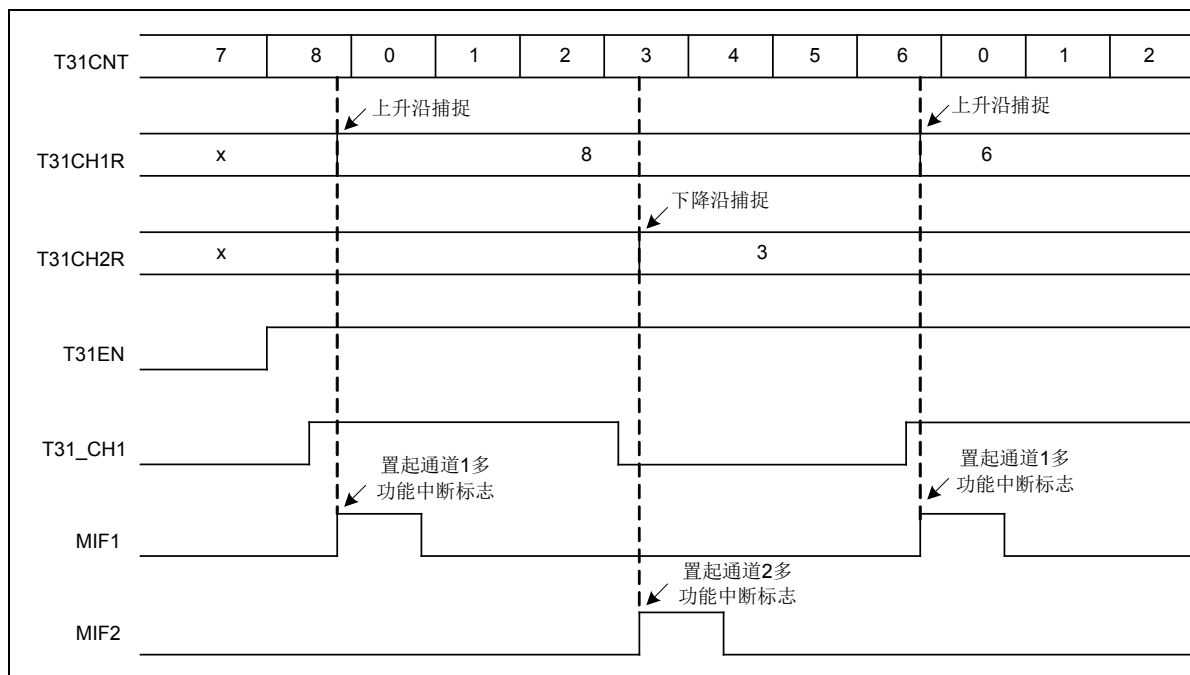


图 6-23 测量脉冲信号周期和占空比的捕捉模式时序（通道 1，复位模式）

6.4.8 比较器模式

设置 T31CHnC 寄存器的 CHnOM，可配置比较器模式。T31 支持 4 个比较输出通道，输出端口 T31_CHn（n=1, 2, 3, 4）与捕捉通道复用，设置 T31CHnC 寄存器的 CHnIOS=00，可将通道端口配置为比较输出。

每个比较通道支持一个 16 位捕捉/比较寄存器 T31CHnR，可进行软件读写操作，写操作时需要先写高 8 位寄存器 T31CHnRH，再写低 8 位寄存器 T31CHnRL，高 8 位寄存器写入的值并不会立即生效，而是在写低 8 位寄存器的值时才会同时更新。通过 T31CHnC 寄存器的 CHnOBE 位，可设置 T31CHnR 寄存器是否立即生效，还是在下一次更新事件发生时生效。更新事件对于比较器输出和通道端口输出没有影响。

在比较器模式下，计数器可以使用内部或外部时钟进行计数，支持计数时钟预分频。

在比较器模式下，将计数器的计数值与比较寄存器进行比较，发生比较匹配时，可通过 T31CHnC 寄存器的 CHnOM 位和 T31PINC 寄存器中的输出极性控制位 CHnP，来控制通道端口 T31_CHn 的输出电平。发生比较匹配时：

- 如果 CHnOM=000，则通道端口输出电平保持不变；
- 如果 CHnOM=001，则比较器输出 1，通道端口电平取决于 CHnP 位；
- 如果 CHnOM=010，则比较器输出 0，通道端口电平取决于 CHnP 位；
- 如果 CHnOM=011，则通道端口电平翻转。

发生比较匹配时，会置起对应比较通道的多功能中断标志位 MIFn，如果相应的多功能中断使能位 MIEn=1，则 T31 总中断标志位 T31IF 也被置 1，如果总中断使能位 T31IE=1，则会产生一个比较中断请求。

发生比较匹配后，计数器仍继续递增或递减计数，直到计数溢出，会置起更新中断标志位 UPIF，如果使用了后分频器，则直到后分频器递减到 0 后，再次发生计数溢出时，才

置起更新中断标志位 UPIF。例如递增计数时，会继续计数到重载寄存器 T31CNTLD 的值后发生上溢出。

在比较器模式下，还支持软件将比较器输出强制为固定电平。设置 T31CHnC 寄存器的 CHnOM=100，可将比较器输出强制为 0；CHnOM=101，可将比较器输出强制为 1。比较器输出被强制为固定电平后，通道端口电平仍取决于 CHnP 位，硬件比较电路仍然会继续进行与计数值的比较，相应的标志也会被置起，并产生相应的中断。

比较器模式的配置步骤如下所示：

- ◇ 选择计数器时钟（内部，外部）和预分频
- ◇ 设置计数重载寄存器 T31CNTLD 和比较寄存器 T31CHnR
- ◇ 通过 CHnOM 设置比较匹配时的端口状态，通过 CHnP 设置端口电平极性
- ◇ 通过 CHnOBE 设置比较寄存器 T31CHnR 是立即生效还是有缓冲
- ◇ 设置 T31IEL 寄存器的 MIEn=1，INTE0 寄存器的 T31IE=1，可产生比较中断请求
- ◇ 设置 T31PINC 寄存器的 CHnE=1，使能比较通道端口输出
- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

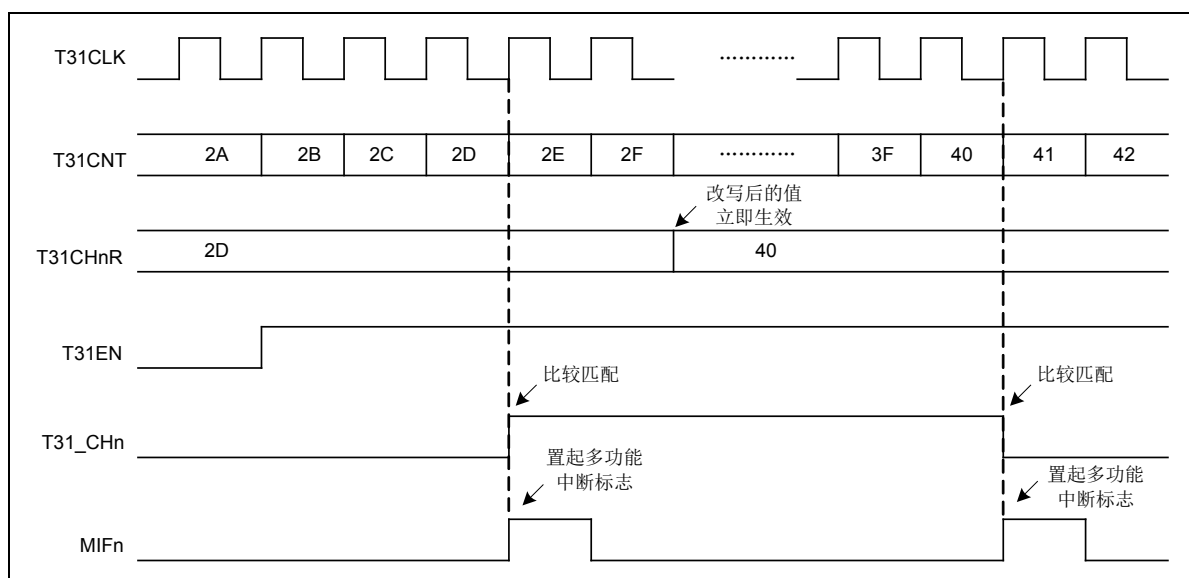


图 6-24 比较器模式时序图（比较匹配后端口输出翻转，CHnOBE=0，无缓冲）

每个通道的比较器输出，均支持通过外部触发输入信号 T31_ETR 清 0。设置 T31CHnC 寄存器的 CHnCOCE=1，T31C2L 寄存器的 COCE=1，可通过外部输入信号清零对应通道的比较器输出，清零后的比较器输出保持为低，直到下一更新事件发生。需要注意的是，此功能只能用于比较器模式和 PWM 模式，但不能用于比较器强制输出模式（CHnOM=100 或 101）。

使用外部触发输入信号清零比较器输出时，需要设置 T31C2H 寄存器的 ECM2E=0，禁止外部时钟源模式 2，不能把外部输入信号 T31_ETR 作为计数器时钟。

可通过 T31C2H 寄存器的 ETEG 和 ETFS 位，配置外部触发输入信号的有效边沿和滤波时间。

6.4.9 PWM模式

设置 T31CHnC 寄存器的 CHnOM，可配置 PWM 模式。T31 支持 4 个 PWM 输出通道，每个通道的 PWM 模式均可独立设置，基于比较器的比较输出结果，产生 PWM 输出波形。其中有 3 个 PWM 通道各支持两个互补输出端口 T31_CHn 和 T31_CHnN (n=1, 2, 3)，可产生带死区延时的互补输出信号，第 4 个 PWM 通道只支持一个输出端口 T31_CH4。

PWM 模式计数时钟源可通过 T31C0H 寄存器的 T31PWMCKS 位设置，可为系统时钟 Fosc 或者内部高速时钟 INTHRC，其中 INTHRC 时钟最高可到 64MHz。

支持两种 PWM 模式，输出波形互补，通过 T31CHnC 寄存器的 CHnOM 可设置 PWM 模式，当 CHnOM=110 时为 PWM 模式 1，当 CHnOM=111 时为 PWM 模式 2。

在 PWM 模式下，通过 T31CNTLD 寄存器设置脉冲周期，通过 T31CHnR 寄存器设置脉冲宽度，确定占空比。必须设置 T31CHnC 寄存器的 CHnOBE=1，使能 T31CHnR 寄存器的缓冲功能，设置 T31C0L 寄存器的 RLBE=1，使能 T31CNTLD 寄存器的缓冲功能，可确保在周期或占空比连续改变时，每个 PWM 脉冲波形均是完整的。在计数器开始计数之前，必须设置 T31EVG 寄存器的 UPT 位，初始化更新所有寄存器的缓冲器。

可以通过 T31PINC 寄存器中的 CHnP 位设置端口 T31_CHn 的输出极性，可以选择端口电平相对于比较器输出是否反相。通过 T31PINC 寄存器的通道输出使能位 CHnE，互补输出使能位 CHnNE 和 T31CHBK 寄存器的通道输出状态总使能位 CHOE，空闲模式下的端口空闲状态选择位 NOFFS 和运行模式下的端口无效状态选择位 ROFFS，来控制端口 T31_CHn 的输出状态。

在 PWM 模式下，计数值 T31CNT 和比较寄存器值 T31CHnR 始终在进行比较，并根据 CHnOM 位设置的 PWM 模式，比较器输出对应的比较结果。

设置 T31C0L 寄存器的 CMC 位，可选择 PWM 信号波形为普通模式或中心对齐模式。

注：在 ICD 调试模式下，需软件固定设置 T31C0H 寄存器的 HTOEOFF=1，否则 PWM 输出可能异常。

6.4.9.1 PWM普通模式

设置 T31C0L 寄存器的 CMC=00，可配置 PWM 为普通模式，在 PWM 普通模式下，通过 T31C0L 寄存器的 DIRS 位，可以控制计数器递增或递减计数。

以 PWM 模式 1 为例，递增计数时只要 T31CNT<T31CHnR，比较器的输出就为高，否则比较器的输出保持为低，通道端口 T31_CHn 的输出电平取决于 CHnP 位的极性控制。如果 T31CHnR 中的比较值大于 T31CNTLD 中的计数重载值，则比较器的输出一直保持为高；如果 T31CHnR 中的比较值为 0，则比较器的输出一直保持为低。

以 PWM 模式 1 为例，递减计数时只要 T31CNT>T31CHnR，比较器的输出就为低，否则比较器的输出保持为高，通道端口 T31_CHn 的输出电平取决于 CHnP 位的极性控制。如果 T31CHnR 中的比较值大于 T31CNTLD 中的计数重载值，则比较器的输出一直保持为高；递减计数时不能产生占空比为 0 的 PWM 波形（即使 T31CHnR=0，当递减计数到 T31CNT=0 时，比较器的输出仍会跳变为高电平）。

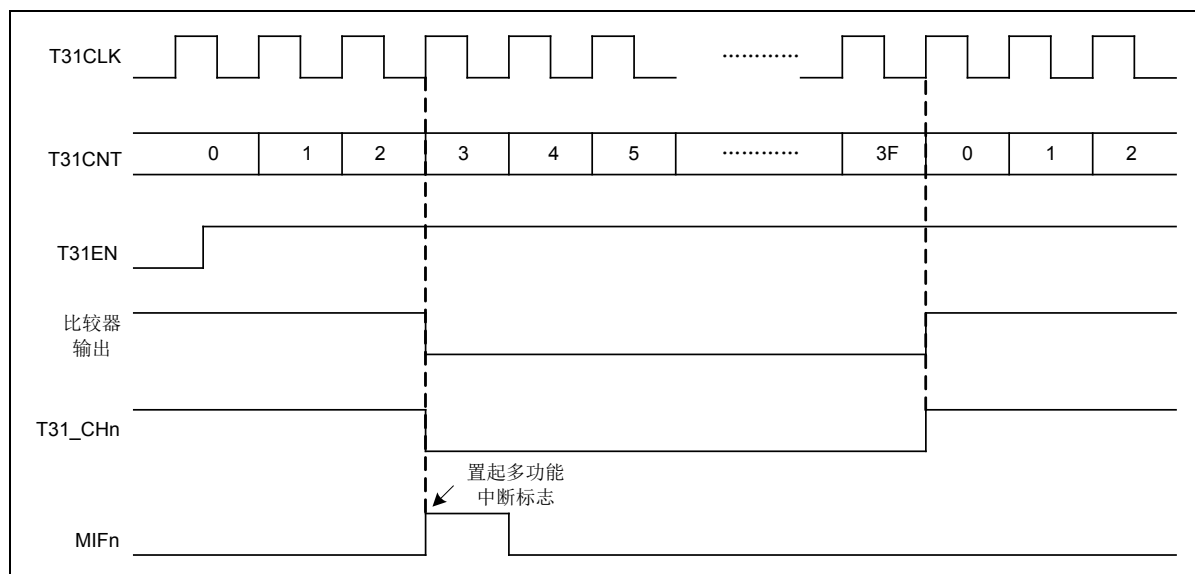


图 6-25 普通 PWM 波形，递增计数（T31CHnR=3，T31CNTLD=0x3F，CHnP=0）

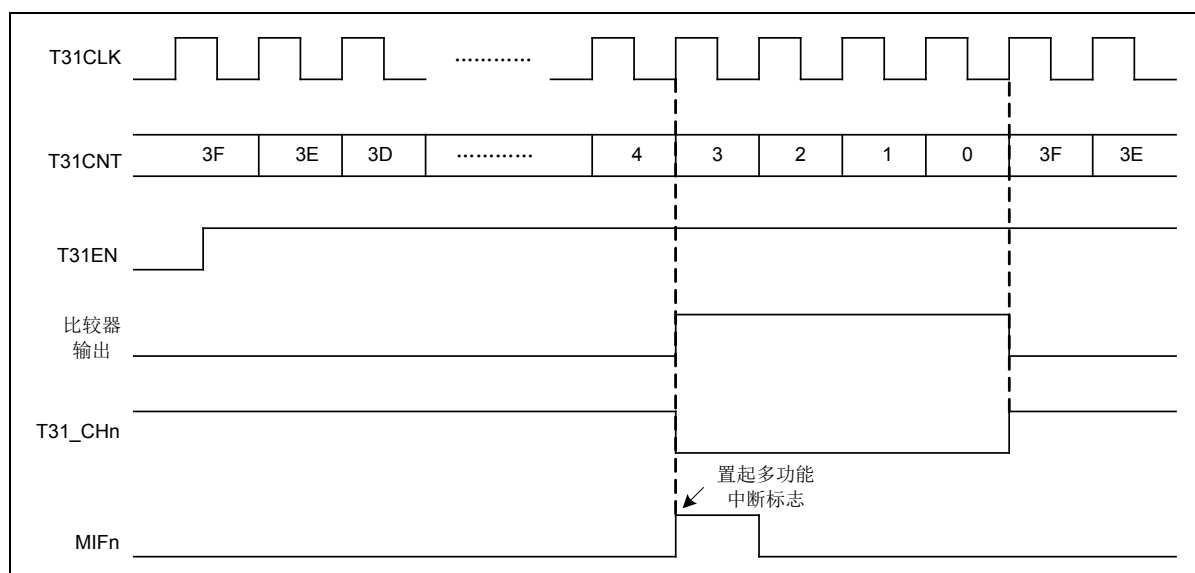


图 6-26 普通 PWM 波形，递减计数（T31CHnR=3，T31CNTLD=0x3F，CHnP=1）

6.4.9.2 PWM中心对齐模式

设置 T31C0L 寄存器的 CMC 位为非 00 时，可配置 PWM 为中心对齐模式，共支持 3 种中心对齐模式，可实现各通道的多功能中断标志位 MIFn 在递减计数匹配时置 1、递增计数匹配时置 1、递减/递增计数匹配时置 1。

在中心对齐模式下，在计数器开始工作前，需先软件设置好 T31C0L 寄存器中的 DIRS 位，及其它控制寄存器，然后设置 T31EVG 寄存器的 UPT 位产生一次软件更新事件。计数器使能后基于 DIRS 位的初始值，来决定以递增或递减方式开始计数，计数过程中由硬件自动控制 DIRS 位，实现递增和递减交替的方式计数，软件修改无效。在软件初始化时，DIRS 和 CMC 位不要同时修改，也不要再在计数过程中修改计数器的值，以免产生异常。

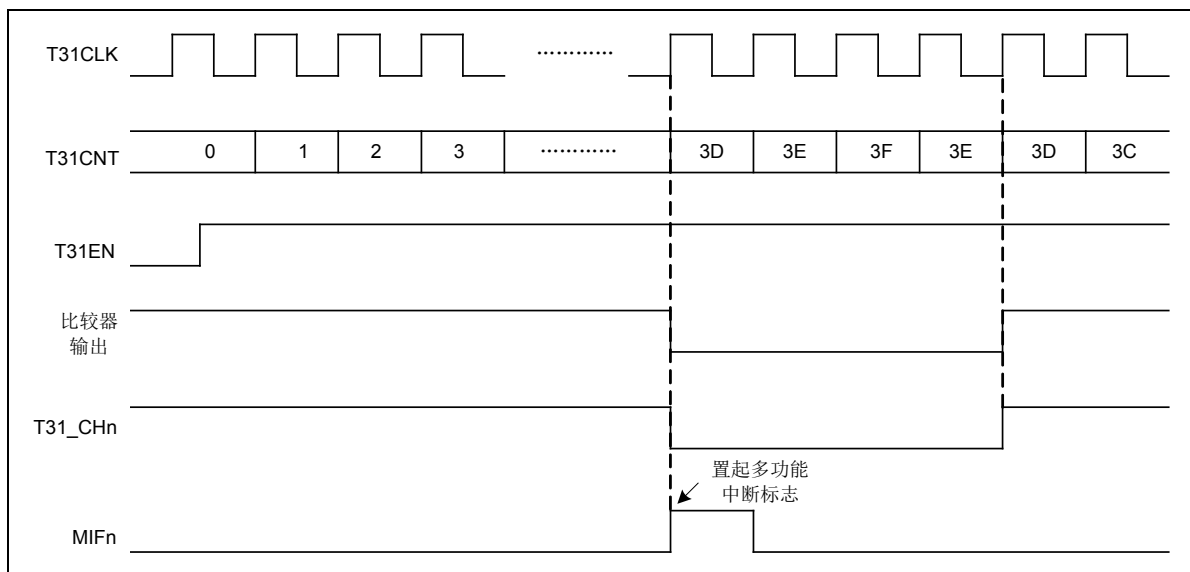


图 6-27 中心对齐 PWM 波形 (T31CHnR=0x3D, T31CNTLD=0x3F, CHnP=0, CMC=10)

6.4.9.3 带死区互补输出

T31 有 3 个 PWM 通道各支持两个互补输出端口 T31_CHn 和 T31_CHnN (n=1, 2, 3), 可产生带死区延时的互补输出信号, 并且死区时间可配置。

通过 T31PINC 寄存器的 CHnP 与 CHnNP 位, 可独立设置每个端口输出信号的极性。

互补输出信号可通过以下几个控制位进行设置: T31PINC 寄存器的通道输出和互补输出使能位 CHnE 和 CHnNE, T31CHBK 寄存器的通道输出状态总使能位 CHOE, 空闲和运行模式下的端口空闲和无效状态选择位 NOFFS 和 ROFFS, T31C1H 寄存器的通道输出和互补输出空闲状态选择位 ONSn 和 ONSnN。

通过 T31DLYT 寄存器, 可设置互补输出信号的死区时间, 所有通道均共用该死区时间, 根据比较器的输出信号, 产生 2 路互补输出 T31_CHn 和 T31_CHnN。如果死区时间大于输出信号的有效脉宽, 则不会产生脉冲输出。

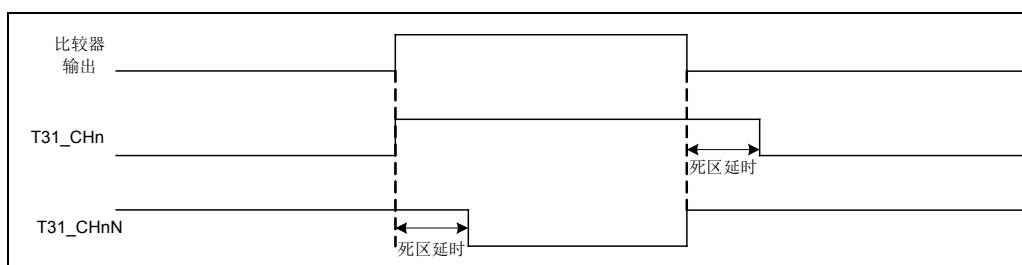


图 6-28 带死区延时的互补输出

当 PWM 通道配置为互补输出时, 如下寄存器控制位都会有缓冲: CHnOM、CHnE 和 CHnNE。发生互补通道更新事件时, 这些寄存器位才会真正生效, 这样就可以预先设置好下一步的配置, 并同时对所有互补通道的配置进行更新。互补通道更新事件可以通过设置 T31EVG 寄存器的 CHUT=1 产生, 或由触发信号产生 (由 T31C2L 寄存器的 TRGS 位选择触发信号)。

当发生互补通道更新事件时，会置起互补通道更新中断标志位 CHUIF（T31IF<5>），如果互补通道更新中断使能位 CHUIE=1，并且总中断使能位 T31IE=1，则产生一个互补通道更新中断请求。

6.4.10 单脉冲模式

单脉冲模式实际是基于比较器模式或 PWM 模式来产生波形的，可通过设置 T31C0L 寄存器的 SPME=1，来实现单脉冲输出。在单脉冲模式下，计数器会在下一次更新事件产生时自动停止计数。

为确保单脉冲可以正确的产生，在计数器开始计数之前，计数器的计数值，比较值和计数重载寄存器的值，必须满足如下条件：

递增计数时 $T31CNT < T31CHnR \leq T31CNTLD$ ；递减计数时 $T31CNT > T31CHnR$ 。

通过比较寄存器 T31CHnR 和计数重载寄存器 T31CNTLD，可设置单脉冲输出的延时和脉宽时间。

基于 PWM 模式设置单脉冲输出波形的步骤如下：

- ◇ 设置 T31CHnC 寄存器的 CHnOM 位，选择 PWM 模式 1 或 2；
- ◇ 设置 T31PINC 寄存器的 CHnP 位，选择通道端口 T31_CHn 的输出极性；
- ◇ 设置 T31C0L 寄存器的 DIRS，CMC，SPME 位，配置为递增或递减计数，PWM 普通波形模式，单脉冲模式使能；
- ◇ 设置 T31CHnC 寄存器的 CHnOBE=1，T31C0L 寄存器的 RLBE=1，使能比较寄存器和计数重载寄存器的缓冲功能（也可以根据实际情况不使能缓冲）；
- ◇ 设置 T31CHnR 寄存器和 T31CNTLD 寄存器，配置单脉冲输出延时和脉宽时间；
- ◇ 设置 UPT 位来产生一个更新事件；
- ◇ 设置 T31C0L 寄存器的 T31EN=1 来启动计数器，也可以在触发模式下，通过外部触发输入信号来触发硬件自动设置 T31EN=1。

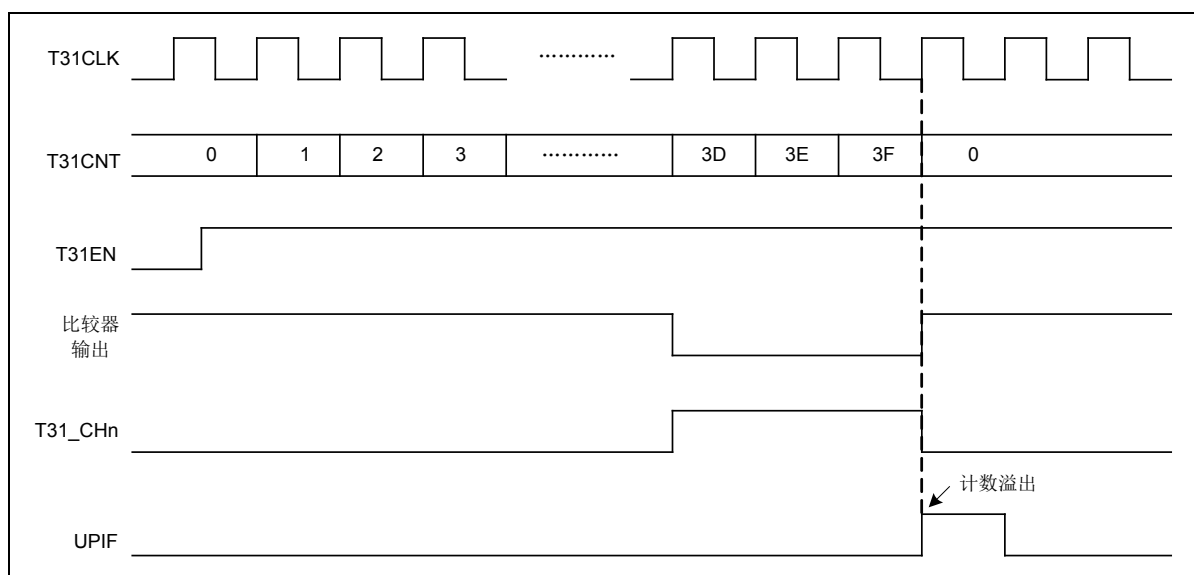


图 6-29 单脉冲输出波形（PWM 模式 1，T31CHnR=0x3D，T31CNTLD=0x3F，CHnP=1）

在单脉冲模式下，如果希望通过外部触发输入信号的方式，来快速触发产生一个单脉冲输出，则可以设置 T31CHnC 寄存器的 CHnOFE=1，使能比较器输出加速功能，使得比较器输出和通道端口 T31_CHn 在外部触发时立即输出脉冲波形，而不需要等到计数比较匹配后再输出。需要注意的是，CHnOFE 位只在通道配置为 PWM 模式 1 和 PWM 模式 2 时才有效。

6.4.11 关断功能模式

关断功能模式可通过以下几个控制位进行设置：T31CHBK 寄存器的 CHOE、NOFFS 和 ROFFS 位，T31C1H 寄存器的 ONSn 和 ONSnN 位。关断产生时，通道输出空闲状态电平。

支持两种关断方式：一种是通过 T31_BRK 输入管脚关断，另一种是设置 T31EVG 寄存器的 BKT=1，来产生关断事件。

设置 T31CHBK 寄存器中的 BKE 位可以使能关断功能，关断输入信号的极性可以通过设置 BKPS 位选择，BKE 和 BKPS 可以同时被修改。

关断电路控制寄存器具有写保护功能，支持 3 个保护等级，可通过 T31CHBK 寄存器的 PROTS 位来选择，实现对死区时间，通道端口 T31_CHn/T31_CHnN 输出极性和空闲状态，CHnOM 配置，关断使能和极性等的写保护。

当发生关断时，执行下列操作：

- ◇ CHOE 位被立即清 0，将通道输出禁止或强制为空闲状态（由 NOFFS 位选择），该操作为异步操作，所以即使在芯片系统时钟关闭时依然有效。
- ◇ 空闲状态下，每个通道的输出电平，可通过 T31C1H 寄存器的 ONSn 和 ONSnN 位设定。通道输出禁止时，T31 不再控制端口输出使能。
- ◇ 当使用互补输出时：通道输出首先被置于无效状态，这是异步操作，即使定时器没有时钟，该操作也依然有效；如果定时器的时钟存在，则死区时间仍有效，并会重新启动死区时间计时，在死区时间之后根据 ONSn 和 ONSnN 位的设置，端口输出空闲状态电平。需要注意的是，因为重新同步 CHOE，死区时间会比平时略长一些（约 1~2 个时钟周期）。
- ◇ 如果使能了 T31IEL 寄存器中的关断中断使能位 BKIE，则当关断中断标志 BKIF（T31IFL<7>）为 1 时，会产生一个中断请求。
- ◇ 如果使能了 T31CHBK 寄存器中的 AROE 位，则当关断事件撤消后，在下一个更新事件时 CHOE 位被自动置位，否则 CHOE 位始终保持为低，直到被软件再次置 1。

注 1：因为关断输入信号为电平有效，所以当关断输入有效时，不能同时（自动地或通过软件）设置 CHOE，并且中断标志位 BKIF 也不能被清除；

注 2：芯片复位后，T31CHBK 寄存器中的 PROTS 位只能写一次。

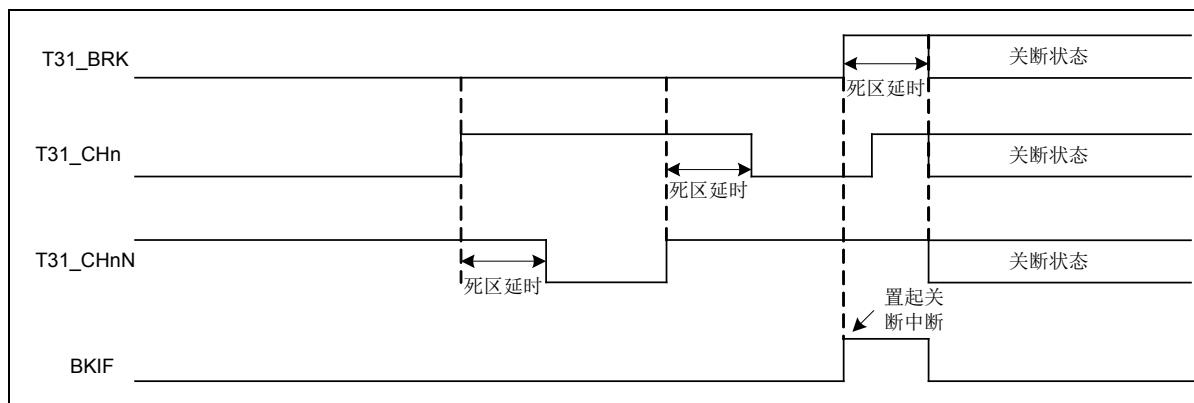


图 6-30 带死区互补输出的关断时序图

通道端口输出支持以下四种状态：

- 输出禁止，端口的输入输出状态由 IO 端口的输入输出控制寄存器 PxT 控制，输出数据由端口电平状态寄存器 Px 控制。
- 输出空闲状态，需设置 CHOE=0，端口电平由 T31C1H 寄存器的 ONSn/ONSnN 位设置，可以实现所有通道端口 T31_CHn/T31_CHnN 同时输出空闲状态。
- 输出无效状态，需设置 CHOE=1，端口电平由 T31PINC 寄存器的 CHnP/CHnNP 位设置，可以实现两路互补输出端口的其中一路输出无效状态，另一路输出有效状态。
- 输出有效状态，需设置 CHOE=1，端口输出比较器的比较结果，输出极性由 T31PINC 寄存器的 CHnP/CHnNP 位设置是否反相，可以实现两路互补输出。

CHOE	NOFFS	ROFFS	CHnE	CHnNE	T31_CHn 输出状态	T31_CHnN 输出状态
1	X	0	0	0	输出禁止	输出禁止
		0	0	1	输出禁止	有效状态，极性可配置
		0	1	0	有效状态，极性可配置	输出禁止
		0	1	1	两路互补输出均为有效状态，极性和死区时间可配置	
		1	0	0	输出禁止	输出禁止
		1	0	1	无效状态，电平可配置	有效状态，极性可配置
		1	1	0	有效状态，极性可配置	无效状态，电平可配置
		1	1	1	两路互补输出均为有效状态，极性和死区时间可配置	
0	0	X	0	0	输出禁止	输出禁止
	0		0	1	输出禁止	输出禁止
	0		1	0		
	0		1	1		
	1		0	0	输出禁止	输出禁止
	1		0	1	输出空闲状态，端口电平由 ONSn/ONSnN 设置，如果设置了死区时间，则在 CHOE=0 后，重新开始死区时间计时，经过所设置的死区时间之后，再输出空闲状态	
	1		1	0		
	1		1	1		

表 6-3 带有关断功能的通道互补输出列表

注：通道输出禁止时，对应的通道端口可以作为普通 IO 端口使用。

6.4.12 从模式

T31 支持以下扩展的从模式：编码器模式，复位模式，门控模式，触发模式。

6.4.12.1 编码器模式

T31 的通道 1 和通道 2 支持 3 种编码器模式，可通过 T31C2L 寄存器的 T31SM 位配置：当 T31SM=001 时，计数器只在通道 2 输入信号 T31_CH2 的边沿计数，计数方向由通道 1 信号 T31_CH1 的电平控制；当 T31SM=010 时，计数器只在通道 1 输入信号 T31_CH1 的边沿计数，计数方向由通道 2 信号 T31_CH2 的电平控制；当 T31SM=011 时，计数器在通道 2 输入信号 T31_CH2 和通道 1 输入信号 T31_CH1 的边沿均进行计数，计数时将出现边沿变化的通道信号作为时钟，计数方向由对方通道信号电平控制。

通过设置 T31PINCL 寄存器的 CH1NP/CH1P 和 CH2NP/CH2P 位，可以选择 T31_CH1 和 T31_CH2 端口的输入信号是否反相，还可以根据实际情况设置输入信号的滤波器时间。

在编码器模式下，计数器使用 T31_CH1 和 T31_CH2 两个通道输入的信号边沿计数。计数器启动后（T31C0L 寄存器的 T31EN=1），以其中一个通道输入信号做为计数时钟，时钟信号的上升沿和下降沿均有效，根据另外一个输入信号的电平变化，硬件自动控制计数方向选择位 DIRS（T31C0L<4>），进行递增或递减计数。

在编码器模式下，计数器相当于使用了一个带有方向选择的外部时钟，计数器只在 0 到 T31CNTLD 寄存器的计数重载值之间连续递增或递减计数。编码器模式下，禁止使能外部时钟源模式 2，两者不能同时工作。

在编码器模式下，计数器会根据外部增量式编码器的速度和方向自动调整计数，计数器的值反映的是编码器的位置，计数方向与外部相连的传感器旋转的方向相对应。下表列出了计数器在信号不同输入组合下的计数方式：

计数时钟	另一路信号的电平	T31_CH1		T31_CH2	
		上升沿	下降沿	上升沿	下降沿
T31_CH1	T31_CH2=1	递减	递增	不计数	不计数
	T31_CH2=0	递增	递减	不计数	不计数
T31_CH2	T31_CH1=1	不计数	不计数	递增	递减
	T31_CH1=0	不计数	不计数	递减	递增
T31_CH1 和 T31_CH2	1	递减	递增	递增	递减
	0	递增	递减	递减	递增

表 6-4 计数方向与编码器信号的关系（通道输入不反相）

外部增量编码器可以直接与芯片连接而不需要外部接口逻辑，但通常会使用比较器将编码器的差分输出转换为数字信号，这样可增强抗噪声干扰能力。外部增量编码器的第三个输出端用于指示机械零点，可以连接到芯片的一个外部中断输入管脚，用于触发一次计数器复位。

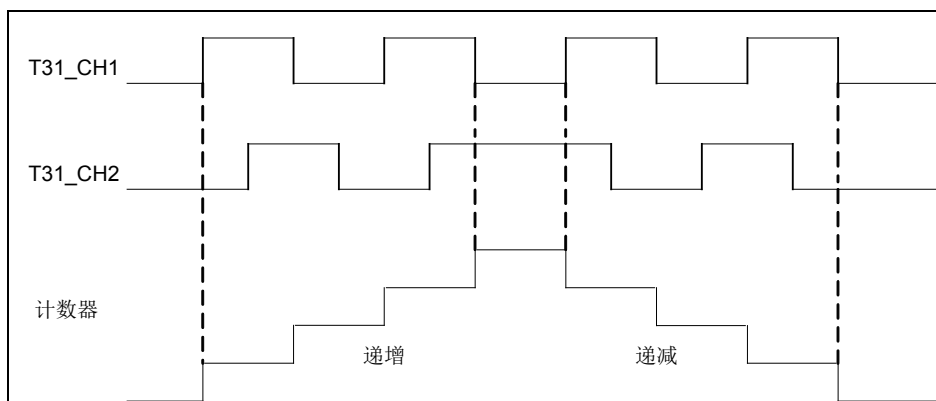


图 6-31 编码器模式下的计数器计数时序 (T31SM=010, 通道输入不反相)

6.4.12.2 复位模式

设置 T31C2L 寄存器的 T31SM=100, 可配置为复位模式。在复位模式下, 计数器使用内部 Fosc 时钟计数或外部时钟源模式 2 计数, 发生触发输入事件时, 计数器和预分频器可以被重新初始化, 预分频计数器会被清零 (预分频比不受影响), 递增计数时计数器也会被清零, 递减计数时, 计数器会重载计数寄存器的值; 同时如果 T31C0L 寄存器的 UES=0, 还会产生一个更新事件, 使所有的可重载寄存器 (T31CNTLD, T31CHnR) 都被重载初始化。

在复位模式下, 对触发输入信号, 可通过 T31C2L 寄存器的 TRGS, 选择触发信号源; 通过 T31PINC 寄存器的 CHnNP/CHnP 位或 T31C2H 寄存器的 ETEG 位, 选择触发信号的有效边沿; 还可以根据实际需要, 配置输入信号的滤波时间。

设置 T31C0L 寄存器的 T31EN=1, 启动计数, 触发输入产生时, 计数器被清零并从 0 重新开始计数, 同时置起触发中断标志位 TRGIF (T31IF<6>), 如果此时中断使能位 TRGIE=1, 则会产生一个中断请求。

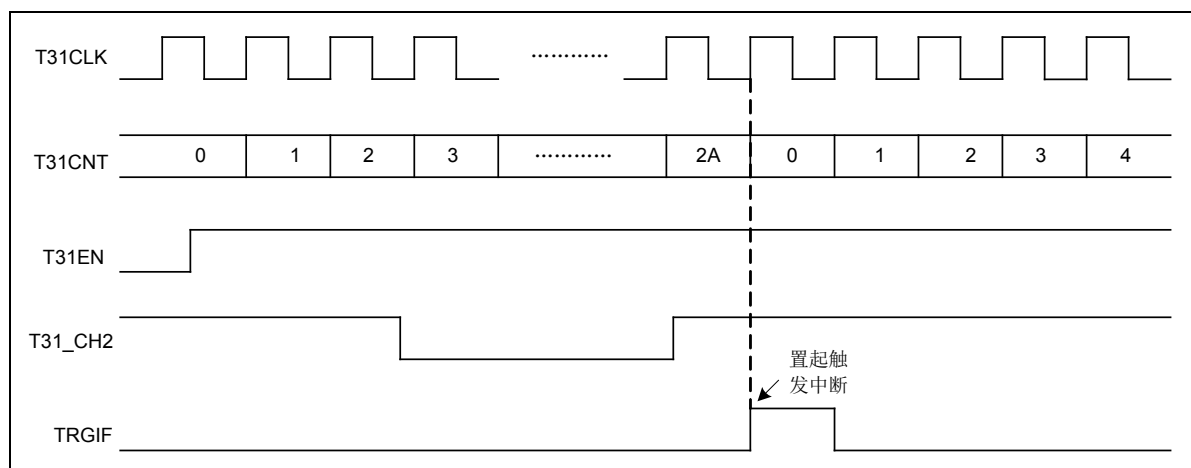


图 6-32 复位模式下的计数时序 (T31CNTLD=0x3F, 通道 2 端口信号上升沿触发)

注: 在外部时钟源模式 2 工作时, 可以同时使能复位模式, 这时 T31_ETR 信号作为外部时钟输入, 需选择另一个输入作为复位模式的触发信号, 禁止将 T31_ETR 作为触发信号 (即 TRGS 不能设置为 111)。

6.4.12.3 门控模式

设置 T31C2L 寄存器的 T31SM=101, 可配置为门控模式。在门控模式下, 计数器使用内部 Fosc 时钟计数或外部时钟源模式 2 计数, 计数器的计数可由触发输入信号作为门控信号, 来使能或停止 (计数器使能位 T31EN 仍需保持为 1)。

在门控模式下, 对触发输入信号, 可通过 T31C2L 寄存器的 TRGS, 选择触发信号源; 通过 T31PINC 寄存器的 CHnNP/CHnP 位或 T31C2H 寄存器的 ETEG 位, 选择触发信号的有效电平, 触发信号电平有效时计数器保持计数, 否则暂停计数; 还可以根据实际需要, 配置输入信号的滤波时间。

设置 T31C0L 寄存器的 T31EN=1, 启动计数, 只要门控信号电平有效, 计数器会正常计数, 一旦门控信号电平无效则停止计数。当计数器停止计数或重新开始计数时, 都会置起触发中断标志位 TRGIF (T31IF<6>), 如果此时中断使能位 TRGIE=1, 则会产生一个中断请求。

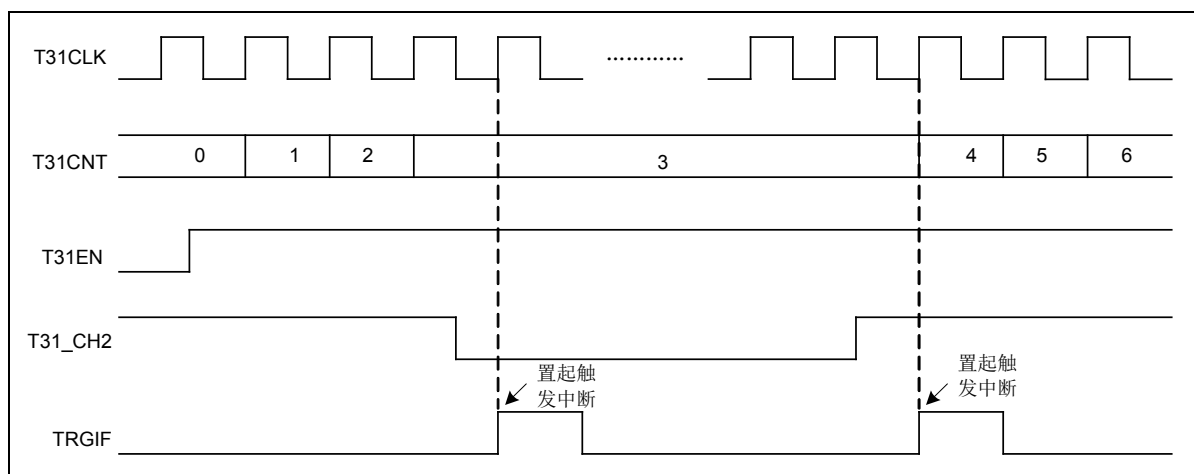


图 6-33 门控模式下的计数时序 (T31CNTLD=0x3F, 通道 2 端口门控信号高电平有效)

注: 在外部时钟源模式 2 工作时, 可以同时使能门控模式, 这时 T31_ETR 信号作为外部时钟输入, 需选择另一个输入作为门控模式的门控信号, 禁止将 T31_ETR 作为门控信号 (即 TRGS 不能设置为 111)。

6.4.12.4 触发模式

设置 T31C2L 寄存器的 T31SM=110, 可配置为触发模式, 在触发模式下, 计数器使用内部 Fosc 时钟计数或外部时钟源模式 2 计数, 计数器的启动可由触发输入信号的有效边沿来使能, 硬件自动设置 T31EN=1, 无需软件设置。

在触发模式下, 对触发输入信号, 可通过 T31C2L 寄存器的 TRGS, 选择触发信号源; 通过 T31PINC 寄存器的 CHnNP/CHnP 位或 T31C2H 寄存器的 ETEG 位, 选择触发信号的有效边沿; 还可以根据实际需要, 配置输入信号的滤波时间。

触发输入产生时, 硬件自动设置 T31EN=1, 启动计数器计数, 同时置起触发中断标志位 TRGIF (T31IF<6>), 如果此时中断使能位 TRGIE=1, 则会产生一个中断请求。

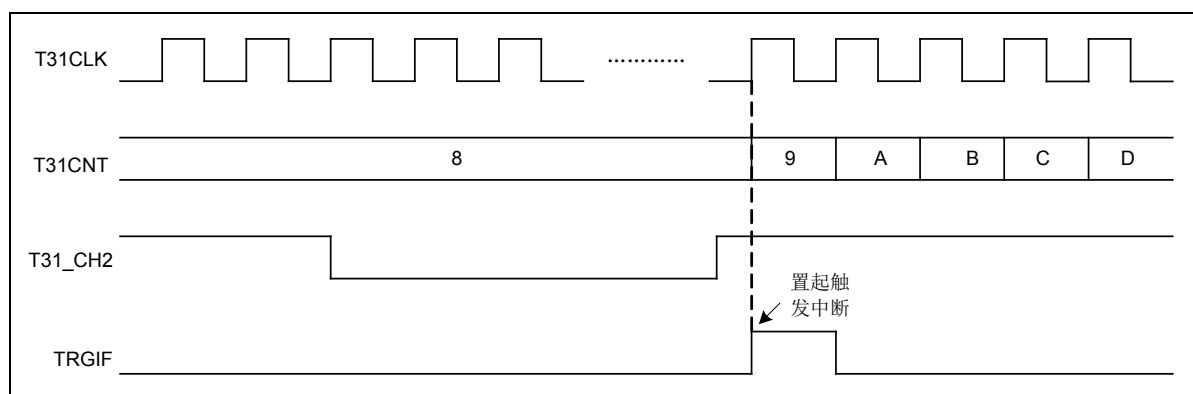


图 6-34 触发模式下的计数时序 (T31CNTLD=0x3F, 通道 2 端口信号上升沿触发)

注：在外部时钟源模式 2 工作时，可以同时使能触发模式，这时 T31_ETR 信号作为外部时钟输入，需选择另一个输入作为触发模式的触发信号，禁止将 T31_ETR 作为触发信号（即 TRGS 不能设置为 111）。

6.4.13 ICD调试暂停模式下的PWM输出

在 ICD 调试模式下，需软件固定设置 HTOEOFF (T31C0H<6>) =1，否则 PWM 输出可能会异常。在 ICD 调试暂停时，PWM 输出由 HALT_PWM (PWEN<0>) 位决定。

当设置 HALT_PWM=1 时，在调试暂停时，计数器停止计数，并关断 PWM 输出，此时 PWM 端口的输入/输出状态，由相应的端口输入输出控制寄存器 PxT 的对应控制位决定，如果 PxT 配置端口为输入，则相应的端口为高阻态，如果 PxT 配置端口为输出，则相应的端口电平由端口电平状态寄存器 Px 决定。

当设置 HALT_PWM=0 时，在调试暂停时，计数器仍继续计数，保持 PWM 输出。

6.4.14 特殊功能寄存器

6.4.14.1 计数器寄存器低 8 位 (T31CNTL)

T31CNTL: 计数器寄存器低 8 位 (T31CNTL)								
Bit	7	6	5	4	3	2	1	0
Name	CNT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CNT<7:0>: 计数值低 8 位

6.4.14.2 计数器寄存器高 8 位 (T31CNTH)

T31CNTH: 计数器寄存器高 8 位 (T31CNTH)								
Bit	7	6	5	4	3	2	1	0
Name	CNT<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CNT<15:8>: 计数值高 8 位

6.4.14.3 预分频寄存器低 8 位 (T31PRSL)

T31PRSL: 预分频寄存器低 8 位 (T31PRSL)								
Bit	7	6	5	4	3	2	1	0
Name	PRS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PRS<7:0>: 预分频值低 8 位

6.4.14.4 预分频寄存器高 8 位 (T31PRSH)

T31PRSH: 预分频寄存器高 8 位 (T31PRSH)								
Bit	7	6	5	4	3	2	1	0
Name	PRS<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PRS<15:8>: 预分频值高 8 位

注: 计数器使用预分频后的时钟计数, 预分频比为 PRS<15:0> + 1。

6.4.14.5 计数器重载寄存器低 8 位 (T31CNTLDL)

T31CNTLDL: 计数器重载寄存器低 8 位 (T31CNTLDL)								
Bit	7	6	5	4	3	2	1	0
Name	CNTLD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 CNTLD<7:0>: 计数器计数重载值低 8 位

6.4.14.6 计数器重载寄存器高 8 位 (T31CNTLDH)

T31CNTLDH: 计数器重载寄存器高 8 位 (T31CNTLDH)								
Bit	7	6	5	4	3	2	1	0
Name	CNTLD<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 CNTLD<15:8>: 计数器计数重载值高 8 位

注 1: 发生更新事件时, T31CNTLD 的值会被自动重载, 对计数器重新初始化, 当 T31CNTLD <15:0>=0 时, 计数器重新初始化后, 不再继续计数;

注 2: 对寄存器 T31CNTLD 的写操作, 需要先写高 8 位寄存器 T31CNTLDH, 再写低 8 位寄存器 T31CNTLDL。

6.4.14.7 后分频寄存器 (T31POS)

T31POS: 后分频寄存器 (T31POS)								
Bit	7	6	5	4	3	2	1	0
Name	POS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 POS<7:0>: 后分频值

6.4.14.8 通道 1 捕捉/比较寄存器低 8 位 (T31CH1RL)

T31CH1RL: 通道 1 捕捉/比较寄存器 1 低 8 位 (T31CH1RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH1R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH1R<7:0>: 通道 1 捕捉/比较值低 8 位

6.4.14.9 通道 1 捕捉/比较寄存器高 8 位 (T31CH1RH)

T31CH1RH: 通道 1 捕捉/比较寄存器高 8 位 (T31CH1RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH1R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH1R<15:8>: 通道 1 捕捉/比较值高 8 位

注: 对寄存器 T31CH1R 的写操作, 需要先写高 8 位寄存器 T31CH1RH, 再写低 8 位寄存器 T31CH1RL。

6.4.14.10 通道 2 捕捉/比较寄存器低 8 位 (T31CH2RL)

T31CH2RL: 通道 2 捕捉/比较寄存器低 8 位 (T31CH2RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH2R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH2R<7:0>: 通道 2 捕捉/比较值低 8 位

6.4.14.11 通道 2 捕捉/比较寄存器高 8 位 (T31CH2RH)

T31CH2RH: 通道 2 捕捉/比较寄存器高 8 位 (T31CH2RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH2R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH2R<15:8>: 通道 2 捕捉/比较值高 8 位

注: 对寄存器 T31CH2R 的写操作, 需要先写高 8 位寄存器 T31CH2RH, 再写低 8 位寄存器 T31CH2RL。

6.4.14.12 通道 3 捕捉/比较寄存器低 8 位 (T31CH3RL)

T31CH3RL: 通道 3 捕捉/比较寄存器低 8 位 (T31CH3RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH3R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH3R<7:0>: 通道 3 捕捉/比较值低 8 位

6. 4. 14. 13 通道 3 捕捉/比较寄存器高 8 位 (T31CH3RH)

T31CH3RH: 通道 3 捕捉/比较寄存器高 8 位 (T31CH3RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH3R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH3R<15:8>: 通道 3 捕捉/比较值高 8 位

注: 对寄存器 T31CH3R 的写操作, 需要先写高 8 位寄存器 T31CH3RH, 再写低 8 位寄存器 T31CH3RL。

6. 4. 14. 14 通道 4 捕捉/比较寄存器低 8 位 (T31CH4RL)

T31CH4RL: 通道 4 捕捉/比较寄存器低 8 位 (T31CH4RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH4R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH4R<7:0>: 通道 4 捕捉/比较值低 8 位

6. 4. 14. 15 通道 4 捕捉/比较寄存器高 8 位 (T31CH4RH)

T31CH4RH: 通道 4 捕捉/比较寄存器高 8 位 (T31CH4RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH4R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH4R<15:8>: 通道 4 捕捉/比较值高 8 位

注: 对寄存器 T31CH4R 的写操作, 需要先写高 8 位寄存器 T31CH4RH, 再写低 8 位寄存器 T31CH4RL。

6. 4. 14. 16 死区延时寄存器 (T31DLYT)

T31DLYT: 死区延时寄存器 (T31DLYT)								
Bit	7	6	5	4	3	2	1	0
Name	DLYT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 DLYT<7:0>: 死区延时设置值

DLYT<7:5>=0xx: 死区时间为 DLYT<7:0> x Tdfck

DLYT<7:5>=10x: 死区时间为 (128+2 x DLYT<5:0>) x Tdfck

DLYT<7:5>=110: 死区时间为 (256+8 x DLYT<4:0>) x Tdfck

DLYT<7:5>=111: 死区时间为 (512+16 x DLYT<4:0>) x Tdfck

注 1: 当 T31CHBK 寄存器的 PROTS=01, 10 或 11 (设置为保护等级 1, 2 或 3), T31DLYT 寄存器将不能被改写;
注 2: Tdfck 为数字滤波器工作时钟周期, 由 DFCKS (T31C0H<1:0>) 位设置。

6.4.14.17 控制寄存器 0 低 8 位 (T31C0L)

T31C0L: 控制寄存器 0 低 8 位 (T31C0L)								
Bit	7	6	5	4	3	2	1	0
Name	RLBE	CMC<1:0>		DIRS	SPME	UES	UED	T31EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** **RLBE:** 计数重载寄存器缓冲使能位
0: 禁止, T31CNTLD 寄存器没有缓冲, 写入后立即生效
1: 使能, T31CNTLD 寄存器有缓冲, 在下一个更新事件时生效
- Bit 6~5** **CMC<1:0>:** 中心对齐模式控制位 (推荐只在 T31EN=0 时改写该位)
00: 普通模式, 计数器根据方向位 DIRS 递增或递减计数, 由软件控制。
01: 中心对齐模式 1, 计数器以交替方式递增或递减计数。仅当计数器递减计数时, 多功能中断标志位 MIFn 才会被置 1 (对应通道需配置为输出)。
10: 中心对齐模式 2, 计数器以交替方式递增或递减计数。仅当计数器递增计数时, 多功能中断标志位 MIFn 才会被置 1。
11: 中心对齐模式 3, 计数器以交替方式递增或递减计数。当计数器递增或递减计数时, 多功能中断标志位 MIFn 均会被置 1。
- Bit 4** **DIRS:** 计数器计数方向选择位 (中心对齐和编码器模式下, 该位只读)
0: 递增计数
1: 递减计数
- Bit 3** **SPME:** 单脉冲模式使能位
0: 禁止, 当发生更新事件时, 计数器不停止计数
1: 使能, 当发生下一次更新事件时, T31EN 位被清 0, 计数器停止计数
- Bit 2** **UES:** 更新事件源选择位
0: 计数器上溢出/下溢出, 软件设置 UPT=1, 从模式控制器产生的更新, 可以产生更新事件
1: 计数器上溢出/下溢出, 可以产生更新事件
- Bit 1** **UED:** 更新事件禁止位
0: 不禁止产生更新事件
1: 禁止产生更新事件
- Bit 0** **T31EN:** T31 计数器使能位
0: 禁止
1: 使能

注 1: 当计数器使能时 (T31EN=1), 禁止从普通模式转换到中心对齐模式;
注 2: 当计数器配置为中心对齐模式或编码器模式时, DIRS 位只可读, 无法软件改写;
注 3: 对 T31EN 位, 在触发模式下由硬件自动置 1, 无需通过软件置 1。

6. 4. 14. 18 控制寄存器 0 高 8 位 (T31C0H)

T31C0H: 控制寄存器 0 高 8 位 (T31C0H)								
Bit	7	6	5	4	3	2	1	0
Name	T31PWMCKS	HTOE OFF	—	—	—	—	DFCKS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T31PWMCKS: PWM 模式计数时钟源选择位

0: 系统时钟

1: INTSRC 时钟

Bit 6 HTOE OFF: 在 ICD 调试时, PWM 状态控制 (非 ICD 调试模式下, 该位无效)

0: 预留, 禁止使用

1: 在 ICD 调试模式下, 该位需软件固定设置为 1, 否则 PWM 输出可能会异常

Bit 5~2 未使用, 需软件固定设置为 0

Bit 1~0 DFCKS<1:0>: 死区发生器和数字滤波器工作时钟频率 F_{dfck} 选择位

00: F_{osc}

01: F_{osc}/2

10: F_{osc}/4

11: 预留, 禁止使用

注: PWM 互补输出信号的死区发生器, 外部触发输入 T31_ETR 和各通道输入信号的数字滤波器, 均基于计数器内部时钟 F_{osc} 或其分频后的时钟进行工作。

6. 4. 14. 19 控制寄存器 1 低 8 位 (T31C1L)

T31C1L: 控制寄存器 1 低 8 位 (T31C1L)								
Bit	7	6	5	4	3	2	1	0
Name	—	ADTRGS<2:0>			—	CHCUS	—	CHCBE
R/W	R/W	R/W	R/W	R/W	—	R/W	—	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 未使用, 需软件固定设置为 0

Bit 6~4 ADTRGS<2:0>: ADC 触发源选择位, 触发后启动 ADC 转换

000: 计数器被重新初始化: 设置 T31EVG 寄存器的 UPT=1 产生更新事件; 或在复位模式下发生触发输入事件

001: 计数器被使能计数: 设置 T31C0L 寄存器的 T31EN=1 使能计数; 或在触发模式下, 触发输入信号使能计数; 或在门控模式下使能计数

010: 更新事件的产生

011: 通道 1 的多功能中断标志 MIF1

100: 通道 1 发生了比较匹配

101: 通道 2 发生了比较匹配

110: 通道 3 发生了比较匹配

111: 通道 4 发生了比较匹配

Bit 3 未使用, 需软件固定设置为 0

Bit 2 CHCUS: 互补通道控制位更新选择位 (仅在互补输出模式下, 且 CHCBE=1 时有效)

0: 只在 CHUT=1 触发互补通道更新事件时, 这些控制位才会被更新

1: 在 CHUT=1 或触发信号出现上升沿时, 这些控制位均会被更新

Bit 1 未使用, 需软件固定设置为 0

Bit 0 CHCBE: 通道控制位缓冲使能位 (仅在互补输出模式下有效)

0: CHnE, CHnNE 和 CHnOM 无缓冲, 改写后立即生效

1: CHnE, CHnNE 和 CHnOM 有缓冲, 改写后不立即生效, 取决于 CHCUS 的设置

6. 4. 14. 20 控制寄存器 1 高 8 位 (T31C1H)

T31C1H: 控制寄存器 1 高 8 位 (T31C1H)								
Bit	7	6	5	4	3	2	1	0
Name	—	ONS4	ONS3N	ONS3	ONS2N	ONS2	ONS1N	ONS1
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 未使用, 需软件固定设置为 0

Bit 6 ONS4: 通道 4 输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 5 ONS3N: 通道 3 互补输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 4 ONS3: 通道 3 输出的空闲状态 3 选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 3 ONS2N: 通道 2 互补输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 2 ONS2: 通道 2 输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 1 ONS1N: 通道 1 互补输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 0 ONS1: 通道 1 输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

注 1: 设置 T31CHBK 寄存器的 CHOE=0, NOFFS=1 后, 通道输出空闲状态;

注 2: 设置 T31CHBK 寄存器的 PROTS 位写保护后, 对 T31C1H 寄存器中的各位无法再改写。

6.4.14.21 控制寄存器 2 低 8 位 (T31C2L)

T31C2L: 控制寄存器 2 低 8 位 (T31C2L)								
Bit	7	6	5	4	3	2	1	0
Name	—	TRGS<2:0>			COCE	T31SM<2:0>		
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 未使用，需软件固定设置为 0

Bit 6~4 TRGS<2:0>: 触发源选择位，被选触发源作为触发信号，用来同步计数器

000~011: 保留

100: 通道 1 输入脉冲信号边沿（上升沿和下降沿均有效，可通过 CH1IOS 位选择通道输入端口）

101: 通道 1 输入信号（支持输入滤波，可通过 CH1IOS 位选择通道输入端口）

110: 通道 2 输入信号（支持输入滤波，可通过 CH2IOS 位选择通道输入端口）

111: 外部触发输入 T31_ETR（支持输入滤波和预分频）

Bit 3 COCE: 所有通道比较器输出清 0 总使能位

0: 禁止

1: 使能，外部触发输入信号 T31_ETR 为高电平时，如果 CHnCOCE=1，则对应通道的比较器输出可被清 0

Bit 2~0 T31SM<2:0>: T31 从模式选择位

000: 禁止从模式，计数器使用系统时钟 Fosc 内部时钟源计数（ECM2E=0）或外部时钟源模式 2 计数（ECM2E=1）

001: 编码器模式 1，计数时钟为通道 2 端口 T31_CH2 信号的上升沿和下降沿，计数方向由通道 1 端口 T31_CH1 电平控制

010: 编码器模式 2，计数时钟为通道 1 端口 T31_CH1 信号的上升沿和下降沿，计数方向由通道 2 端口 T31_CH2 电平控制

011: 编码器模式 3，计数时钟为通道 1 端口 T31_CH1 和通道 2 端口 T31_CH2 信号的上升沿和下降沿，其中任一个输入信号出现有效边沿时均会计数，计数方向由另一个输入信号的电平控制

100: 复位模式，在触发信号的上升沿重新初始化计数器，并更新寄存器

101: 门控模式，当触发信号为高电平时，计数器进行计数，为低电平时，计数器停止计数并保持

110: 触发模式，计数器由触发信号的上升沿使能并启动计数

111: 外部时钟源模式 1，计数器时钟为触发信号，在上升沿计数

注 1: 为了避免错误边沿检测，建议在触发信号不工作时（如 T31SM=000）选择触发源；

注 2: 使用门控模式时，不能把通道 1 端口输入脉冲边沿作为触发信号（TRGS=100），因这时的触发信号只是一个脉冲信号，不是门控模式所需的电平信号；

注 3: 当选择外部输入信号时，触发信号的有效边沿与外部输入信号的极性设置有关；

注 4: 编码器模式下，用作计数时钟和计数方向控制的通道端口输入信号，均可以通过对应的 CHnNP/CHnP 位设置输入极性。

6.4.14.22 控制寄存器 2 高 8 位 (T31C2H)

T31C2H: 控制寄存器 2 高 8 位 (T31C2H)								
Bit	7	6	5	4	3	2	1	0
Name	ETEG	ECM2E	ETPRS<1:0>		ETFS<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ETEG: 外部触发信号边沿选择位
 0: 上升沿
 1: 下降沿
- Bit 6 ECM2E: 外部时钟源模式 2 使能位
 0: 禁止
 1: 使能, 计数器时钟为外部输入 T31_ETR 信号的上升沿或下降沿
- Bit 5~4 ETPRS<1:0>: 外部输入时钟 T31_ETR 预分频比选择位
 00: 1: 1
 01: 1: 2
 10: 1: 4
 11: 1: 8
- Bit 3~0 ETFS<3:0>: 外部输入时钟 T31_ETR 的滤波时间选择位
 0000: 无滤波
 0001: 2*Tosc (Tosc 为系统时钟周期)
 0010: 4*Tosc
 0011: 8*Tosc
 0100: 12*Tdfck (Tdfck 为数字滤波器工作时钟周期, 由 DFCKS 位设置)
 0101: 16*Tdfck
 0110: 24*Tdfck
 0111: 32*Tdfck
 1000: 48*Tdfck
 1001: 64*Tdfck
 1010: 80*Tdfck
 1011: 96*Tdfck
 1100: 128*Tdfck
 1101: 160*Tdfck
 1110: 192*Tdfck
 1111: 256*Tdfck

注 1: 外部时钟源模式 2, 等同于在外部时钟源模式 1 时, 将 T31_ETR 信号作为触发信号 (TRGS=111);

注 2: 如果外部时钟源模式 1 和外部时钟源模式 2 同时使能, 外部时钟源模式 2 优先级高, 则外部时钟输入为 T31_ETR 信号;

注 3: 外部输入时钟 T31_ETR 的频率不能超过计数器时钟频率的 1/4, 可使用预分频来降低 T31_ETR 的频率。

6.4.14.23 通道 1 控制寄存器 (T31CH1C)

比较器模式

T31CH1C: 通道 1 控制寄存器 (T31CH1C)								
Bit	7	6	5	4	3	2	1	0
Name	CH1COCE	CH1OM<2:0>			CH1OBE	CH1OFE	CH1IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** CH1COCE: 通道 1 比较器输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)
0: 禁止
1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0
- Bit 6~4** CH1OM<2:0>: 通道 1 比较器和 PWM 工作模式选择位
000: 比较器模式, 匹配时不改变端口输出
001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH1P 位
010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH1P 位
011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
100: 比较器输出强制为 0, 通道端口输出电平取决于 CH1P 位
101: 比较器输出强制为 1, 通道端口输出电平取决于 CH1P 位
110: PWM 模式 1, 递增计数过程中, 当 T31CNT<T31CH1R 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 T31CNT>T31CH1R 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH1P 位
111: PWM 模式 2, 递增计数过程中, 当 T31CNT<T31CH1R 时, 比较器输出 0, 否则输出 1; 递减计数过程中, 当 T31CNT>T31CH1R 时, 比较器输出 1, 否则输出 0。通道端口输出电平取决于 CH1P 位
- Bit 3** CH1OBE: 通道 1 比较寄存器缓冲使能位
0: 禁止, T31CH1R 寄存器改写后的值将立即生效
1: 使能, T31CH1R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整
- Bit 2** CH1OFE: 通道 1 比较输出加速使能位 (仅在 PWM1 或 PWM2 模式下有效)
0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0** CH1IOS<1:0>: 通道 1 输入/输出选择位 (仅在 CH1E=0, 通道 1 关闭时可写)
00: 通道 1 为输出, 则在通道 1 使能后, 通道 1 端口 T31_CH1 被设置为输出
01: 通道 1 为输入, 使用通道 1 端口 T31_CH1 作为输入
10: 通道 1 为输入, 使用通道 2 端口 T31_CH2 作为输入
11: 通道 1 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH1IOS=00 (通道为输出模式) 时, CH1OM 和 CH1OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 1 需要设置为输出, CH1IOS=00。

捕捉器模式

T31CH1C: 通道 1 控制寄存器 (T31CH1C)

Bit	7	6	5	4	3	2	1	0
Name	CH1IFS<3:0>				CH1IM<1:0>		CH1IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 CH1IFS<3:0>: 通道 1 捕捉输入滤波时间选择位

0000: 无滤波

0001: $2 \times T_{osc}$ (T_{osc} 为系统时钟周期)

0010: $4 \times T_{osc}$

0011: $8 \times T_{osc}$

0100: $12 \times T_{dfck}$ (T_{dfck} 为数字滤波器工作时钟周期)

0101: $16 \times T_{dfck}$

0110: $24 \times T_{dfck}$

0111: $32 \times T_{dfck}$

1000: $48 \times T_{dfck}$

1001: $64 \times T_{dfck}$

1010: $80 \times T_{dfck}$

1011: $96 \times T_{dfck}$

1100: $128 \times T_{dfck}$

1101: $160 \times T_{dfck}$

1110: $192 \times T_{dfck}$

1111: $256 \times T_{dfck}$

Bit 3~2 CH1IM<1:0>: 通道 1 捕捉器工作模式选择位

00: 每 1 个输入信号边沿, 捕捉一次

01: 每 2 个输入信号边沿, 捕捉一次

10: 每 4 个输入信号边沿, 捕捉一次

11: 每 8 个输入信号边沿, 捕捉一次

Bit 1~0 CH1IOS<1:0>: 通道 1 输入/输出选择位 (仅在 CH1E=0, 通道 1 关闭时可写)

00: 通道 1 为输出, 则在通道 1 使能后, 通道 1 端口 T31_CH1 被设置为输出

01: 通道 1 为输入, 使用通道 1 端口 T31_CH1 作为输入

10: 通道 1 为输入, 使用通道 2 端口 T31_CH2 作为输入

11: 通道 1 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 1 需要设置为输入, CH1IOS=01 或 10。

6.4.14.24 通道 2 控制寄存器 (T31CH2C)

比较器模式

T31CH2C: 通道 2 控制寄存器 (T31CH2C)

Bit	7	6	5	4	3	2	1	0
Name	CH2COCE	CH2OM<2:0>			CH2OBE	CH2OFE	CH2IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** CH2COCE: 通道 2 比较输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)
0: 禁止
1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0
- Bit 6~4** CH2OM<2:0>: 通道 2 比较器和 PWM 工作模式选择位
000: 比较器模式, 匹配时不改变端口输出
001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH2P 位
010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH2P 位
011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
100: 比较器输出强制为 0, 通道端口输出电平取决于 CH2P 位
101: 比较器输出强制为 1, 通道端口输出电平取决于 CH2P 位
110: PWM 模式 1, 递增计数过程中, 当 T31CNT<T31CH2R 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 T31CNT>T31CH2R 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH2P 位
111: PWM 模式 2, 递增计数过程中, 当 T31CNT<T31CH2R 时, 比较器输出 0, 否则输出 1; 递减计数过程中, 当 T31CNT>T31CH2R 时, 比较器输出 1, 否则输出 0。通道端口输出电平取决于 CH2P 位
- Bit 3** CH2OBE: 通道 2 比较寄存器缓冲使能位
0: 禁止, T31CH2R 寄存器改写后的值将立即生效
1: 使能, T31CH2R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整
- Bit 2** CH2OFE: 通道 2 比较比较输出加速使能位 (仅在 PWM1 或 PWM2 模式下有效)
0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0** CH2IOS<1:0>: 通道 2 输入/输出选择位 (仅在 CH2E=0, 通道 2 关闭时可写)
00: 通道 2 为输出, 则在通道 2 使能后, 通道 2 端口 T31_CH2 被设置为输出
01: 通道 2 为输入, 使用通道 2 端口 T31_CH2 作为输入
10: 通道 2 为输入, 使用通道 1 端口 T31_CH1 作为输入
11: 通道 2 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH2IOS=00 (通道为输出模式) 时, CH2OM 和 CH2OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 2 需要设置为输出, CH2IOS=00。

捕捉器模式

T31CH2C: 通道 2 控制寄存器 (T31CH2C)

Bit	7	6	5	4	3	2	1	0
Name	CH2IFS<3:0>				CH2IM<1:0>		CH2IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 CH2IFS<3:0>: 通道 2 捕捉输入滤波时间选择位

0000: 无滤波

0001: $2 \times T_{osc}$ (T_{osc} 为系统时钟周期)

0010: $4 \times T_{osc}$

0011: $8 \times T_{osc}$

0100: $12 \times T_{dfck}$ (T_{dfck} 为数字滤波器工作时钟周期)

0101: $16 \times T_{dfck}$

0110: $24 \times T_{dfck}$

0111: $32 \times T_{dfck}$

1000: $48 \times T_{dfck}$

1001: $64 \times T_{dfck}$

1010: $80 \times T_{dfck}$

1011: $96 \times T_{dfck}$

1100: $128 \times T_{dfck}$

1101: $160 \times T_{dfck}$

1110: $192 \times T_{dfck}$

1111: $256 \times T_{dfck}$

Bit 3~2 CH2IM<1:0>: 通道 2 捕捉器工作模式选择位

00: 每 1 个输入信号边沿, 捕捉一次

01: 每 2 个输入信号边沿, 捕捉一次

10: 每 4 个输入信号边沿, 捕捉一次

11: 每 8 个输入信号边沿, 捕捉一次

Bit 1~0 CH2IOS<1:0>: 通道 2 输入/输出选择位 (仅在 CH2E=0, 通道 2 关闭时可写)

00: 通道 2 为输出, 则在通道 2 使能后, 通道 2 端口 T31_CH2 被设置为输出

01: 通道 2 为输入, 使用通道 2 端口 T31_CH2 作为输入

10: 通道 2 为输入, 使用通道 1 端口 T31_CH1 作为输入

11: 通道 2 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 2 需要设置为输入, CH2IOS=01 或 10。

6. 4. 14. 25 通道 3 控制寄存器 (T31CH3C)

比较器模式

T31CH3C: 通道 3 控制寄存器 (T31CH3C)								
Bit	7	6	5	4	3	2	1	0
Name	CH3COCE	CH3OM<2:0>			CH3OBE	CH3OFE	CH3IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** CH3COCE: 通道 3 比较器输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)
0: 禁止
1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0
- Bit 6~4** CH3OM<2:0>: 通道 3 比较器和 PWM 工作模式选择位
000: 比较器模式, 匹配时不改变端口输出
001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH3P 位
010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH3P 位
011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
100: 比较器输出强制为 0, 通道端口输出电平取决于 CH3P 位
101: 比较器输出强制为 1, 通道端口输出电平取决于 CH3P 位
110: PWM 模式 1, 递增计数过程中, 当 T31CNT<T31CH3R 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 T31CNT>T31CH3R 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH3P 位
111: PWM 模式 2, 递增计数过程中, 当 T31CNT<T31CH3R 时, 比较器输出 0, 否则输出 1; 递减计数过程中, 当 T31CNT>T31CH3R 时, 比较器输出 1, 否则输出 0。通道端口输出电平取决于 CH3P 位
- Bit 3** CH3OBE: 通道 3 比较寄存器缓冲使能位
0: 禁止, T31CH3R 寄存器改写后的值将立即生效
1: 使能, T31CH3R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整。
- Bit 2** CH3OFE: 通道 3 比较输出加速使能位 (仅 PWM1 或 PWM2 模式下有效)
0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0** CH3IOS<1:0>: 通道 3 输入/输出选择位 (仅在 CH3E=0, 通道 3 关闭时可写)
00: 通道 3 为输出, 则在通道 3 使能后, 通道 3 端口 T31_CH3 被设置为输出
01: 通道 3 为输入, 使用通道 3 端口 T31_CH3 作为输入
10: 通道 3 为输入, 使用通道 4 端口 T31_CH4 作为输入
11: 通道 3 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH3IOS=00 (通道为输出模式) 时, CH3OM 和 CH3OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 3 需要设置为输出, CH3IOS=00。

捕捉器模式

T31CH3C: 通道 3 控制寄存器 (T31CH3C)								
Bit	7	6	5	4	3	2	1	0
Name	CH3IFS<3:0>				CH3IM<1:0>		CH3IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 CH3IFS<3:0>: 通道 3 捕捉输入滤波时间选择位

0000: 无滤波

0001: $2 \times T_{osc}$ (T_{osc} 为系统时钟周期)

0010: $4 \times T_{osc}$

0011: $8 \times T_{osc}$

0100: $12 \times T_{dfck}$ (T_{dfck} 为数字滤波器工作时钟周期)

0101: $16 \times T_{dfck}$

0110: $24 \times T_{dfck}$

0111: $32 \times T_{dfck}$

1000: $48 \times T_{dfck}$

1001: $64 \times T_{dfck}$

1010: $80 \times T_{dfck}$

1011: $96 \times T_{dfck}$

1100: $128 \times T_{dfck}$

1101: $160 \times T_{dfck}$

1110: $192 \times T_{dfck}$

1111: $256 \times T_{dfck}$

Bit 3~2 CH3IM<1:0>: 通道 3 捕捉器工作模式选择位

00: 每 1 个输入信号边沿, 捕捉一次

01: 每 2 个输入信号边沿, 捕捉一次

10: 每 4 个输入信号边沿, 捕捉一次

11: 每 8 个输入信号边沿, 捕捉一次

Bit 1~0 CH3IOS<1:0>: 通道 3 输入/输出选择位 (仅在 CH3E=0, 通道 3 关闭时可写)

00: 通道 3 为输出, 则在通道 3 使能后, 通道 3 端口 T31_CH3 被设置为输出

01: 通道 3 为输入, 使用通道 3 端口 T31_CH3 作为输入

10: 通道 3 为输入, 使用通道 4 端口 T31_CH4 作为输入

11: 通道 3 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 3 需要设置为输入, CH3IOS=01 或 10。

6.4.14.26 通道 4 控制寄存器 (T31CH4C)

比较器模式

T31CH4C: 通道 4 控制寄存器 (T31CH4C)								
Bit	7	6	5	4	3	2	1	0
Name	CH4COCE	CH4OM<2:0>			CH4OBE	CH4OFE	CH4IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** CH4COCE: 通道 4 比较器输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)
0: 禁止
1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0
- Bit 6~4** CH4OM<2:0>: 通道 4 比较器和 PWM 工作模式选择位
000: 比较器模式, 匹配时不改变端口输出
001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH4P 位
010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH4P 位
011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
100: 比较器输出强制为 0, 通道端口输出电平取决于 CH4P 位
101: 比较器输出强制为 1, 通道端口输出电平取决于 CH4P 位
110: PWM 模式 1, 递增计数过程中, 当 T31CNT<T31CH4R 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 T31CNT>T31CH4R 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH4P 位
111: PWM 模式 2, 递增计数过程中, 当 T31CNT<T31CH4R 时, 比较器输出 0, 否则输出 1; 递减计数过程中, 当 T31CNT>T31CH4R 时, 比较器输出 1, 否则输出 0。通道端口输出电平取决于 CH4P 位
- Bit 3** CH4OBE: 通道 4 比较寄存器缓冲使能位
0: 禁止, T31CH4R 寄存器改写后的值将立即生效
1: 使能, T31CH4R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整
- Bit 2** CH4OFE: 通道 4 比较输出加速使能位 (仅 PWM1 或 PWM2 模式下有效)
0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0** CH4IOS<1:0>: 通道 4 输入/输出选择位 (仅在 CH4E=0, 通道 4 关闭时可写)
00: 通道 4 为输出, 则在通道 4 使能后, 通道 4 端口 T31_CH4 被设置为输出
01: 通道 4 为输入, 使用通道 4 端口 T31_CH4 作为输入
10: 通道 4 为输入, 使用通道 3 端口 T31_CH3 作为输入
11: 通道 4 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH4IOS=00 (通道为输出模式) 时, CH4OM 和 CH4OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 4 需要设置为输出, CH4IOS=00。

捕捉器模式

T31CH4C: 通道 4 控制寄存器 (T31CH4C)

Bit	7	6	5	4	3	2	1	0
Name	CH4IFS<3:0>				CH4IM<1:0>		CH4IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 CH4IFS<3:0>: 通道 4 捕捉输入滤波时间选择位

0000: 无滤波

0001: 2*Tosc (Tosc 为系统时钟周期)

0010: 4*Tosc

0011: 8*Tosc

0100: 12*Tdfck (Tdfck 为数字滤波器工作时钟周期)

0101: 16*Tdfck

0110: 24*Tdfck

0111: 32*Tdfck

1000: 48*Tdfck

1001: 64*Tdfck

1010: 80*Tdfck

1011: 96*Tdfck

1100: 128*Tdfck

1101: 160*Tdfck

1110: 192*Tdfck

1111: 256*Tdfck

Bit 3~2 CH4IM<1:0>: 通道 4 捕捉器工作模式选择位

00: 每 1 个输入信号边沿, 捕捉一次

01: 每 2 个输入信号边沿, 捕捉一次

10: 每 4 个输入信号边沿, 捕捉一次

11: 每 8 个输入信号边沿, 捕捉一次

Bit 1~0 CH4IOS<1:0>: 通道 4 输入/输出选择位 (仅在 CH4E=0, 通道 4 关闭时可写)

00: 通道 4 为输出, 则在通道 4 使能后, 通道 4 端口 T31_CH4 被设置为输出

01: 通道 4 为输入, 使用通道 4 端口 T31_CH4 作为输入

10: 通道 4 为输入, 使用通道 3 端口 T31_CH3 作为输入

11: 通道 4 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 4 需要设置为输入, CH4IOS=01 或 10。

6.4.14.27 通道端口控制寄存器低 8 位 (T31PINCL)

T31PINCL: 通道端口控制寄存器低 8 位 (T31PINCL)								
Bit	7	6	5	4	3	2	1	0
Name	CH2NP	CH2NE	CH2P	CH2E	CH1NP	CH1NE	CH1P	CH1E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

通道 2 或 1 配置为输出时:

- Bit 7 CH2NP: 通道 2 互补输出极性控制位
0: T31_CH2N 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH2N 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 6 CH2NE: 通道 2 互补输出使能位
0: 禁止, T31_CH2N 端口输出关闭
1: 使能, T31_CH2N 端口输出打开
- Bit 5 CH2P: 通道 2 输出极性控制位
0: T31_CH2 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH2 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 4 CH2E: 通道 2 输出使能位
0: 禁止, T31_CH2 端口输出关闭
1: 使能, T31_CH2 端口输出打开
- Bit 3 CH1NP: 通道 1 互补输出极性控制位
0: T31_CH1N 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH1N 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 2 CH1NE: 通道 1 互补输出使能位
0: 禁止, T31_CH1N 端口输出关闭
1: 使能, T31_CH1N 端口输出打开
- Bit 1 CH1P: 通道 1 输出极性控制位
0: T31_CH1 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH1 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 0 CH1E: 通道 1 输出使能位
0: 禁止, T31_CH1 端口输出关闭
1: 使能, T31_CH1 端口输出打开

通道 2 或 1 配置为输入时:

- Bit 7 CH2NP: 通道 2 输入极性控制位
该位需和 CH2P 一起使用来控制通道 2 输入信号的极性, 参见 CH2P 位的描述。
- Bit 6 CH2NE: 通道 2 互补输出使能位
该位在通道输入状态下无效
- Bit 5 CH2P: 通道 2 输入极性控制位
由 CH2NP/CH2P 组合控制输入信号极性:
00: 通道 2 输入不反相, 输入信号的上升沿或高电平有效
01: 通道 2 输入反相, 输入信号的下降沿或低电平有效

	10: 保留未用
	11: 通道 2 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)
Bit 4	CH2E: 通道 2 输入使能位
	0: 禁止, 无法进行捕捉
	1: 使能, 可以进行捕捉
Bit 3	CH1NP: 通道 1 输入极性控制位
	该位需和 CH1P 一起使用来控制通道 1 输入信号的极性, 参见 CH1P 位的描述。
Bit 2	CH1NE: 通道 1 互补输出使能位
	该位在通道输入状态下无效
Bit 1	CH1P: 通道 1 输入极性控制位
	由 CH1NP/CH1P 组合控制输入信号极性:
	00: 通道 1 输入不反相, 输入信号的上升沿或高电平有效
	01: 通道 1 输入反相, 输入信号的下降沿或低电平有效
	10: 保留未用
	11: 通道 1 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)
Bit 0	CH1E: 通道 1 输入使能位
	0: 禁止, 无法进行捕捉
	1: 使能, 可以进行捕捉

- 注 1: 当 T31CHBK 寄存器的 PROTS=10 或 11 (设置为保护等级 2 或 3), 且通道 2 和 1 为输出模式时, CH2NP, CH2P, CH1NP, CH1P 位将不能被改写;
- 注 2: 通道 2 输入取决于 T31CH2C 寄存器的 CH2IOS 位的设置, 当 CH2IOS=01 时, 为通道 2 端口的输入, 当 CH2IOS=10 时, 为通道 1 端口的输入;
- 注 3: 通道 1 输入取决于 T31CH1C 寄存器的 CH1IOS 位的设置, 当 CH1IOS=01 时, 为通道 1 端口的输入, 当 CH1IOS=10 时, 为通道 2 端口的输入;
- 注 4: 通道 2 输出端口 T31_CH2 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS2, CH2E 和 CH2NE 的控制;
- 注 5: 通道 2 互补输出端口 T31_CH2N 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS2N, CH2E 和 CH2NE 的控制;
- 注 6: 通道 1 输出端口 T31_CH1 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS1, CH1E 和 CH1NE 的控制;
- 注 7: 通道 1 互补输出端口 T31_CH1N 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS1N, CH1E 和 CH1NE 的控制;
- 注 8: CHnNP 和 CHnP 对通道端口输出极性的控制仅在 CHOE=1 时有效。

6. 4. 14. 28 通道端口控制寄存器高 8 位 (T31PINCH)

T31PINCH: 通道端口控制寄存器高 8 位 (T31PINCH)

Bit	7	6	5	4	3	2	1	0
Name	CH4NP	—	CH4P	CH4E	CH3NP	CH3NE	CH3P	CH3E
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

通道 4 或 3 配置为输出时:

- Bit 7 CH4NP: 通道 4 输入极性控制位
该位在通道输出状态下无效
- Bit 6 未使用, 需软件固定设置为 0
- Bit 5 CH4P: 通道 4 输出极性控制位
0: T31_CH4 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH4 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 4 CH4E: 通道 4 输出使能位
0: 禁止, T31_CH4 端口输出关闭
1: 使能, T31_CH4 端口输出打开
- Bit 3 CH3NP: 通道 3 互补输出极性控制位
0: T31_CH3N 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH3N 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 2 CH3NE: 通道 3 互补输出使能位
0: 禁止, T31_CH3N 端口输出关闭
1: 使能, T31_CH3N 端口输出打开
- Bit 1 CH3P: 通道 3 输出极性控制位
0: T31_CH3 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH3 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 0 CH3E: 通道 3 输出使能位
0: 禁止, T31_CH3 端口输出关闭
1: 使能, T31_CH3 端口输出打开

通道 4 或 3 配置为输入时:

- Bit 7 CH4NP: 通道 4 输入极性控制位
该位需和 CH4P 一起使用来控制通道 4 输入信号的极性, 参见 CH4P 位的描述。
- Bit 6 未使用, 需软件固定设置为 0
- Bit 5 CH4P: 通道 4 输入极性控制位
由 CH4NP/CH4P 组合控制输入信号极性:
00: 通道 4 输入不反相, 输入信号的上升沿或高电平有效
01: 通道 4 输入反相, 输入信号的下降沿或低电平有效
10: 保留未用
11: 通道 4 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)
- Bit 4 CH4E: 通道 4 输入使能位
0: 禁止, 无法进行捕捉
1: 使能, 可以进行捕捉

Bit 3	CH3NP: 通道 3 输入极性控制位 该位需和 CH3P 一起使用来控制通道 3 输入信号的极性, 参见 CH3P 位的描述。
Bit 2	CH3NE: 通道 3 互补输出使能位 该位在通道输入状态下无效
Bit 1	CH3P: 通道 3 输入极性控制位 由 CH3NP/CH3P 组合控制输入信号极性: 00: 通道 3 输入不反相, 输入信号的上升沿或高电平有效 01: 通道 3 输入反相, 输入信号的下降沿或低电平有效 10: 保留未用 11: 通道 3 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)
Bit 0	CH3E: 通道 3 输入使能位 0: 禁止, 无法进行捕捉 1: 使能, 可以进行捕捉

- 注 1: 当 T31CHBK 寄存器的 PROTS=10 或 11 (设置为保护等级 2 或 3), 且通道 4 和 3 为输出模式时, CH4P, CH3NP, CH3P 位将不能被改写;
- 注 2: 通道 4 输入取决于 T31CH4C 寄存器的 CH4IOS 位的设置, 当 CH4IOS=01 时, 为通道 4 端口的输入, 当 CH4IOS=10 时, 为通道 3 端口的输入;
- 注 3: 通道 3 输入取决于 T31CH3C 寄存器的 CH3IOS 位的设置, 当 CH3IOS=01 时, 为通道 3 端口的输入, 当 CH3IOS=10 时, 为通道 4 端口的输入;
- 注 4: 通道 4 输出端口 T31_CH4 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS4 和 CH4E 的控制;
- 注 5: 通道 3 输出端口 T31_CH3 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS3, CH3E 和 CH3NE 的控制;
- 注 6: 通道 3 互补输出端口 T31_CH3N 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS3N, CH3E 和 CH3NE 的控制;
- 注 7: CHnNP 和 CHnP 对通道端口输出极性的控制仅在 CHOE=1 时有效。

6.4.14.29 通道输出关断控制寄存器 (T31CHBK)

T31CHBK: 通道输出关断控制寄存器 (T31CHBK)								
Bit	7	6	5	4	3	2	1	0
Name	CHOE	AROE	BKPS	BKE	ROFFS	NOFFS	PROTS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** **CHOE:** 通道输出状态使能总控制位
- 0: 输出关断, 通道端口为空闲模式。当 **NOFFS=1** 时, 各通道输出和互补输出均被强制为空闲状态, 如果设置了死区延时, 则是经过死区延时后再进入空闲状态; 当 **NOFFS=0** 时, 各通道输出和互补输出均被禁止。
- 1: 输出使能, 通道端口为运行模式, 各通道输出和互补输出为有效或无效状态, 具体状态取决于 **CHnE**, **CHnNE** 和 **ROFFS** 位。
- 一旦关断输入有效, 该位会立即由硬件异步清零。该位可由软件置 1 或在关断事件撤消后自动置 1, 由 **AROE** 位进行控制。
- Bit 6** **AROE:** 通道自动恢复使能位
- 0: 禁止, 需软件重新设置 **CHOE** 位
- 1: 使能, 关断事件撤消后, 发生下一次更新事件时, **CHOE** 位自动恢复置 1
- Bit 5** **BKPS:** 关断输入极性选择位
- 0: 低有效
- 1: 高有效
- Bit 4** **BKE:** 关断使能位
- 0: 禁止
- 1: 使能
- Bit 3** **ROFFS:** 运行模式下的无效状态选择位 (仅在 **CHOE=1** 时有效)
- 0: 通道输出使能位 **CHnE** 或 **CHnNE** 为 0 时, 对应的通道端口输出禁止
- 1: 通道输出使能位 **CHnE** 和 **CHnNE** 只有一位为 0 时, 则使能位为 0 的对应通道端口输出无效状态电平, 两位均为 0 时, 通道端口输出禁止
- Bit 2** **NOFFS:** 空闲模式下的空闲状态选择位 (仅在 **CHOE=0** 时有效)
- 0: 所有的通道端口 **T31_CHn/T31_CHnN** 输出禁止
- 1: 通道输出使能位 **CHnE** 和 **CHnNE** 只有一位为 0 时, 则通道端口 **T31_CHn** 和 **T31_CHnN** 均输出空闲状态电平, 两位均为 0 时, 通道端口输出禁止
- Bit 1~0** **PROTS<1:0>:** 写保护等级选择位
- 00: 关闭写保护, 软件可正常写寄存器位
- 01: 写保护等级 1: **T31DLYT** 寄存器, **T31C1H** 寄存器的 **ONS_n** 和 **ONS_{nN}** 和 **T31CHBK** 寄存器的 **BKE**, **BKPS** 和 **AROE** 不再可写
- 10: 写保护等级 2: 除了受写保护等级 1 所保护的寄存器位以外, 还有如下寄存器位也不再可写: **T31PINC** 寄存器的 **CHnP** 和 **CHnNP** 位 (只对输出通道的极性控制位提供写保护), 以及 **ROFFS** 和 **NOFFS** 位
- 11: 写保护等级 3: 除了受写保护等级 2 所保护的寄存器位以外, 还有如下寄存器位也不再可写: **T31CHnC** 寄存器的 **CHnOM** 和 **CHnOBE** 位 (只对输出通道的工作模式和比较寄存器缓冲控制位提供写保护)

注: 芯片复位后, **T31CHBK** 寄存器的 **PROTS** 位只能软件写一次, 所以必须先设置好受写保护的寄存器位, 再写 **PROTS** 位, 设置对应的写保护等级。

6.4.14.30 软件触发事件寄存器 (T31EVG)

T31EVG: 软件触发事件寄存器 (T31EVG)								
Bit	7	6	5	4	3	2	1	0
Name	BKT	TRGT	CHUT	CH4T	CH3T	CH2T	CH1T	UPT
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7 BKT: 关断事件触发位
0: 无效
1: 软件触发一次关断事件, 产生关断中断 BKIF, 该位由硬件自动清 0
- Bit 6 TRGT: 触发事件生成位
0: 无效
1: 软件产生一次触发事件, 产生触发中断 TRGIF, 该位由硬件自动清 0
- Bit 5 CHUT: 互补通道更新事件触发位 (仅对互补输出通道有效)
0: 无效
1: 软件触发一次互补通道更新事件, 产生互补通道更新中断 CHUIF, 该位由硬件自动清 0
- Bit 4 CH4T: 通道 4 捕捉/比较匹配事件触发位
0: 无效
1: 软件触发一次通道 4 的捕捉/比较匹配事件, 产生多功能中断 MIF4 或捕捉溢出中断 OVIF4, 该位由硬件自动清 0
- Bit 3 CH3T: 通道 3 捕捉/比较匹配事件触发位
0: 无效
1: 软件触发一次通道 3 的捕捉/比较匹配事件, 产生多功能中断 MIF3 或捕捉溢出中断 OVIF3, 该位由硬件自动清 0
- Bit 2 CH2T: 通道 2 捕捉/比较匹配事件触发位
0: 无效
1: 软件触发一次通道 2 的捕捉/比较匹配事件, 产生多功能中断 MIF2 或捕捉溢出中断 OVIF2, 该位由硬件自动清 0
- Bit 1 CH1T: 通道 1 捕捉/比较匹配事件触发位
0: 无效
1: 软件触发一次通道 1 的捕捉/比较匹配事件, 产生多功能中断 MIF1 或捕捉溢出中断 OVIF1, 该位由硬件自动清 0
- Bit 0 UPT: 更新事件触发位
0: 无效
1: 软件触发一次重新事件, 产生更新中断 UPIF, 该位由硬件自动清 0。更新事件触发后, 效果与复位模式下发生触发事件相同, 计数器和预分频器被重新初始化, 预分频计数器会被清零 (预分频比不受影响), 递增计数时计数器也会被清零, 递减计数时, 计数器会重载计数寄存器的值。同时如果 T31C0L 寄存器的 UES=0, 还会使所有的可重载寄存器 (T31CNTLD, T31CHnR) 都被重载初始化。

6.4.14.31 中断使能控制寄存器低 8 位 (T31IEL)

T31IEL: 中断使能控制寄存器低 8 位 (T31IEL)

Bit	7	6	5	4	3	2	1	0
Name	BKIE	TRGIE	CHUIE	MIE4	MIE3	MIE2	MIE1	UPIE
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7 BKIE: 关断中断使能位

0: 禁止

1: 使能

Bit 6 TRGIE: 触发中断使能位

0: 禁止

1: 使能

Bit 5 CHUIE: 互补通道更新中断使能位

0: 禁止

1: 使能

Bit 4 MIE4: 通道 4 多功能中断使能位

0: 禁止

1: 使能

Bit 3 MIE3: 通道 3 多功能中断使能位

0: 禁止

1: 使能

Bit 2 MIE2: 通道 2 多功能中断使能位

0: 禁止

1: 使能

Bit 1 MIE1: 通道 1 多功能中断使能位

0: 禁止

1: 使能

Bit 0 UPIE: 更新中断使能位

0: 禁止

1: 使能

注: 通道 n 发生捕捉或比较匹配时, 均会置起该通道的多功能中断标志 MIFn, 如果该通道的多功能中断使能位 MIE_n=1, 则会产生对应的多功能中断请求。

6.4.14.32 中断使能控制寄存器高 8 位 (T31IEH)

T31IEH: 中断使能控制寄存器高 8 位 (T31IEH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIE4	OVIE3	OVIE2	OVIE1	—
R/W	—	—	—	W	W	W	W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVIE4: 通道 4 捕捉溢出中断使能位
0: 禁止
1: 使能
- Bit 3 OVIE3: 通道 3 捕捉溢出中断使能位
0: 禁止
1: 使能
- Bit 2 OVIE2: 通道 2 捕捉溢出中断使能位
0: 禁止
1: 使能
- Bit 1 OVIE1: 通道 1 捕捉溢出中断使能位
0: 禁止
1: 使能
- Bit 0 未使用, 需软件固定设置为 0

注: 当某个中断的中断使能位与中断禁止位均写 1 时, 后写入的位有效, 例如先写 OVIE1=1, 再写 OVID1=1 时, 实际是禁止通道 1 捕捉溢出中断, 反之则是使能通道 1 捕捉溢出中断。

6.4.14.33 中断禁止寄存器低 8 位 (T31IDL)

T31IDL: 中断禁止寄存器低 8 位 (T31IDL)								
Bit	7	6	5	4	3	2	1	0
Name	BKID	TRGID	CHUID	MID4	MID3	MID2	MID1	UPID
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7 BKID: 关断中断禁止位
0: 无效
1: 禁止
- Bit 6 TRGID: 触发中断禁止位
0: 无效
1: 禁止
- Bit 5 CHUID: 互补通道更新中断禁止位
0: 无效
1: 禁止
- Bit 4 MID4: 通道 4 多功能中断禁止位
0: 无效
1: 禁止

- Bit 3 MID3: 通道 3 多功能中断禁止位
 0: 无效
 1: 禁止
- Bit 2 MID2: 通道 2 多功能中断禁止位
 0: 无效
 1: 禁止
- Bit 1 MID1: 通道 1 多功能中断禁止位
 0: 无效
 1: 禁止
- Bit 0 UPID: 更新中断禁止位
 0: 无效
 1: 禁止

6. 4. 14. 34 中断禁止寄存器高 8 位 (T31IDH)

T31IDH: 中断禁止寄存器高 8 位 (T31IDH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVID4	OVID3	OVID2	OVID1	—
R/W	—	—	—	W	W	W	W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVID4: 通道 4 捕捉溢出中断禁止位
 0: 无效
 1: 禁止
- Bit 3 OVID3: 通道 3 捕捉溢出中断禁止位
 0: 无效
 1: 禁止
- Bit 2 OVID2: 通道 2 捕捉溢出中断禁止位
 0: 无效
 1: 禁止
- Bit 1 OVID1: 通道 1 捕捉溢出中断禁止位
 0: 无效
 1: 禁止
- Bit 0 未使用, 需软件固定设置为 0

注: 当某个中断的中断使能位与中断禁止位均写 1 时, 后写入的位有效, 例如先写 OVIE1=1, 再写 OVID1 =1 时, 实际是禁止通道 1 捕捉溢出中断, 反之则是使能通道 1 捕捉溢出中断。

6. 4. 14. 35 中断使能状态寄存器低 8 位 (T31IVSL)

T31IVSL: 中断使能状态寄存器低 8 位 (T31IVSL)								
Bit	7	6	5	4	3	2	1	0
Name	BKIS	TRGIS	CHUIS	MIS4	MIS3	MIS2	MIS1	UPIS
R/W	R	R	R	R	R	R	R	R

POR	0	0	0	0	0	0	0	0
Bit 7	BKIS: 关断中断使能状态位 0: 禁止 1: 使能							
Bit 6	TRGIS: 触发中断使能状态位 0: 禁止 1: 使能							
Bit 5	CHUIS: 互补通道更新中断使能状态位 0: 禁止 1: 使能							
Bit 4	MIS4: 通道 4 捕捉中断/比较匹配中断使能状态位 0: 禁止 1: 使能							
Bit 3	MIS3: 通道 3 捕捉中断/比较匹配中断使能状态位 0: 禁止 1: 使能							
Bit 2	MIS2: 通道 2 捕捉中断/比较匹配中断使能状态位 0: 禁止 1: 使能							
Bit 1	MIS1: 通道 1 捕捉中断/比较匹配中断使能状态位 0: 禁止 1: 使能							
Bit 0	UPIS: 更新中断使能状态位 0: 禁止 1: 使能							

6. 4. 14. 36 中断使能状态寄存器高 8 位 (T31IVSH)

T31IVSH: 中断使能状态寄存器高 8 位 (T31IVSH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIS4	OVIS3	OVIS2	OVIS1	—
R/W	—	—	—	R	R	R	R	—
POR	0	0	0	0	0	0	0	0

Bit 7~5	未使用, 需软件固定设置为 0							
Bit 4	OVIS4: 通道 4 捕捉溢出中断使能状态位 0: 禁止 1: 使能							
Bit 3	OVIS3: 通道 3 捕捉溢出中断使能状态位 0: 禁止 1: 使能							
Bit 2	OVIS2: 通道 2 捕捉溢出中断使能状态位 0: 禁止 1: 使能							
Bit 1	OVIS1: 通道 1 捕捉溢出中断使能状态位							

0: 禁止
1: 使能

Bit 0 未使用，需软件固定设置为 0

注：通过设置寄存器 T31IE 和 T31ID，来配置寄存器 T31IVS 的中断有效状态位。当寄存器 T31IE 和 T31ID 中的对应位均为 1 时，后写入的位有效，例如先写 OVIE1=1，再写 OVID1=1 时，实际是禁止通道 1 捕捉溢出中断，则相应的 OVIS1=0，反之则 OVIS1=1。

6.4.14.37 中断标志寄存器低 8 位 (T31IFL)

T31IFL: 中断标志寄存器低 8 位 (T31IFL)								
Bit	7	6	5	4	3	2	1	0
Name	BKIF	TRGIF	CHUIF	MIF4	MIF3	MIF2	MIF1	UPIF
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 BKIF: 关断中断标志位
0: 未发生关断事件
1: 发生关断事件，关断事件撤消后，写 T31ICRL 寄存器对应的清中断位清 0
- Bit 6 TRGIF: 外部触发中断标志位
0: 未发生触发事件
1: 发生触发事件，写 T31ICRL 寄存器对应的清中断位清 0
- Bit 5 CHUIF: 互补通道更新中断标志位
0: 未发生互补通道更新事件
1: 发生互补通道更新事件，写 T31ICRL 寄存器对应的清中断位清 0
- Bit 4 MIF4: 通道 4 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件，写 T31ICRL 寄存器对应的清中断位清 0，发生捕捉时，还可以通过读取 T31CH4R 寄存器来清 0
- Bit 3 MIF3: 通道 3 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件，写 T31ICRL 寄存器对应的清中断位清 0，发生捕捉时，还可以通过读取 T31CH3R 寄存器来清 0
- Bit 2 MIF2: 通道 2 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件，写 T31ICRL 寄存器对应的清中断位清 0，发生捕捉时，还可以通过读取 T31CH2R 寄存器来清 0
- Bit 1 MIF1: 通道 1 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件，写 T31ICRL 寄存器对应的清中断位清 0，发生捕捉时，还可以通过读取 T31CH1R 寄存器来清 0
- Bit 0 UPIF: 更新中断标志位

- 0: 未发生更新事件
1: 发生更新事件, 写 T31ICRL 寄存器对应的清中断位清 0

注: 通道 n 发生捕捉或比较匹配时, 均会置起该通道的多功能中断标志 MIFn, 如果该通道的多功能中断使能位 MIEn=1, 则会产生对应的多功能中断请求。

6. 4. 14. 38 中断标志寄存器高 8 位 (T31IFH)

T31IFH: 中断标志寄存器高 8 位 (T31IFH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIF4	OVIF3	OVIF2	OVIF1	—
R/W	—	—	—	R	R	R	R	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVIF4: 通道 4 捕捉溢出中断标志位
0: 未发生捕捉溢出
1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 3 OVIF3: 通道 3 捕捉溢出中断标志位
0: 未发生捕捉溢出
1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 2 OVIF2: 通道 2 捕捉溢出中断标志位
0: 未发生捕捉溢出
1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 1 OVIF1: 通道 1 捕捉溢出中断标志位
0: 未发生捕捉溢出
1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 0 未使用, 需软件固定设置为 0

6. 4. 14. 39 中断请求状态寄存器低 8 位 (T31IFML)

T31IFML: 中断请求状态寄存器低 8 位 (T31IFML)								
Bit	7	6	5	4	3	2	1	0
Name	BKIM	TRGIM	CHUIM	MIM4	MIM3	MIM2	MIM1	UPIM
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 BKIM: 关断中断请求状态位
0: 无中断请求
1: 有中断请求,
- Bit 6 TRGIM: 触发中断请求状态位
0: 无中断请求
1: 有中断请求
- Bit 5 CHUIM: 互补通道更新中断请求状态位
0: 无中断请求
1: 有中断请求

Bit 4	MIM4: 通道 4 多功能中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 3	MIM3: 通道 3 多功能中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 2	MIM2: 通道 2 多功能中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 1	MIM1: 通道 1 多功能中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 0	UPIM: 更新中断请求状态位 0: 无中断请求 1: 有中断请求

6. 4. 14. 40 中断请求状态寄存器高 8 位 (T31IFMH)

T31IFMH: 中断请求状态寄存器高 8 位 (T31IFMH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIM4	OVIM3	OVIM2	OVIM1	—
R/W	—	—	—	R	R	R	R	—
POR	0	0	0	0	0	0	0	0

Bit 7~5	未使用, 需软件固定设置为 0
Bit 4	OVIM4: 通道 4 捕捉溢出中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 3	OVIM3: 通道 3 捕捉溢出中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 2	OVIM2: 通道 2 捕捉溢出中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 1	OVIM1: 通道 1 捕捉溢出中断请求状态位 0: 无中断请求 1: 有中断请求
Bit 0	未使用, 需软件固定设置为 0

注: 寄存器 T31IFM 中的状态位, 为 0 表示无中断请求, 此时对应的中断标志位和中断使能位, 至少有一个为 0; 为 1 表示有中断请求, 此时对应的中断标志位和中断使能位均为 1, 并会同时置起 T31 总中断标志 T31IF。

6.4.14.41 中断清 0 寄存器低 8 位 (T31ICRL)

T31ICRL: 中断清 0 寄存器低 8 位 (T31ICRL)								
Bit	7	6	5	4	3	2	1	0
Name	BKIC	TRGIC	CHUIC	MIC4	MIC3	MIC2	MIC1	UPIC
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7 BKIC: 关断中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 6 TRGIC: 触发中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 5 CHUIC: 互补通道更新中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 4 MIC4: 通道 4 多功能中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 3 MIC3: 通道 3 多功能中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 2 MIC2: 通道 2 多功能中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 1 MIC1: 通道 1 多功能中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 0 UPIC: 更新中断清 0 位
0: 无效
1: 中断标志清 0

6.4.14.42 中断清 0 寄存器高 8 位 (T31ICRH)

T31ICRH: 中断清 0 寄存器高 8 位 (T31ICRH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIC4	OVIC3	OVIC2	OVIC1	—
R/W	—	—	—	W	W	W	W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVIC4: 通道 4 捕捉溢出中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 3 OVIC3: 通道 3 捕捉溢出中断清 0 位

	0: 无效
	1: 中断标志清 0
Bit 2	OVIC2: 通道 2 捕捉溢出中断清 0 位
	0: 无效
	1: 中断标志清 0
Bit 1	OVIC1: 通道 1 捕捉溢出中断清 0 位
	0: 无效
	1: 中断标志清 0
Bit 0	未使用，需软件固定设置为 0

6.5.1 概述

- ◇ 支持两种工作模式
 - 异步接收器
 - 异步发送器
- ◇ 传输波特率配置
 - 高速模式
 - 低速模式
 - 支持 8/9 位传输数据格式，约定数据从最低位开始接收/发送
 - 支持内置波特率发送器，支持 4 位小数波特率和 8 位整数波特率
- ◇ 支持全双工模式
- ◇ 支持单/双线通讯模式
- ◇ 支持接收/发送端口互换
- ◇ UARTn 支持以下功能组件
 - 接收数据寄存器（RXnB）
 - 接收控制寄存器（RXnC）
 - 发送数据寄存器（TXnB）
 - 发送控制寄存器（TXnC）
 - 发送移位寄存器（TXnR）（无实际物理地址，不可读写）
 - 波特率寄存器（BRnR）
- ◇ 中断和暂停
 - 支持接收中断标志（RXnIF，只可读）
 - 支持发送中断标志（TXnIF，只可读）
 - 支持中断处理
 - 在 IDLE 模式下，暂停接收和发送
- ◇ 兼容 RS-232/RS-442/RS-485 的通讯接口

The diagram illustrates the TX module's internal structure. It begins with the **BRR** (Baud Rate Register) which feeds into the **波特率发生器** (Baud Rate Generator). This generator is controlled by **BRGH** and **TXEN** signals. The output of the generator goes to the **STOP** bit of the **TXR** (Transmit Register). The **TXR** is an 8-bit register containing **bit8** through **bit0**. **TXM** and **TXR8** signals are inputs to an AND gate that controls the **bit8** output. The **TXB** (Transmit Buffer) feeds into the **bit4** of the **TXR**. The **TXR** register outputs to the **START** bit, which then feeds into the **输出控制** (Output Control) block. The **输出控制** block is controlled by **TRMT** and **TXEN** signals and drives the **TX** pin. The **TXB** also has a direct output to the **TXIF** (Transmit Interrupt Flag) when it is empty.

图 6-35 UART 发送端原理图

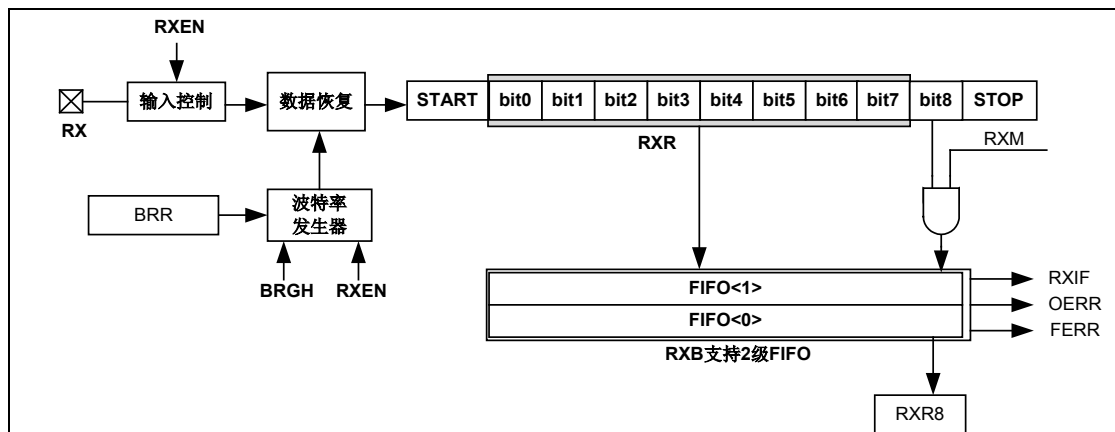


图 6-36 UART 接收端原理图

6.5.3 波特率配置

UARTn 自身具有一个波特率发生器，通过它可以设定数据传输速率。当小数波特率去抖使能位 $BJTnEN=0$ 时，波特率的设置是由 8 位整数位 $BRnR<7:0>$ 寄存器决定；当小数波特率去抖使能位 $BJTnEN=1$ 时，波特率的设置是由 8 位整数位 $BRnR<7:0>$ 寄存器，和 4 位小数位 $BRnFRA<3:0>$ 寄存器共同决定。例如：已知 $Fosc$ 和波特率，可以计数出 $BRRDIV$ 的具体值，是一个带小数的浮点数，整数部分直接转换成 16 进制数写入 $BRnR<7:0>$ 寄存器，小数部分乘以 16 得到值（如果是一个带小数的值，则采用四舍五入去除小数部分），整数部分再转为 16 进制数写入 $BRnFRA<3:0>$ 寄存器。

$BRGHn$ 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。

波特率	计算公式	$BRGHn$	$BJTnEN$
低速模式	$Fosc/(64 \times (BRnR<7:0>+1))$	0	0
	$Fosc/(64 \times BRRDIV)$	0	1
高速模式	$Fosc/(16 \times (BRnR<7:0>+1))$	1	0
	$Fosc/(16 \times BRRDIV)$	1	1

表 6-5 UARTn 波特率配置表

6.5.4 传输数据格式

UARTn 的传输数据格式有两种选择，8 位或 9 位。接收 9 位数据时，读取 $RXnC$ 寄存器中的 $RXnR8$ 位可以得到接收的第 9 位数据。发送 9 位数据时，可通过 $TXnC$ 寄存器中的 $TXnR8$ 位设置将要发送的第 9 位数据。

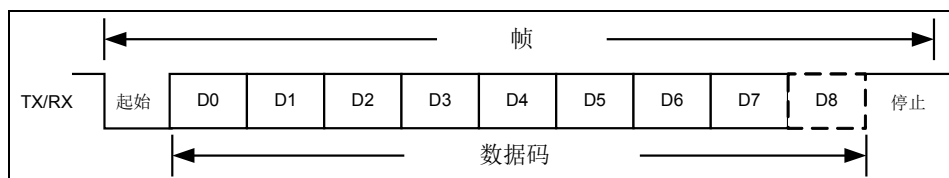


图 6-37 UARTn 数据格式示意图

6.5.5 异步发送器

异步发送器发送数据时，起始位（START）和结束位（STOP）由芯片内部产生，用户只

需要使能异步发送器，并将所要发送的数据写入 TXnB 和 TXnR8 内，就能实现异步发送，异步发送器还可以实现数据连续发送。

在发送数据时，必须先使能异步发送器，再写发送数据寄存器 TXnB，否则写入的发送数据无效；如果是 9 位数据格式，则需在使能异步发送器后，先写第 9 位数据 TXnR8，再写 TXnB，否则第 9 位数据可能会发送错误。

支持 1 级发送移位寄存器 TXnR（该寄存器用户不可访问），在数据发送时，硬件电路将发送数据寄存器 TXnB 和 TXnR8 中的数据，先传输到发送移位寄存器，再通过发送端口 TXn 进行数据发送。发送移位寄存器 TXnR 为空时，会置起空标志位 TRMTn，再次写入发送数据时，会清零 TRMTn。禁止异步发送（TXnEN=0）时，也会置起空标志位 TRMTn。

当前数据发送完毕后，中断标志位 TXnIF 被置“1”。如果发送中断使能位 TXnIE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 UART 发送中断请求。中断标志位 TXnIF 为只读，不可软件清零，在空标志位 TRMTn=0 时，写发送数据寄存器 TXnB，或禁止异步发送（TXnEN=0）时，可清零 TXnIF。使能异步发送（TXnEN=1）时，在首个数据发送前，也会置起发送中断标志位 TXnIF，第一次写发送数据寄存器 TXnB 后，该数据自动传输至移位寄存器 TXnR，并清零 TRMTn，但不清零 TXnIF，第二次写 TXnB 时，才会清零 TXnIF。

在发送数据时，用户可以通过查询发送移位寄存器空标志位 TRMTn 或发送中断标志位 TXnIF，判断数据是否发送完毕，当 TRMTn=1 或 TXnIF=1 时，可以写入下一个待发送数据；也可以在发送中断服务程序中，写入下一个待发送数据，实现数据的连续发送。

由于 UART 发送器发送端口 TXn 与 I/O 端口复用，在使用 UART 发送端口前，需首先设置所复用的 I/O 端口处于输出状态，并输出高电平。

通过查询空标志位 TRMTn，进行数据发送的操作流程图如下：

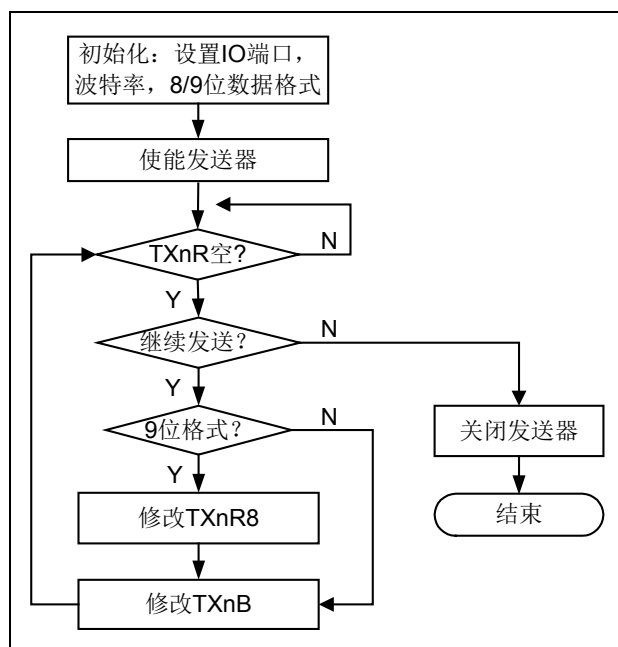


图 6-38 UARTn 发送器操作流程

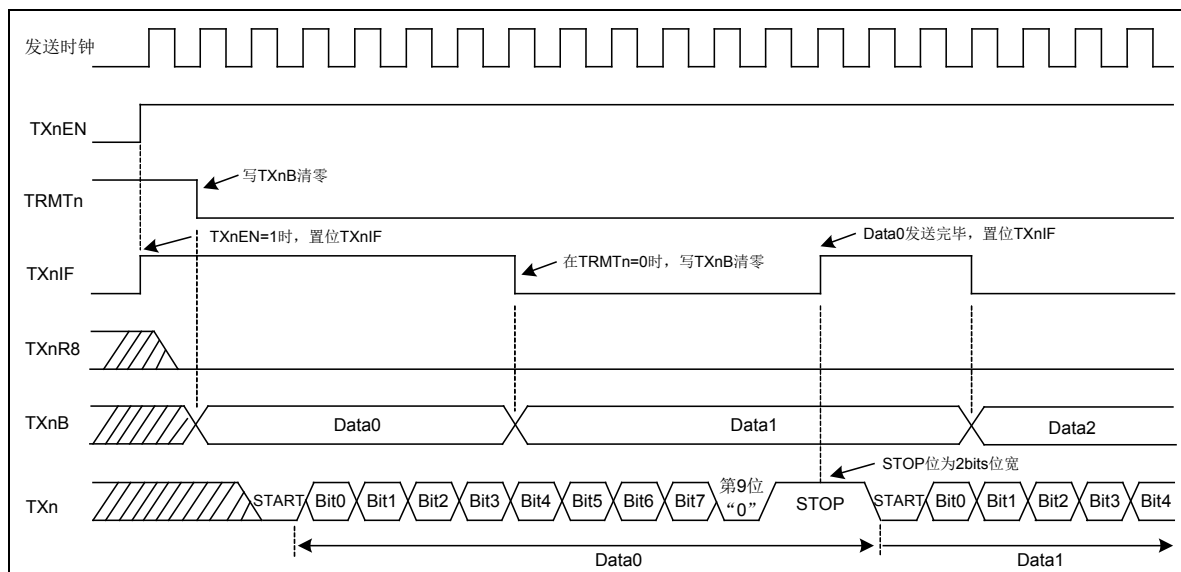


图 6-39 UARTn 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）

6.5.6 异步接收器

异步接收器接收数据时，用户可以查询 $RXnIF$ 中断标志位，来判断是否收到完整的一帧数据，并通过读取接收数据寄存器 $RXnB$ 和 $RXnR8$ 获得数据，也可以在接收中断服务程序中，读取数据。芯片内部提供 2 级 9 位 FIFO 作为接收数据缓冲区（该数据缓冲区用户不可直接访问，需读取 $RXnB$ 来获得缓冲区中的数据），若用户在第 3 个数据接收完毕前，未读取 $RXnB$ ，则溢出标志位 $OERRn$ 将置 1。在一帧数据结束时，如果异步接收器没有接收到结束位 STOP，则帧格式错误标志位 $FERRn$ 将置 1。

当前数据接收完毕后，中断标志位 $RXnIF$ 被置“1”。如果接收中断使能位 $RXnIE$ 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 UART 接收中断请求。中断标志位 $RXnIF$ 为只读，不可软件清零，读取接收数据寄存器 $RXnB$ ，或禁止异步接收（ $RXnEN=0$ ）时，可清零 $RXnIF$ 。

由于 UART 接收器接收端口 RXn 与 I/O 端口复用，在使用 UART 接收端口前，需首先设置所复用的 I/O 端口处于输入状态。

通过查询中断标志位 $RXnIF$ ，进行数据接收的操作流程图如下：

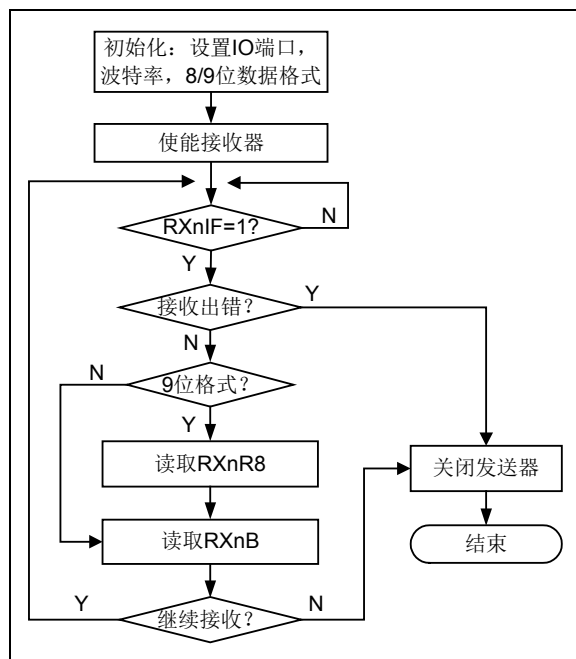


图 6-40 UARTn 接收器操作流程

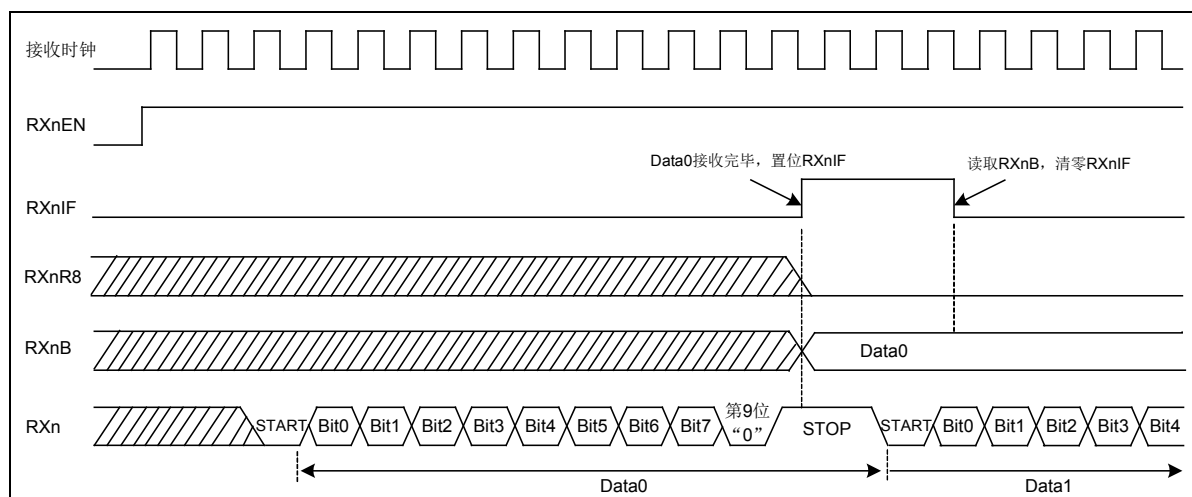


图 6-41 UARTn 接收器接收数据时序图（9 位数据格式）

6.5.7 UARTn单/双线通信端口

设置 UARTnIOS (RXnC<3>) 寄存器, 可选择 UARTn 是双线通信还是单线分时通信, 当设置为 0 时, 为双线通信端口; 当设置为 1 时, 为单线通讯端口, 分时发送/接收, 此时, 需要用户软件进行 RXnEN 和 TXnEN 的设置, 以及相应的输入/输出控制寄存器的设置。

6.5.8 UARTn发送/接收端口互换

设置 RX2TXEN (RXnC<4>) 寄存器, 可控制 UARTn 的发送和接收端口互换, 当设置为 0 时, UART0 的通讯端口为 (PA1/TX0, PA2/RX0), UART1 的通讯端口为 (PC1/TX1, PA5/RX1) 或者 UART1 (PB5/TX1, PB6/RX1); 当设置为 1 时, UART0 的通讯端口互换为 (PA2/TX0, PA1/RX0), UART1 的通讯端口互换为 (PA5/TX1, PC1/RX1) 或者 UART1 (PB6/TX1, PB5/RX1)。

UART1 支持 2 组通讯端口, 当寄存器 UART1SEL(PORTCTR<7>) 为 0 时, 选择 PB5/PB6

作为通讯端口；当寄存器 UART1SEL (PORTCTR<7>) 为 1 时，选择 PC1/PA5 作为通讯端口。

6.5.9 UARTn使用注意事项

在 UART 模块使能前，首先要设置复用的 I/O 端口为数字端口，并将 TX 管脚设置为输出口，RX 管脚设置为输入口，才能保证在 UART 模块使能后，成功进行数据的发送或接收。另外，程序中不建议用户频繁切换 TX 和 RX 管脚的输入/输出类型。

UART 传输波特率小于 38400bps 时，常温条件下波特率冗余度约为 $\pm 3\%$ ，如果外部设备的 UART 传输波特率相对于本芯片设置的波特率偏差在 $\pm 3\%$ 以内，本芯片均可正常进行 UART 数据传输；高低温条件下因内部 INTHRC 时钟频率偏差，UART 波特率冗余度约为 $\pm 2\%$ 。

6.5.10 特殊功能寄存器

6.5.10.1 UARTn整数位波特率寄存器 (BR0R/BR1R)

BRnR: UARTn 波特率寄存器 (BR0R/BR1R)								
Bit	7	6	5	4	3	2	1	0
Name	BRnR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 BRnR<7:0>: UARTn 波特率设置, 00_H~FF_H

6.5.10.2 UARTn小数位波特率寄存器 (BR0FRA/BR1FRA)

BRnFRA: UARTn 波特率寄存器 (BR0FRA/BR1FRA)								
Bit	7	6	5	4	3	2	1	0
Name					BRnFRA<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 BRnFRA<3:0>: UARTn 小数位波特率设置, 0_H~F_H

6.5.10.3 UARTn接收数据寄存器 (RX0B/RX1B)

RXnB: UARTn 接收数据寄存器 (RX0B/RX1B)								
Bit	7	6	5	4	3	2	1	0
Name	RXnB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 RXnB<7:0>: UARTn 接收到的数据

6. 5. 10. 4 UARTn接收控制/状态寄存器 (RX0C/RX1C)

RXnC: UARTn 接收控制/状态寄存器 (RX0C/RX1C)								
Bit	7	6	5	4	3	2	1	0
Name	RXnEN	RXnLEN	BJTnEN	RX2TXEN	RXnIOS	OERRn	FERRn	RXnR8
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 RXnEN: 接收器使能位
0: 禁止
1: 使能
- Bit 6 RXnLEN: 接收器数据格式选择位
0: 8 位数据接收格式
1: 9 位数据接收格式
- Bit 5 BJTnEN: 波特率去抖使能位
0: 禁止
1: 使能
- bit4 RX2TXEN: 接收和发送端口互换使能位 (必须在双线通信模式下)
0: 禁止, UART0 (PA1/TX0, PA2/RX0), UART1 (PC1/TX1, PA5/RX1) 或者 UART1 (PB5/TX1, PB6/RX1)
1: 使能, UART0 (PA2/TX0, PA1/RX0), UART1 (PA5/TX1, PC1/RX1) 或者 UART1 (PB6/TX1, PB5/RX1)
- bit3 RXnIOS: UART 通信端口模式选择位
0: 双线通信模式, UART0 (PA1/TX0, PA2/RX0), UART1 (PC1/TX1, PA5/RX1) 或者 UART1 (PB5/TX1, PB6/RX1)
1: 单线分时通信模式, UART0 (PA1/TX0/RX0), UART1 (PC1/TX1/RX1)
- Bit 2 OERRn: 接收溢出标志位
0: 无溢出错误
1: 有溢出错误 (清 RXnEN 清零)
- Bit 1 FERRn: 帧格式错标志位
0: 无帧格式错误
1: 帧格式错 (读 RXnB 清零)
- Bit 0 RXnR8: 第 9 位接收数据位
0: 第 9 位数据为 0
1: 第 9 位数据为 1

6. 5. 10. 5 UARTn发送数据寄存器 (TX0B/TX1B)

TXnB: UARTn 发送数据寄存器 (TX0B/TX1B)								
Bit	7	6	5	4	3	2	1	0
Name	TXnB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 TXnB<7:0>: UARTn 发送的数据

6. 5. 10. 6 UARTn发送控制/状态寄存器 (TX0C/TX1C)

TXnC: UARTn 发送控制/状态寄存器 (TX0C/TX1C)

Bit	7	6	5	4	3	2	1	0
Name	TXnEN	TXnLEN	BRGHn	—	—	—	TRMTn	TXnR8
R/W	R/W	R/W	R/W	—	—	—	R	R/W
POR	0	0	0	0	0	0	1	0

Bit 7 TXnEN: 发送器使能位

0: 禁止

1: 使能

Bit 6 TXnLEN: 发送器数据格式选择位

0: 8 位数据格式

1: 9 位数据格式

Bit 5 BRGHn: 波特率模式选择位

0: 低速模式

1: 高速模式

Bit 4~2 保留未用

Bit 1 TRMTn: 发送移位寄存器 (TXnR) 空标志位

0: TXnR 不空

1: TXnR 空

Bit 0 TXnR8: 第 9 位发送数据设置

0: 第 9 位数据为 0

1: 第 9 位数据为 1

6.6 I2C总线从动器（I2CS）

6.6.1 概述

本系列芯片支持一路 I2C 从动器，从动模块支持 7 位从机地址匹配，由 I2C 主机控制发送或接收数据。

- 只支持从动模式
- 支持 7 位从机地址
- 支持标准 I2C 总线协议，最大传输速率 400Kbit/s
- 支持 I2CS 端口 SCL/SDA 开漏或者推挽输出
- 支持 2 级发送/接收缓冲
- 支持自动时钟下拉等待功能
- 支持自动发送“未应答”功能
- 约定数据从最高位开始接收/发送

◇ I2CS 支持以下功能组件

- 5 位 I2C 采样滤波寄存器（I2CX16）
- I2C 控制寄存器（I2CC）
- 从机地址寄存器（I2CSA）
- 发送数据缓冲器（I2CTB）
- 接收数据缓冲器（I2CRB）
- 中断使能寄存器（I2CIEC）
- 中断标志寄存器（I2CIFIC）

◇ 中断和暂停

- 支持接收“起始位+从机地址匹配+发送应答位”中断标志（I2CSRIF）
- 支持接收结束位中断标志（I2CSPIF）
- 支持发送缓冲器空中断标志（I2CTBIF，只可读）
- 支持接收缓冲器未空中断标志（I2CRBIF，只可读）
- 支持发送错误标志（I2CTEIF）
- 支持接收溢出中断标志（I2CROIF）
- 支持接收未应答标志（I2CNAIF）

在 IDLE 模式下，暂停接收和发送注：本节中 SDA/SCL 端口代表的是芯片管脚图中的 I2C_SDA/I2C_SCL 端口。

6.6.2 内部结构

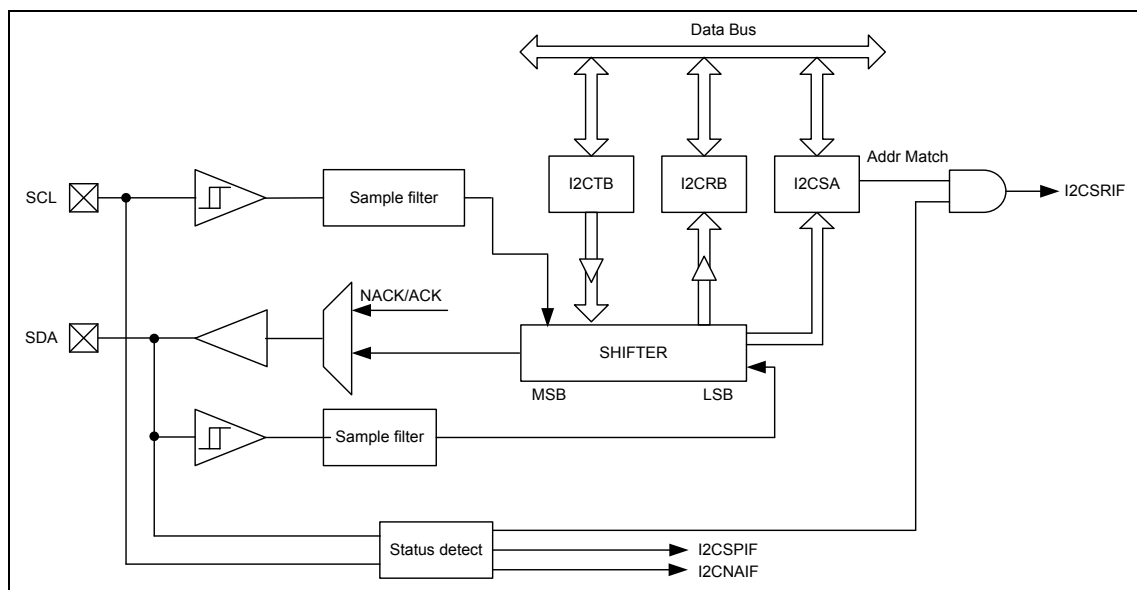


图 6-42 I2C 内部结构

6.6.3 I2C端口配置

I2C 总线从动器包括一条串行数据线 SDA 和一条串行时钟线 SCL。I2C 端口与普通 I/O 端口复用，可通过 I2CC 寄存器中的 I2CTE 位选择复用端口的功能。当 I2CTE=0 时，复用端口作为普通 I/O；当 I2CTE=1 时，复用端口作为 I2C 通信端口使用，支持 2 组端口可选，通过 I2C_SEL(PCCTR<5>)寄存器选择，当 I2C_SEL=0 时，选择 PB1/PB0 为 I2C 通讯端口；当 I2C_SEL=1 时，选择 PC1/PA5 为 I2C 通讯端口。

I2CTE	I2CS 时钟端口配置	I2CS 数据端口配置
1	SCL	SDA
0	PB1/PC1	PB0/PA5

表 6-6 I2CS 端口配置表

I2C 通讯端口 SCL 和 SDA，均支持推挽输出和开漏输出两种模式，配置 I2CC 寄存器的 I2COD，可分别进行选择。

推挽输出是 I/O 端口的标准输出，输出数据 0 和 1 时，I/O 端口电平也分别为 0 和 1。

对推挽输出模式，存在端口电平冲突的风险。例如：当主控器输出 0，而从动器输出 1 时，会发生端口信号电平冲突，导致端口状态不确定。

开漏输出是 I2C 总线协议中的标准模式，可以避免端口电平冲突问题。开漏输出端口的示意图如下所示：

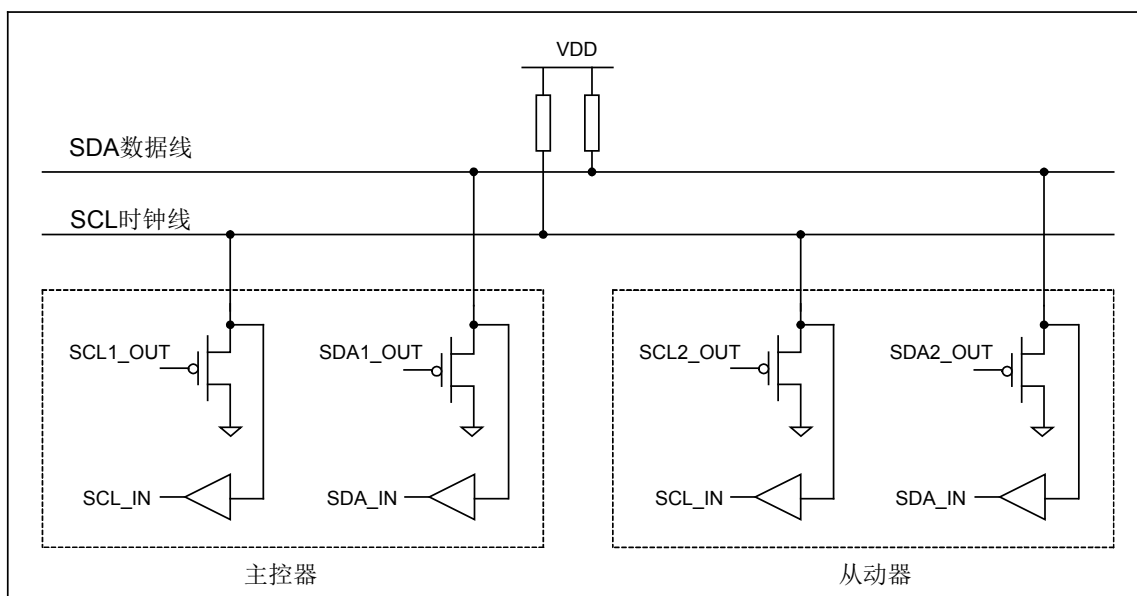


图 6-43 开漏输出端口示意图

开漏输出端口的高电平由 I2C 总线的上拉电阻提供，而低电平由主控器与从动器共同决定。任何一方都可以将总线电平下拉到 0，但只有当双方都释放总线后，总线电平才能被上拉到 1。

6.6.4 I2C 通讯协议

I2C 通讯中，必须遵循以下协议：

- ◇ 通讯由主控器发起，发送启动信号 **S**（开始）控制总线，发送停止信号 **P**（结束）释放总线；
- ◇ 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器，且每一个从动器都必须有一个独立且唯一的寻呼地址；
- ◇ 主控器在发送启动信号后，紧接着寻呼从动器地址以及发送读写方式位；
- ◇ 读写控制位 **R/#W**（称为方向位）用于通知从动器数据传送的方向，“0”表示这次通讯是由主控器向从动器“写”数据，“1”表示这次通讯是由主控器向从动器“读”数据；
- ◇ I2C 通讯协议支持应答机制，即发送方每传送一个字节的的数据（包括寻呼地址），接收方必须回答一个应答信号(**ACK** 或者 **NACK**)，发送方再根据应答信号进行下一步的操作；
- ◇ 如果主控器和从动器的时钟线（**SCL**）都使用开漏设计，且主控器支持时钟线等待请求操作，那么从动器可以在时钟线为低电平时下拉时钟线，使主控器等待从动器，直到从动器释放时钟线；
- ◇ 每个数据字节在传送时都是高位在前。

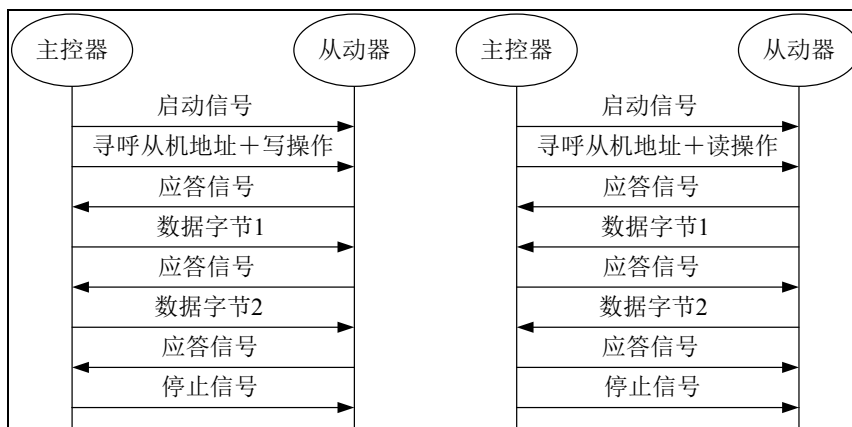


图 6-44 I2C 总线通讯协议示意图

6.6.5 I2C操作

I2C 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器。总线上的每个设备都没有选择线，但分别与唯一的地址一一对应，用于 I2C 通信。

从动模块包括主机向从机发送数据以及主机读取从机数据两种操作方式。

当主机向从机发送数据时，从机通常判断接收缓冲器未空中断标志位 I2CRBIF，如果接收缓冲器不空，即接收到主机数据，则读接收缓冲器的数据。

当主机读取从机数据时，从机通常判断发送缓冲器空中断标志位 I2CTBIF，如果发送缓冲器空，则依次写入需要发送的数据。

为了避免误发数据，建议每次完整的通讯结束（例如收到 STOP 标志），就采用软件复位 I2C 模块位 I2CRST 置位复位一次 I2C 模块来清空接收和发送数据缓冲器，同时再重新初始化 I2CC 和 I2CIEC 寄存器，为下次 I2C 通讯做好准备。（I2C 主机给 I2C 从机发送读命令，发送从机地址后，需要等待大约 30us 左右再读取数据）

在 IDLE 模式下，I2CS 模块通讯暂停。

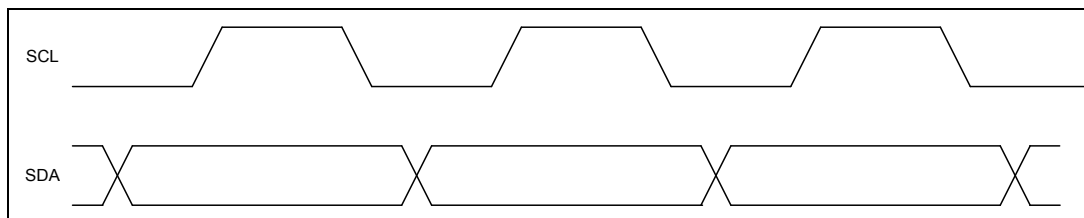


图 6-45 I2C 从动波形图

6.6.6 起始位START和停止位STOP

根据 I2C 协议：在数据传输期间，当 SCL 为高电平时，SDA 必须保持固定电平，波形如图所示；在没有数据传输期间，SCL 和 SDA 应该保持高电平。当 SCL 线是高电平时，SDA 线从高电平向低电平切换表示起始条件（S）。当 SCL 是高电平时，SDA 线由低电

平向高电平切换表示停止条件（P）。起始和停止条件一般由主机产生，如图所示。

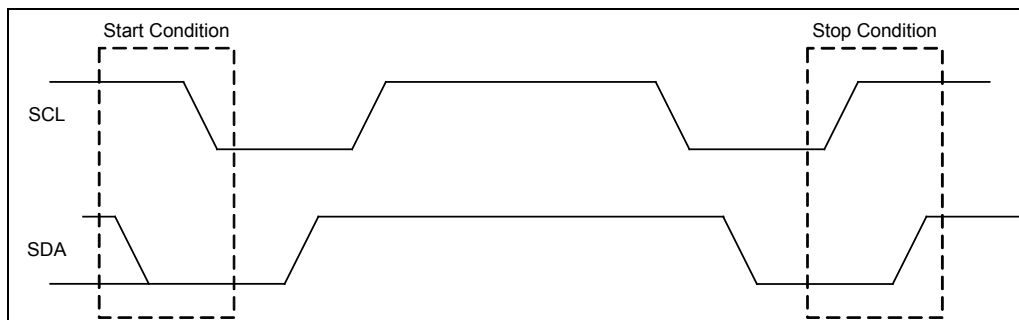


图 6-46 I2C 起始位和停止位

6.6.7 数据传输和应答

进入起始条件（S）之后，数据按照一个字节串行传输（8 位）。接收方每次接收完毕 8 位数据之后，需要发送应答信号给发送方。当数据传输到第 8 个 SCL 下降沿时，接收方立即发送应答信号，此时发送方释放 SDA 控制权，而接收方将 SDA 变为低电平。当发送一个字节的的数据紧邻于先前一个字节的接收（或者当接收方切换到发送方，并开始数据传输）时，接收方在第 9 个 SCL 下降沿释放 SDA 控制权。

当主机为发送方时，如果自动未应答 I2CANAE 位不使能，寻呼地址匹配后，从机会发送 ACK 应答信号，和 I2CTAS 选择位无关；如果自动未应答 I2CANAE 位使能，寻呼地址匹配后，如果 2 级接收缓冲器全满，则发送 NACK 信号，未全满则发送 ACK 信号，与 I2CTAS 选择位无关。从机接收到数据时，如果自动未应答 I2CANAE 位使能，时钟下拉等待 I2CCSE 位不使能，且 2 级接收缓冲器全满，则一个字节的的数据接收完成后，会发送 NACK 信号；否则发送 ACK 或 NACK 信号，受 I2CTAS 选择位控制。

当主机为接收方时，如果自动未应答 I2CANAE 位不使能，寻呼地址匹配后，从机会发送 ACK 应答信号，和 I2CTAS 选择位无关；如果自动未应答 I2CANAE 位使能，寻呼地址匹配后，如果 2 级发送缓冲器全空，则发送 NACK 信号，非空则发送 ACK 信号，与 I2CTAS 选择位无关。主机每接收到一个字节的的数据时，主机发出 ACK 应答信号，当接收到从机的最后一个字节后不产生应答信号，以告知发送设备数据传输完成。在第 9 个 SCL 下降沿，从机（发送方）继续释放 SDA 控制权以便主机可以产生停止条件（P）。

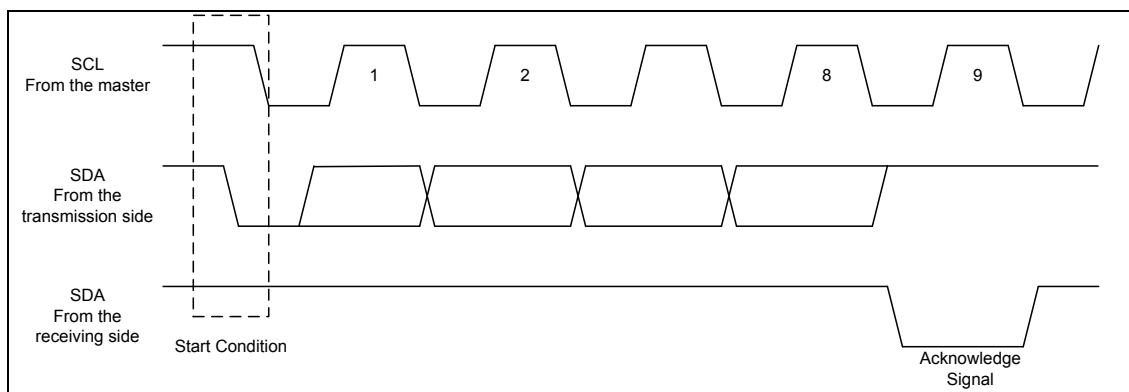


图 6-47 数据传输和应答

6.6.8 数据传输格式参考

I2C 从动器的数据传输参考格式如下：

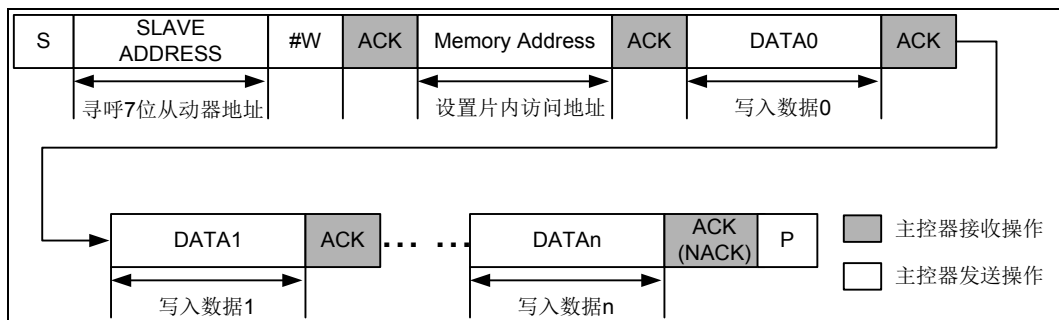


图 6-48 主控器写入从动器数据示意图

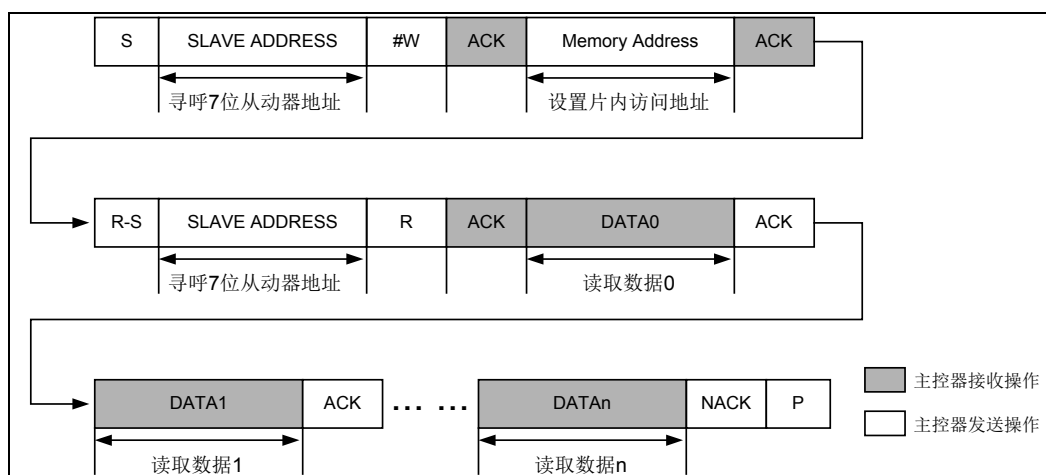


图 6-49 主控器读取从动器数据示意图

6.6.9 I2C通讯发送器

支持 2 级发送缓冲器 TB0, TB1 和 1 级发送移位寄存器, 可进行数据的连续发送, 直到发送缓冲器和移位寄存器全空, 最多可连续写入和发送 3 帧数据。发送缓冲器 TB0~TB1 不可访问, 只能通过发送数据寄存器 I2CTB 写入。

写 I2CTB 寄存器地址单元时, 实际上是将发送数据写入到发送缓冲器 TB0~TB1 中, 再传输到发送移位寄存器, 通过数据端口 SDA 进行数据发送。

发送数据从写入到发送到端口的数据流示意图如下所示:

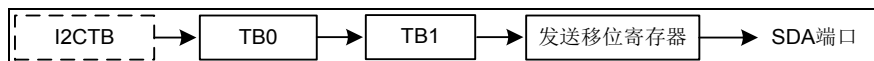


图 6-50 I2C 发送数据流示意图

支持发送缓冲器空中断, 当发送缓冲器 TB0 和 TB1 均为空时, 会置起发送缓冲器空中断标志 I2CTBIF;

支持发送错误中断, 当发送缓冲器 TB0 和 TB1 全空时, 收到主机提供的通讯时钟, 会置起发送错误中断标志 I2CTEIF。

6.6.10 I2C通讯接收器

支持 2 级接收缓冲器 RB0, RB1 和 1 级接收移位寄存器, 可进行数据的连续接收, 直到接收缓冲器和移位寄存器全满, 最多可连续接收 3 帧数据, 再执行数据读取操作。读取接收数据寄存器 I2CRB, 可得到接收的数据。

读取 I2CRB 时, 实际是读取接收缓冲器 RB0 的数据。

接收数据从数据端口到各级缓冲器的数据流示意图如下所示:

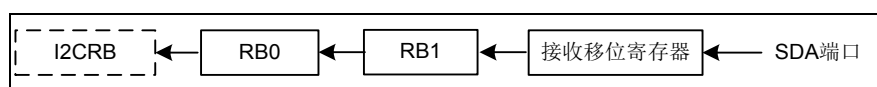


图 6-51 I2C 接收数据流示意图

支持接收溢出中断, 当 2 级接收缓冲器和 1 级接收移位寄存器均满时, 会置起接收数据溢出中断标志 I2CROIF, 只有 2 级接收缓冲器中的数据可被读取, 接收移位寄存器中的数据会丢失。

支持接收缓冲器缓冲器未空中断, 当接收缓冲器 RB0 和 RB1 接收到数据时, 会置起接收缓冲器未空中断标志 I2CRBIF。

6.6.11 I2C时钟线自动下拉等待请求功能

I2C 从动器支持时钟线自动下拉等待请求功能, 配置 I2CC 寄存器的 I2CCSE, 可使能该功能。

为实现 I2C 时钟线的下拉等待请求功能, 还需配置 I2CC 寄存器的 I2COD, 将通讯端口 SCL 选择为开漏输出模式, 通过上拉电阻提供高电平, 使从动器可对时钟线下拉控制, 使主控制器等待。

在通常情况下, 从动器处于释放时钟线的状态, 时钟线 SCL 完全由主控制器控制。但当从动器出现异常情况, 短时间内无法继续进行数据传输时, 从动器可以在时钟线 SCL 为低电平时输出 0 (不可以在高电平时输出 0, 否则会破坏数据传输过程), 强行使 SCL 保持低电平, 使主控制器进入通讯等待状态, 直到从动器释放时钟线。时钟线下拉等待请求波形示意图如下:

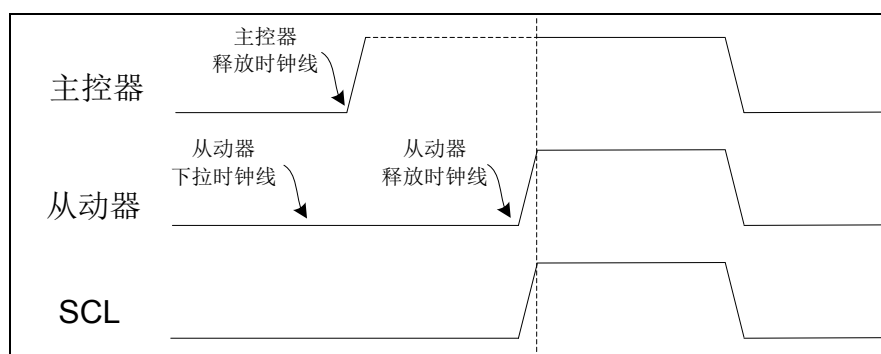


图 6-52 I2C 时钟线下拉等待波形示意图

I2C 从动器时钟自动下拉等待请求功能使能后, 当接收到本芯片寻呼地址、读操作位时, 如果 I2C 的发送缓冲器和发送移位寄存器全空, 且自动发送未应答使能位 I2CANAE=0, 则在发送完毕应答信号后, 会自动将时钟线下拉, 等待发送缓冲器写入数据; 当接收到

本芯片寻址地址、写操作位时，如果 I2C 的接收缓冲器和接收移位寄存器全满，且自动发送未应答使能位 I2CANAIE=0，则在发送完毕应答信号前，会自动将时钟线下拉，等待接收缓冲器被读取。

6.6.12 特殊功能寄存器

6.6.12.1 I2C采样滤波寄存器 (I2CX16)

I2CX16: I2C 采样滤波寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	I2CX16<4:0>				
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4~0 I2CX16<4:0>: 采样滤波控制位

00_H: 禁止采样滤波

01_H~1F_H: 通信时钟和数据采样滤波时间为 $T_{osc} \times (I2CX16+1) \times 3$

6.6.12.2 I2C控制寄存器 (I2CC)

I2CC: I2C 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAIE	I2CCSE	I2CRST	I2CEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 I2CTE: I2C 通信端口使能位

0: 禁止

1: 使能

Bit 6 I2CPU: I2C 内部弱上拉使能

0: 禁止

1: 使能

当 I2CTE=1 时，I2CPU 控制 SCL/SDA 端口的弱上拉功能。

Bit 5 I2COD: I2C 开漏输出使能位

0: 推挽输出

1: 开漏输出

Bit 4 I2CTAS: I2C 发送应答设置位

0: 发送 ACK

1: 发送 NACK

Bit 3 I2CANAIE: I2C 自动未应答使能位

0: 禁止

1: 使能

Bit 2 I2CCSE: I2C 时钟下拉等待使能位

0: 禁止

1: 使能

Bit 1 I2CRST: 软件复位 I2C 模块位

- 0: 禁止
1: 使能（复位后，硬件自动清零）

Bit 0 I2CEN: I2C 模块使能位

- 0: 禁止
1: 使能

注 1: 使能时钟自动下拉功能后（且禁止自动未应答（I2CANAE=0）），当从机收到匹配的寻呼地址时：

- 1.1) 如果为主机读操作，若在数据发送之前，当发送缓冲器全空时，发送 ACK 前，下拉时钟，写完发送的数据后，释放时钟线，直接发送数据位；若在数据发送之后，2 级发送缓冲器全空，则在从动器接收应答位之后下拉时钟线；
- 1.2) 如果为主机写操作，当接收缓冲器全满时，发送 ACK 前下拉时钟，读取已接收的数据后，释放时钟线，接收新的数据位。

注 2: I2C 自动未应答使能后（I2CANAE=1），

当片外主控器寻呼本机地址+R 时，若 2 级发送数据缓冲器全空，则本机地址后的应答位为“NACK”；

当片外主控器寻呼本机地址+#W 时，若在数据接收之前，2 级接收数据缓冲器全满时，本机地址后的应答位为“NACK”；若在接收数据后，且 I2CCSE=0，2 级接收数据缓冲器全满时，则接收数据后的应答位为“NACK”。

注 3: 当 I2CTE=1 时，I2CPU 控制 SCL/SDA 端口的弱上拉功能；否则，由 PBPU<1:0>控制 PB1/0 端口的弱上拉功能；由 PAPU5/PCPU1 控制 PA5/PC1 端口的弱上拉功能。

6.6.12.3 I2C 从机地址寄存器（I2CSA）

I2CSA: I2C 从机地址寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CSADR<6:0>							I2CRW
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
POR	0	0	0	0	0	0	0	0

Bit 7~1 I2CSADR<6:0>: 从机地址

接收到“启动/重新启动”后用于匹配比较

Bit 0 I2CRW: 从机地址匹配后，自动更新读/写位

- 0: 写
1: 读

6.6.12.4 I2C 发送数据缓冲器（I2CTB）

I2CTB: I2C 发送数据缓冲器

Bit	7	6	5	4	3	2	1	0
Name	I2CTB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CTB<7:0>: 发送数据缓冲器

注: 第一个需要发送的数据，在发送使能前写入发送数据缓冲器。

6.6.12.5 I2C接收数据缓冲器 (I2CRB)

I2CRB: I2C 接收数据缓冲器								
Bit	7	6	5	4	3	2	1	0
Name	I2CRB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CRB<7:0>: 接收数据缓冲器

6.6.12.6 I2C中断使能寄存器 (I2CIEC)

I2CIEC: I2C 中断使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 保留未用，需软件固定设置为 0

Bit 6 I2CNAIE: I2C 接收未应答中断使能位

0: 禁止

1: 使能

Bit 5 I2CROIE: I2C 接收溢出中断使能位

0: 禁止

1: 使能

Bit 4 I2CTEIE: I2C 发送错误中断使能位

0: 禁止

1: 使能

Bit 3 I2CRBIE: I2C 接收缓冲器未空中断使能位

0: 禁止

1: 使能

Bit 2 I2CTBIE: I2C 发送缓冲器空中断使能位

0: 禁止

1: 使能

Bit 1 I2CSPIE: I2C 接收结束位中断使能位

0: 禁止

1: 使能

Bit 0 I2CSRIE: I2C 接收“起始位+从机地址匹配+发送应答位”中断使能位

0: 禁止

1: 使能

6.6.12.7 I2C中断标志寄存器 (I2CIFC)

I2CIFC: I2C 中断标志寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF
R/W	—	R/W	R/W	R/W	R	R	R/W	R/W
POR	1	0	0	0	0	1	0	0

- Bit 7 保留未用
- Bit 6 I2CNAIF: I2C 接收未应答中断标志位
0: 未接收或者未发送 NACK
1: 接收或发送 NACK, 产生中断标志 (软件清零)
- Bit 5 I2CROIF: I2C 接收溢出中断标志位
0: 2 级接收数据缓冲器和 I2C 移位寄存器未溢出
1: 2 级接收数据缓冲器和 I2C 移位寄存器溢出, 产生中断标志 (软件清零)
- Bit 4 I2CTEIF: I2C 发送错误中断标志位
0: 未发生发送错误
1: 发生发送错误: 2 级发送数据缓冲器全空时, 收到主机提供的通讯时钟, 产生中断标志 (软件清零)
- Bit 3 I2CRBIF: I2C 接收缓冲器未空中断标志位
0: 2 级接收数据缓冲器全空
1: 2 级接收数据缓冲器不全空时, 产生中断标志 (读 I2CRB 寄存器可清除中断标志位)
- Bit 2 I2CTBIF: I2C 发送缓冲器空中断标志位
0: 2 级发送数据缓冲器未空
1: 2 级发送数据缓冲器全空时, 产生中断标志 (写 I2CTB 寄存器可清除中断标志位)
- Bit 1 I2CSPIF: I2C 接收结束位中断标志位
0: 未接收到结束位
1: 接收到结束位, 产生中断标志 (软件清零)
- Bit 0 I2CSRIF: I2C 接收“起始位+从机地址匹配+发送应答位”中断标志位
0: 未接收到“起始位+地址位且地址匹配+发送应答位”
1: 接收到“起始位+地址位且地址匹配+发送应答位”后, 产生中断标志 (软件清零)

注 1: 清总中断标志位 I2CIF 前, 先清除 I2CIFC 寄存器的相关中断标志位。

注 2: 连续接收数据超过 3 个时, 发生接收溢出, 并且只有前 2 个数据可被读取, 第 3 个数据会丢失。

注 3: I2C 模块在每帧数据发送完成后, 接收到结束位时, 硬件自动清零发送缓冲寄存器。

6.7 SPI同步串口通讯模块（SPI）

6.7.1 概述

- ◇ 支持主控模式、从动模式
- ◇ 支持 4 种数据传输格式
- ◇ 支持主控模式通讯时钟速率可配置
- ◇ 支持 4 级发送缓冲器和 4 级接收缓冲器
- ◇ 支持发送和接收缓冲器空/满中断
- ◇ 支持接收数据溢出中断、发送数据写错误中断、从动模式的发送数据错误中断
- ◇ 支持从动模式的片选变化中断、主控模式的空闲状态中断
- ◇ 支持主控模式延迟接收

注：本节中 SCK/NSS/MISO/MOSI 端口代表的是芯片管脚图中的 SPI_SCK/SPI_NSS/SPI_MISO/SPI_MOSI 端口。

6.7.2 结构框图

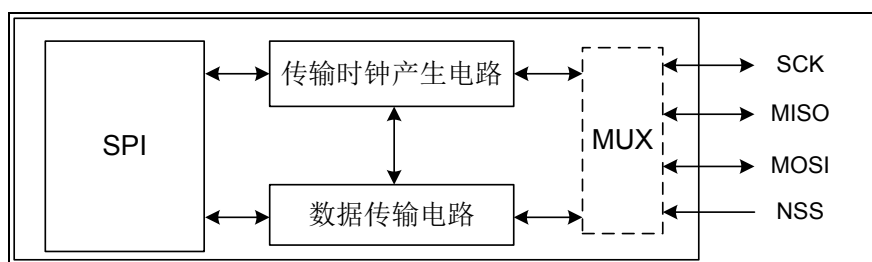


图 6-53 SPI 电路结构框图

6.7.3 SPI通讯模式

SPI 支持主控和从动两种通讯模式，配置 SPICON1 寄存器的 MS 位，可选择通讯模式。

通讯时钟端口为 SCK，从动模式下的片选信号端口为 NSS，数据输出端口 MISO，数据输入端口 MOSI，主控模式下可使用普通 I/O 端口作为片外从设备的片选信号端口，数据输出端口 MOSI，数据输入端口 MISO。具体见下表所示：

SPI 通讯端口	SPI 主控模式	SPI 从动模式
SCK	支持	支持
MOSI	支持	支持
MISO	支持	支持
NSS	—	支持

6.7.4 SPI数据格式

配置 SPICON1 寄存器的 DFS<1:0>，可选择 SPI 通讯数据格式，数据发送和接收时，均是高位在前，低位在后。如果是发送数据在先，接收数据在后，输出端口 MOSI(或 MISO)

会在第一个 SCK 时钟边沿，输出数据的 MSB 位；反之输出端口 MOSI（或 MISO）在第一个 SCK 时钟边沿之前，输出数据的 MSB 位。

以下以 SPI 从动通讯模式为例，对数据通讯时序进行说明。

1) 上升沿发送（先），下降沿接收（后）：

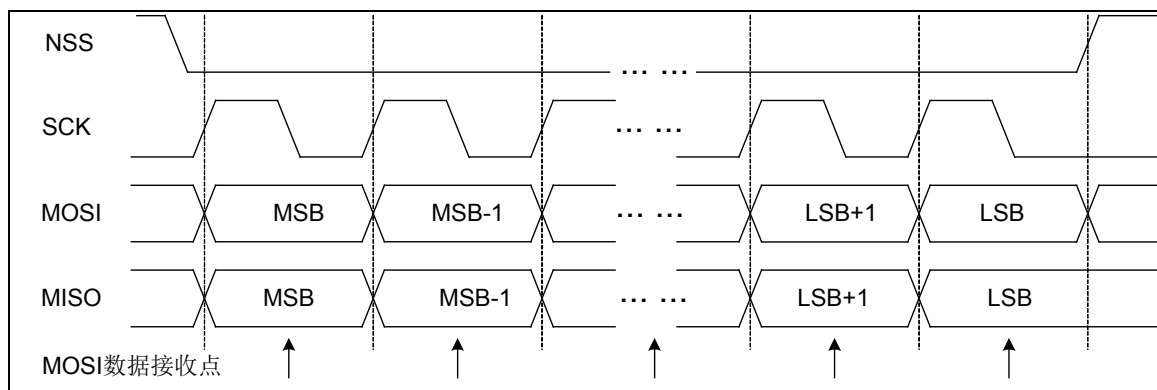


图 6-54 SPI 时钟上升沿发送，下降沿接收波形示意图

2) 下降沿发送（先），上升沿接收（后）：

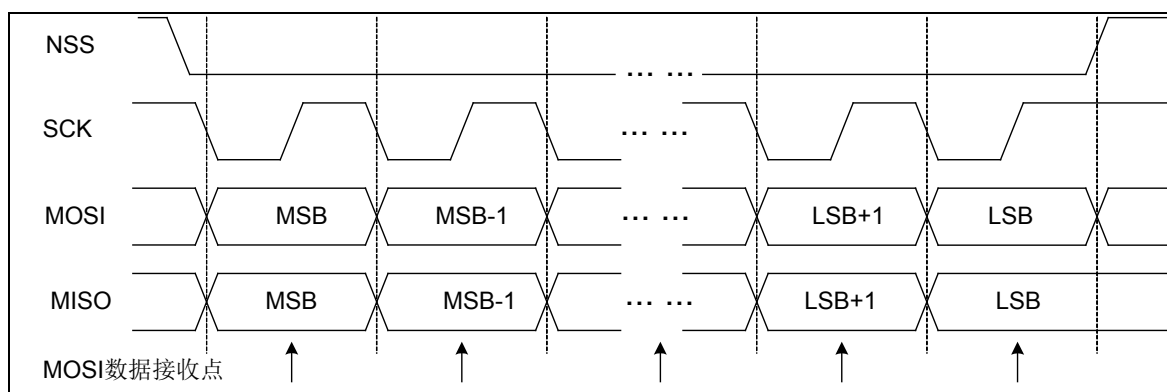


图 6-55 SPI 时钟下降沿发送，上升沿接收波形示意图

3) 上升沿接收（先），下降沿发送（后）：

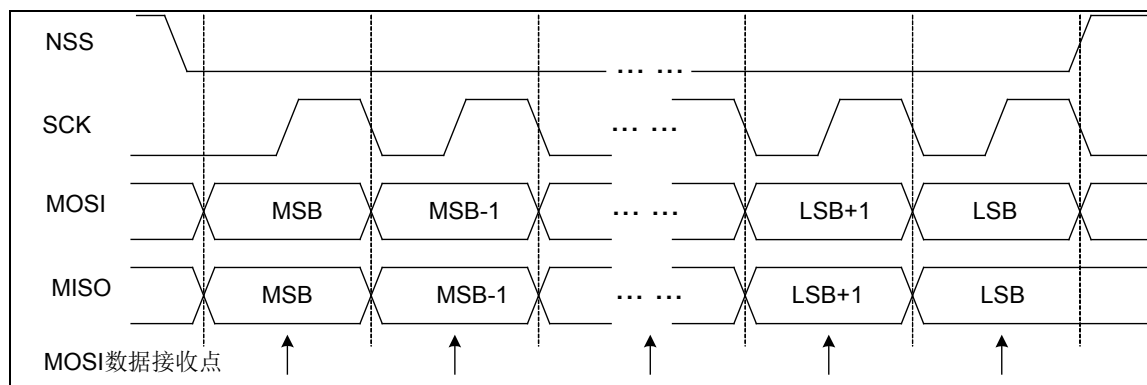


图 6-56 SPI 时钟上升沿接收，下降沿发送波形示意图

4) 下降沿接收（先），上升沿发送（后）：

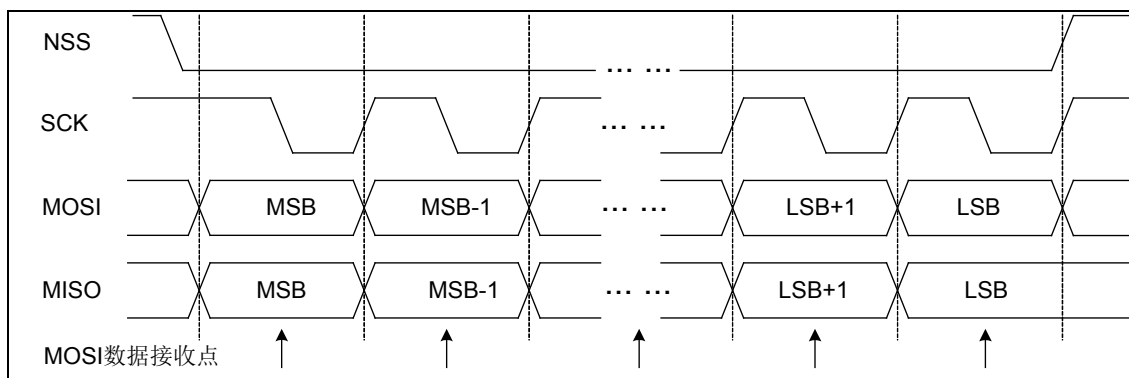


图 6-57 SPI 时钟下降沿接收，上升沿发送波形示意图

6.7.5 SPI同步发送器

支持 4 级发送缓冲器 TB0, TB1, TB2, TB3 和 1 级发送移位寄存器，可进行数据的连续发送，直到发送缓冲器和移位寄存器全空，最多可连续写入和发送 5 帧数据。发送缓冲器 TB0~TB3 和发送移位寄存器为虚拟寄存器，不可访问，只能通过发送数据寄存器 SPITBW 写入。

发送数据寄存器 SPITBW，写该寄存器地址单元时，实际上是将发送数据写入到发送缓冲器 TB0 中，再逐级传输到发送移位寄存器，通过发送数据端口 MOSI（或 MISO）进行数据发送。

发送数据从写入到发送到端口的数据流示意图如下所示（以主控模式为例）：

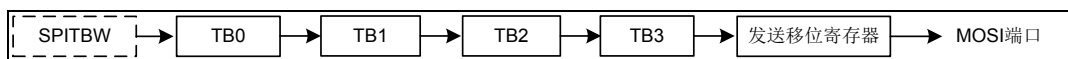


图 6-58 SPI 发送数据流示意图

支持发送缓冲器空中断，配置 SPICON0 寄存器的 TBIM，可选择中断模式。

TBIM<1:0>=00，为 TB0 空产生中断，即发送缓冲器 TB0 为空时，SPIIF 寄存器会置起中断标志 TBIF；

TBIM<1:0>=01，为 TB0 与 TB1 空产生中断，即发送缓冲器 TB0 和 TB1 均为空时，SPIIF 寄存器会置起中断标志 TBIF；

TBIM<1:0>=10，为 TB0~TB3 全空产生中断，即发送缓冲器 TB0~TB3 均为空时，SPIIF 寄存器会置起中断标志 TBIF。

支持发送数据寄存器 SPITBW 误写中断，当对 SPITBW 的写入时，发送缓冲器 TB0~TB3 处于全满状态，SPIIF 寄存器会置起误写中断标志 TBWEIF。

6.7.6 SPI同步接收器

支持 4 级接收缓冲器 RB0, RB1, RB2, RB3 和 1 级接收移位寄存器，可进行数据的连续接收，直到接收缓冲器和移位寄存器全满，最多可连续接收 5 帧数据，再执行数据读取操作。RB0, RB1, RB2, RB3 和接收移位寄存器为虚拟寄存器，不可访问，只能通过读取接收数据寄存器 SPIRBR 得到接收的数据。

接收数据寄存器 SPIRBR，读该寄存器地址单元时，实际上是读取接收缓冲器 RB0 中的数据。

接收数据从接收端口到各级缓冲器的数据流示意图如下所示（以主控模式为例）：

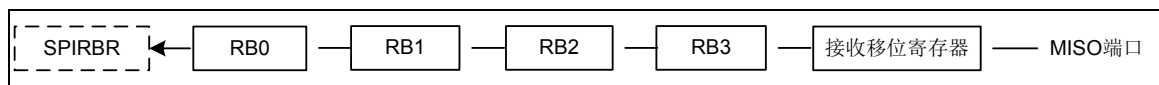


图 6-59 SPI 接收数据流示意图

同步接收器的接收顺序如下：

当同步接收器全空时，接收移位寄存器的数据自动移入 RB0；

仅 RB1~RB3 空时，接收移位寄存器的数据自动移入 RB1；

仅 RB2~RB3 空时，接收移位寄存器的数据自动移入 RB2；

仅 RB3 空时，接收移位寄存器的数据自动移入 RB3。

当 4 级接收缓冲器和 1 级接收移位寄存器均满时，如果再次接收到数据位，SPIIF 寄存器中会置起接收数据溢出中断标志 ROIF，同时不会接收新数据，缓冲器数据仍保持。

支持接收缓冲器满中断，配置 SPICON0 寄存器的 RBIM，可选择中断模式。

RBIM<1:0>=00，为 RB0 满产生中断，即接收缓冲器 RB0 为满时，SPIIF 寄存器中会置起中断标志 RBIF；

RBIM<1:0>=01，为 RB0 与 RB1 满产生中断，即接收缓冲器 RB0 和 RB1 均为满时，SPIIF 寄存器中会置起中断标志 RBIF；

RBIM<1:0>=10，为 RB0~RB3 全满产生中断，即接收缓冲器 RB0~RB3 均为满时，SPIIF 寄存器中会置起中断标志 RBIF。

6.7.7 SPI 通讯控制

配置 SPI 通讯模式，数据格式；对主控制模式，还需配置 SPICON0 的 CKS 寄存器，设定传输时钟速率，对从动模式，传输时钟由主机方提供；SPICON1 寄存器中配置 SPIEN 和 REN，使能数据发送和接收；将要发送的数据写入发送数据寄存器 SPITBW，就可以开始数据的发送，读取接收数据寄存器 SPIRBR，可以获得接收到的数据。

SPI 主控模式下，发送缓冲器和发送移位寄存器中的数据发送完毕后，进入空闲状态，SPIIF 寄存器中产生空闲中断标志 IDIF。

SPI 从动模式下，如果发送缓冲器 TB0~TB3 和发送移位寄存器均为空时，又收到主机提供的通讯时钟，则 SPIIF 寄存器中会置起发送错误中断标志 TEIF。

SPI 从动模式，支持片选信号变化中断，配置 SPIIE 寄存器的 NSSIE，可使能该中断。配置 SPICON1 寄存器的 SPIRST 位，可将 SPI 通讯模块软件复位，复位后：禁止数据通讯 SPIEN=0；SPIIE 寄存器中禁止相关中断 TBIE=0，TBWEIE=0，RBIE=0，TEIE=0，ROIE=0，IDIE=0，NSSIE=0；SPIIF 寄存器中复位相关中断标志为默认值 TBIF=1，TBWEIF=0，RBIF=0，TEIF=0，ROIF=0，IDIF=0，NSSIF=0。

在接收/发送使能前，建议使用 RXCLK/TXCLR 寄存器清空接收/发送缓冲器。

6.7.8 SPI延迟接收功能

SPI 通讯时，是利用时钟的上升/下降沿分别对数据的发送和接收进行同步。正常通讯时，对主机接收数据来说，从机送出的数据应在半个时钟周期内，到达主机接收端口，否则会造成主机接收数据的丢失。

SPI 主控模式支持延迟接收功能，配置 SPICON1 寄存器的 DRE，可启用该功能，主机可以再延迟半个时钟周期，在下一个发送时钟边沿处，进行数据的接收采集。所以延迟接收功能启用后，从机发送端口和主机接收端口之间的线路延时，最大可接近 1 个通讯时钟周期。

举例说明 SPI 延迟接收功能：SPICON1 寄存器中 DFS<1:0>=00，上升沿发送（先），下降沿接收（后）。

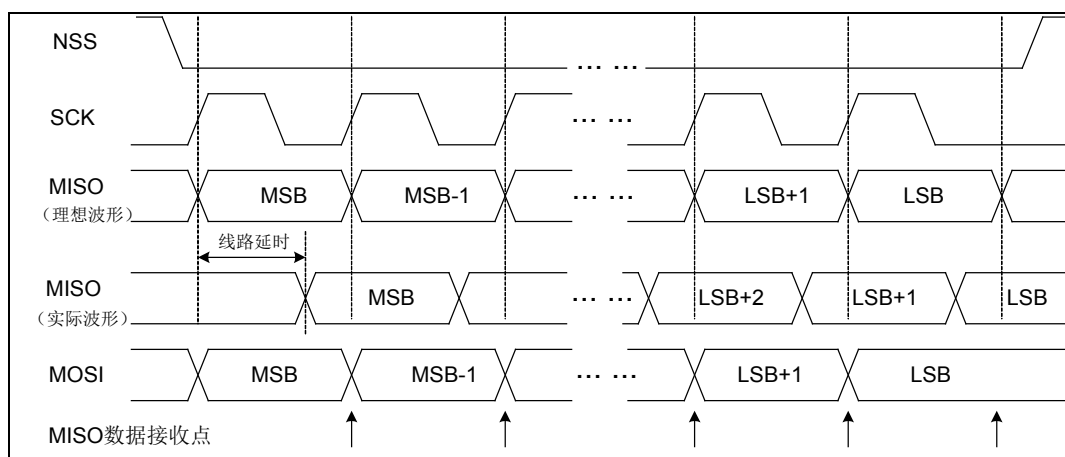


图 6-60 SPI 延迟接收功能波形示意图

注：当通讯速率选择 $F_{osc}/2$ ，建议启用 SPI 延时接收功能，避免线路延时导致通讯不正常。

6.7.9 SPI应用说明

为保证 SPI 的正常通信，SPI 的配置需遵循如下要求：

- 1) 由于不同的通讯数据格式对端口的初始电平要求是不同的（参见上面各通讯波形示意图），因此若无法确定使能 SPI 之前的 SPI 端口的初始值，必须先配置通讯数据格式控制位 DFS<1:0>，对 SPI 端口初始电平进行自动设置；然后再通过对 SPICON1 寄存器的 SPIEN 和 REN 置 1 来使能 SPI 发送和接收，即对 SPICON1 寄存器分两步写入。
- 2) 主设备和从设备需配置成相同的通讯数据格式。

6.7.10 特殊功能寄存器

6.7.10.1 SPI控制寄存器 0 (SPICON0)

SPICON0: SPI 控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	RXCLR	TXCLR	CKS<1:0>		RBIM<1:0>		TBIM<1:0>	
R/W	W	W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	0	0	0	0

- Bit 7 RXCLR: SPI 接收缓冲器清空控制位
0: 无效
1: 清空接收缓冲器
- Bit 6 TXCLR: SPI 发送缓冲器清空控制位
0: 无效
1: 清空发送缓冲器
- Bit 5~4 CKS<1:0>: SPI 通讯波特率选择位 (仅主控模式支持)
00: Fosc/2
01: Fosc/4
10: Fosc/8
11: Fosc/16
- Bit 3~2 RBIM<1:0>: SPI 接收缓冲器满中断模式选择位
00: RB0 满产生中断
01: RB0 与 RB1 满产生中断
10: RB0~RB3 全满产生中断
11: 保留
- Bit 1~0 TBIM<1:0>: SPI 发送缓冲器空中断模式选择位
00: TB0 空产生中断
01: TB0 与 TB1 空产生中断
10: TB0~TB3 全空产生中断
11: 保留

6.7.10.2 SPI控制寄存器 1 (SPICON1)

SPICON1: SPI 控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	DFS<1:0>		DRE	—	REN	MS	SPIRST	SPIEN
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 DFS<1:0>: SPI 通讯数据格式
00: 上升沿发送 (先), 下降沿接收 (后)
01: 下降沿发送 (先), 上升沿接收 (后)
10: 上升沿接收 (先), 下降沿发送 (后)
11: 下降沿接收 (先), 上升沿发送 (后)
- Bit 5 DRE: SPI 延迟接收使能位 (仅主控模式支持)
0: 禁止

	1: 使能
Bit 4	保留未用
Bit 3	REN: SPI 接收使能位
	0: 禁止
	1: 使能 (需 SPIEN 同时使能)
Bit 2	MS: SPI 通讯模式选择位
	0: 主控模式
	1: 从动模式
Bit 1	SPIRST: SPI 软件复位
	0: 读取时始终为 0
	1: 软件复位 SPI 模块, 自动清零
Bit 0	SPIEN: SPI 通讯使能位
	0: 禁止
	1: 使能 (SPI 通讯使能, 但仅使能数据发送)

注 1: 由于不同的通讯数据格式对端口的初始电平要求是不同的 (参见上面各通讯波形示意图), 因此若无法确定使能 SPI 之前的 SPI 端口的初始值, 必须先配置通讯数据格式控制位 DFS<1:0>, 对 SPI 端口初始电平进行自动设置; 然后再通过对 SPICON1 寄存器的 SPIEN 和 REN 置 1 来使能 SPI 发送和接收。即 SPICON1 寄存器需要分两次写入, 否则易产生通信错误。

注 2: 主设备和从设备需配置成相同的通讯数据格式。

6.7.10.3 SPI发送数据写入寄存器 (SPITBW)

SPITBW: SPI 发送数据写入寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TBW<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TBW<7:0>: 写入的发送数据

6.7.10.4 SPI接收数据读取寄存器 (SPIRBR)

SPIRBR: SPI 接收数据读取寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RBR<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 RBR<7:0>: 读取的接收数据

6.7.10.5 SPI中断使能寄存器 (SPIIE)

SPIIE: SPI 中断使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	TBWEIE	NSSIE	IDIE	ROIE	TEIE	RBIE	TBIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 未使用
- Bit 6 TBWEIE: SPI 发送数据写错误中断使能位
0: 禁止
1: 使能
- Bit 5 NSSIE: SPI 片选变化中断使能位 (仅从动模式支持)
0: 禁止
1: 使能
- Bit 4 IDIE: SPI 空闲状态中断使能位 (仅主控模式支持)
0: 禁止
1: 使能
- Bit 3 ROIE: SPI 接收数据溢出中断使能位
0: 禁止
1: 使能
- Bit 2 TEIE: SPI 发送数据错误中断使能位 (仅从动模式支持)
0: 禁止
1: 使能
- Bit 1 RBIE: SPI 接收缓冲器满中断使能位
0: 禁止
1: 使能
- Bit 0 TBIE: SPI 发送缓冲器空中断使能位
0: 禁止
1: 使能

6.7.10.6 SPI中断标志寄存器 (SPIIF)

SPIIF: SPI 中断标志寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	TBWEIF	NSSIF	IDIF	ROIF	TEIF	RBIF	TBIF
R/W	—	R/W	R/W	R/W	R/W	R/W	R	R
POR	0	0	0	0	0	0	0	1

- Bit 7 未使用
- Bit 6 TBWEIF: SPI 发送数据写错误中断标志位
0: 未发生写错误
1: 发生写错误: 对 SPITBW 写入时, TB0~TB3 处于全满状态
软件写 1 清除标志位, 写 0 无效
- Bit 5 NSSIF: SPI 片选变化中断标志位 (仅从动模式支持)
0: 片选信号未发生变化

	1: 片选信号发生变化 软件写 1 清除标志位, 写 0 无效
Bit 4	IDIF: SPI 空闲中断标志位 (仅主控模式支持) 0: 未进入空闲状态 1: 进入空闲状态 软件写 1 清除标志位, 写 0 无效; 或软件写寄存器 SPITBW 清除标志位
Bit 3	ROIF: SPI 接收数据溢出中断标志位 0: 未溢出 1: 溢出 软件写 1 清除标志位, 写 0 无效
Bit 2	TEIF: SPI 发送错误中断标志位 (仅从动模式支持) 0: 未发生发送错误 1: 发生发送错误: 发送缓冲器和发送移位寄存器全空时, 又收到主控方提供的通讯时钟 软件写 1 清除标志位, 写 0 无效
Bit 1	RBIF: SPI 接收缓冲器满中断标志位 0: 接收缓冲器未满 1: 接收缓冲器满 读 SPIRBR 寄存器可清除中断标志位
Bit 0	TBIF: SPI 发送缓冲器空中断标志位 0: 发送缓冲器未空 1: 发送缓冲器空 写 SPITBW 寄存器可清除中断标志位

注 1: SPI 中断禁止时, 如果满足条件仍会置起对应的中断标志位, 只是不会产生中断请求。

注 2: 对 SPIIF 寄存器中的各中断标志位, 写 0 无效, 写 1 才能清除标志位; 读操作时, 读取的值为 1 表示有中断发生。

6.8 模/数转换器 (ADC)

6.8.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。

芯片支持 12-bit，12+2 个通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◇ 模/数转换器特性

- 最高 12 位 A/D 采样精度
- 12+2 个模拟输入通道可选
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 可配置 A/D 采样时间
- 多种转换时钟频率可选
- 可选择内部参考电压 2.048V
- 具有上限和下限门槛的电压自动监测，电压自动监测事件发生可产生中断
- 支持电源电压检测，电源分压比为 1/4VDD

◇ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCCL, ADCCM, ADCCH, ADCCSH)
- ADC 电压自动监测寄存器 (ADCLTR, ADCHTR)
- 端口数模控制寄存器 (ANSL、ANSH)

◇ ADC 转换支持以下启动方式

- 设置寄存器 ADCCL 的 ADTRG=1 (SMPS=1) 启动转换
- 设置寄存器 ADCCL 的 SMPON=1 (SMPS=0) 启动转换
- 外部中断 PINT5 (ADC_ETR0/PA7) 启动转换，需设置 ADC_ETR0EN=1
- 外部中断 PINT8 (ADC_ETR1/PB1) 启动转换，需设置 ADC_ETR1EN=1
- T21 模块的比较匹配触发转换，需设置寄存器 T21CL 的 T21M=1011
- T31 模块的更新事件或比较匹配触发转换，可通过寄存器 T31C1L 的 ADTRGS 位设置

◇ 中断和暂停

- 支持 AD 转换中断 (ADIE/ADIF)
- 在 IDLE 模式下，如果选择系统时钟及分频时钟作为 A/D 转换时钟源，A/D 转换暂停
- 在 IDLE 模式下，如果选择 INTLRC (32KHz WDT RC 时钟) 时钟作为 A/D 转换时钟源，A/D 转换可唤醒 CPU

6.8.2 内部结构图

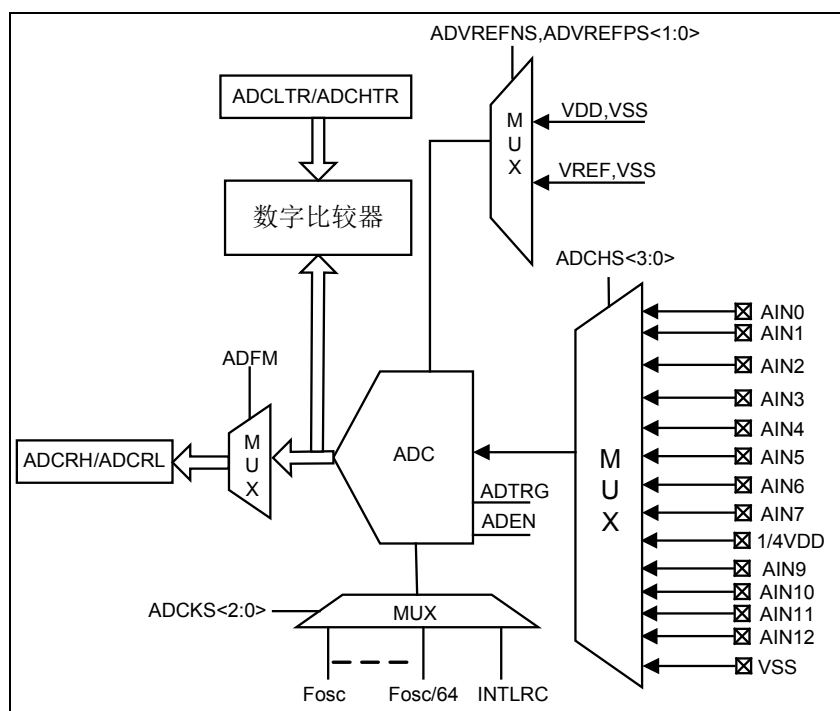


图 6-61 ADC 内部结构图

6.8.3 ADC配置

ADC 电路使用前，根据需要对以下几个方面进行正确的配置，才可得到正确转换结果。

需软件设置 ADCCM 寄存器的 VREFSEL 位固定为 0，ADVREFNS 位固定为 1，ADOFSTS<1:0>位固定为 10，ADBITSEL<1:0>位固定为 11；设置 ADCCSH 寄存器的 ADC_LP_EN 位固定为 1。

6.8.3.1 时钟选择

ADC 电路的转换时钟有 8 组可选，Fosc~Fosc/64 或 INTLRC，可通过 ADCCH 寄存器 ADCKS<2:0>位选择所需要的时钟。

6.8.3.2 参考源选择

ADC 电路的参考源有正参考源和负参考源两种选择配置，正参考源可通过 ADCCM 寄存器的 ADVREFPS<1:0>位选择，其中包括内部参考电压和电源电压 VDD 两种可选；负参考源必须通过软件设置 ADCCM 寄存器的 ADVREFNS 位为 1，配置为地 VSS。

6.8.3.3 内部参考电压

ADC 电路支持一路内部参考电压 2.048V，通过软件设置 ADCCM 寄存器的 VREFSEL 位固定为 0。为了提高内部参考电压的稳定性，需先设置 ADCCH 寄存器中的 VREFEN 位使能内部参考，并等待 300us 以后，再设置 ADCCH 寄存器中的 VREF_CHOPEN 位使能内部参考电压斩波器。

6.8.3.4 采样时间选择

ADC 电路的采样时间可通过 ADCCH 寄存器中的 ADST<1:0>位选择，采样时间有 2 个 Tadclk、4 个 Tadclk、8 个 Tadclk 以及 16 个 Tadclk 四种选项。如果转换信号跳变比较大，

建议采样时间设置较长的档位，如 8 个 Tadcclk 或者 16 个 Tadcclk。

6.8.3.5 采样模式选择及控制

本芯片 ADC 可选择软件采样和硬件采样两种模式，通过 ADCCL 寄存器中的 SMPS 位选择。选用软件采样时，可通过 ADCCL 寄存器中的 SMPON 位控制采样的启动和停止。

6.8.3.6 复用端口类型选择

芯片中 ADC 电路的所有模拟输入通道 AINx 均和 PA/PB 端口复用，在使用 ADC 电路转换前，须先将所使用的管脚设置为输入端口，并通过 ANSL/ANSH 寄存器设置为模拟类型。

6.8.3.7 模拟信号输入通道选择

ADC 电路使能前，需先选择 A/D 模拟通道。本芯片 ADC 电路支持 12 个外部通道 AIN0~AIN7，AIN9~12，2 个内部通道 1/4VDD 和 VSS。A/D 模拟通道可通过 ADCCL 寄存器中的 ADCHS <3:0>位选择。

6.8.3.8 转换结果和对齐方式选择

ADC 电路转换位数通过 ADCCM 寄存器的 ADBITSEL<1:0>位进行设置，需软件固定为 11，设置为 12 位。转换的结果支持两种对齐方式，低位对齐和高位对齐，可通过 ADCCH 寄存器中的 ADFM 位进行选择。

ADC 转换结果的初始失调误差较大，需进行软件校准。在芯片出厂前，分别对 ADC 使用内部 VREF 2.048V 和 VDD (4V) 做参考时的初始失调误差进行了测量（基于 offset 调整档位 1，ADCCM 寄存器的 ADOFSTS 位为 10），测量值分别保存在 FLASH 信息区的 802F_H 和 8030_H 地址，可通过 IAP 读取获得，具体操作方式可参考本芯片应用笔记。芯片应用时也可以不使用该出厂测量值，而是在应用系统中进行初始失调误差的测量，测量时选择内部通道 VSS 作为 ADC 模拟通道，得到的 ADC 转换结果作为初始失调误差，可以提升 ADC 在实际应用过程中的软件校准精度。

在应用中 ADC 转换完成后得到的转换值，需要软件减去上述初始失调误差后，再作为最终的 ADC 转换结果。

6.8.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤，实际应用中还需要考虑 ADC 自身工作的建立（参见寄存器 ADCCL 后面的备注描述内容）。

Step 1: 设置内部参考电压 VREF 为 2.048V，AD 负参考源为 VSS，offset 调整档位 1，AD 转换位数为 12 位，使能 ADC 低功耗模式，即需软件设置 ADCCM 寄存器的 VREFSEL 位固定为 0，ADVREFNS 位固定为 1，ADOFSTS<1:0>位固定为 10，ADBITSEL<1:0>位固定为 11，ADCCSH 寄存器的 ADC_LP_EN 位固定为 1。

Step 2: 选择 ADC 转换时钟，通过 ADCCH 寄存器中的 ADCKS<2:0>选择 ADC 转换时钟。ADC 转换时钟频率建议设置在 32KHz~2MHz 之间。

Step 3: 使能 ADC 电路，将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 4: 选择 ADC 正参考电压源，通过 ADCCM 寄存器中的 ADVREFPS <1:0>位进行选择，如果选择内部参考，需先设置 ADCCH 寄存器中的 VREFEN 位使能内部参考，并等

待 300us 以后,再设置 ADCCH 寄存器中的 VREF_CHOPEN 位使能内部参考电压斩波器,否则内部参考电压可能工作不稳定,然后等待 1ms 后再启动 ADC 转换;如果选择 VDD 作为 ADC 参考电压,则无需使能 VREFEN 和 VREF_CHOPEN,在 ADC 启动之前,无需添加该等待时间。

Step 5: 选择 ADC 采样时间,通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST <1:0> 设定,一般建议设置为至少 8 个 Tadclk。

Step 6: 选择 ADC 采样模式,通过 ADCCL 寄存器中的 A/D 采样模式选择位 SMPS 选择软件采样或硬件采样。

Step 7: 设置复用端口为模拟类型,即选择哪些管脚作为 ADC 转换输入管脚,由端口数模控制寄存器 ANSL 和 ANSH 控制选择,并且需通过寄存器 PAT 和 PBT 将被选择的模拟管脚设置为输入。

Step 8: 选择模拟信号输入通道 AINx,通过 ADCCL 寄存器中的 ADCHS <3:0>选择 ADC 模拟通道。

Step 9: 设置转换结果对齐方式,通过 ADCCH 寄存器中的 ADFM 位,选择高位对齐放置还是低位对齐放置。

Step 10: 如果要使用中断,则中断控制寄存器需要正确地设置,以确保 A/D 中断功能被正确激活。在默认中断模式下,需将全局中断使能位/高优先级中断使能位 GIE 置“1”,将 ADC 中断使能位置“1”;在向量中断模式下,需将全局中断使能位/高优先级中断使能位 GIE 置“1”,根据 A/D 中断所在组的优先级决定是否要开启低优先级中断使能位 GIEL,将 ADC 中断使能位置“1”。

Step 11: 当 ADCCL 寄存器中的 SMPS=0 时,选择软件采样模式,设置 ADCCL 寄存器中的 SMPON=1 启动采样,ADCCL 寄存器中的 ADTRG 位硬件自动置 1;当 SMPS=1 时,选择硬件采样模式,将 ADC 转换启动位 ADTRG 位设置为“1”,开始 ADC 转换。

Step 12: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位,确定此次 A/D 转换是否完成。

Step 13: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

Step 14: 对 ADC 转换结果进行软件校准,减去初始失调误差。

6.8.5 电压自动监测

当模拟电压通过 ADC 转换后的值低于下门限或者高于上门限值,如果电压自动监测使能位 ADCVTEN 使能,如果下门槛中断使能位 ADLTRIE (INTE0<5>)使能,则会产生低于下门槛中断,ADLTRIF (INTF0<5>)置一,需要软件清零。同样,如果上门槛中断使能位 ADHTRIE (INTE0<6>)使能,则会产生高于上门槛中断,ADHTRIF (INTF0<6>)置一,需要软件清零。

上下限门槛值可通过 ADCLTR 和 ADCHTR 寄存器,在 ADC 转换前进行预设。

特别注意: A/D 自动监测门槛使能位需在每次 ADTRG 使能前关闭, A/D 转换完成后再打开。

6.8.6 AD时序特征示意图

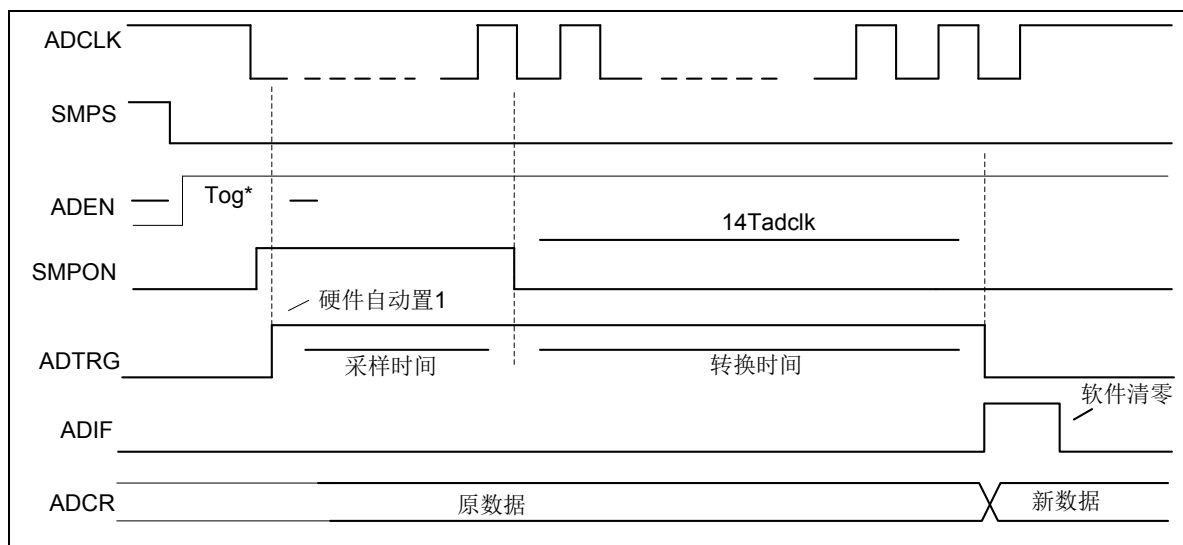


图 6-62 ADC 时序特征示意图 (SMPS=0)

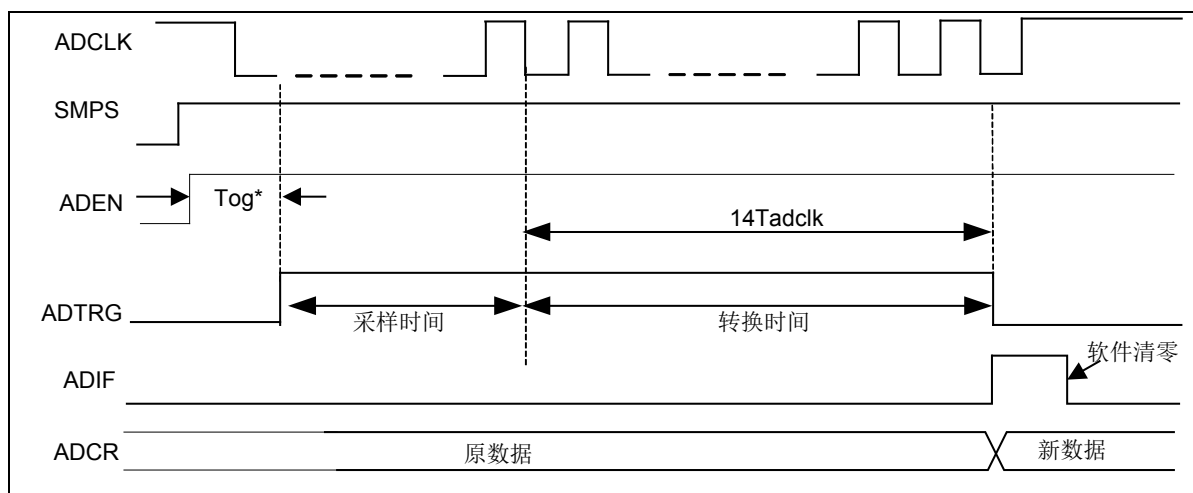


图 6-63 ADC 时序特征示意图 (SMPS=1)

注 1: $Tog > 80\mu s$;

注 2: AD 转换时钟周期 $Tadclk$, 可通过 $ADCKS<2:0>$ 寄存器配置不同的频率。

6.8.7 参考例程

应用例程 1: 对模拟输入通道 0 (AIN0)进行模数转换, 使用内部 VREF 作为 AD 参考电压

```
.....
BSS      ADCCSH, ADC_LP_EN ; ADC 低功耗模式
MOVI     0x6B                ; 正参考为内部 VREF2.048V, 负参考源为 VSS,
MOVA     ADCCM                ; offset 调节档位 1, AD 转换结果为 12 位
MOVI     0x49                ; 转换结果高位对齐, AD 时钟频率为 Fosc/16,
MOVA     ADCCH                ; AD 采样时间为 8Tadclk, VREFEN 使能
```

```

MOVI    0x05                ; 硬件控制 ADC 采样模式
MOVA    ADCCL                ; 使能 ADC 转换器, 选中通道 0, ADEN 使能
.....                ; 延时等待 300us
BSS     ADCCH, VREF_CHOPEN ; 使能内部参考电压斩波器
.....                ; 延时等待 1ms
BSS     ADCCL, ADTRG         ; 触发 ADC 转换
AD_WAIT
JBC     ADCCL, ADTRG         ; 等待 ADC 转换完成
GOTO    AD_WAIT
MOV     ADCRH, 0              ; 读取高 8 位转换结果
.....
MOV     ADCRL, 0              ; 读取低 4 位转换结果
.....
.....                ; ADC 转换结果进行软件校准(减去初始失调误差)
.....

```

6.8.8 特殊功能寄存器

ADC 功能是由四个控制寄存器和两个数据寄存器控制实现的。其中 ADCRL 和 ADCRH 寄存器用于存储 ADC 转换的数据结果, 结果对齐方式由 ADCCH 寄存器中的 ADFM 位控制选择; ADCCL 寄存器用于 ADC 模块的使能控制、ADC 采样模式选择、ADC 转换启动控制以及 ADC 模拟通道选择等; ADCCH 寄存器用于 ADC 采样时间选择、正负参考电压选择、ADC 时钟选择以及结果对齐方式选择等; ADCCM 寄存器用于正负参考电压选择、转换结果位数选择、ADC 转换 offset 调整选择等; ANSL、ANSH 寄存器用于控制复用端口的数模类型。

6.8.8.1 ADC转换值寄存器 (ADCR)

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	ADCR<11:8>				ADCR<7:0>							
0	ADCR<11:4>								ADCR<3:0>				—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCR<11:0>: A/D 转换结果

6.8.8.2 ADC自动监测下门槛值寄存器 (ADCLTR)

	ADCLTRH: ADC 下门槛值寄存器高 8 位								ADCLTRL: ADC 下门槛值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Name	—	—	—	—	ADCLTR<11:8>				ADCLTR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCLTR<11:0>: A/D 自动监测下门槛值

6.8.8.3 ADC自动监测上门槛值寄存器（ADCHTR）

ADFM	ADCHTRH: ADC 上门槛值寄存器高 8 位								ADCHTRL: ADC 上门槛值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Name	—	—	—	—	ADCHTR<11:8>				ADCHTR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ADCHTR<11:0>: A/D 自动监测上门槛值

6.8.8.4 ADC控制寄存器低 8 位（ADCCL）

ADCCL: ADC 控制寄存器低 8 位									
Bit	7	6	5	4	3	2	1	0	
Name	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	1	1	1	1	0	1	0	0	

Bit 7~4 ADCHS<3:0>: A/D 模拟通道选择位

- 0000: 通道 0 (AIN0)
- 0001: 通道 1 (AIN1)
- 0010: 通道 2 (AIN2)
- 0011: 通道 3 (AIN3)
- 0100: 通道 4 (AIN4)
- 0101: 通道 5 (AIN5)
- 0110: 通道 6 (AIN6)
- 0111: 通道 7 (AIN7)
- 1000: 1/4VDD (四分之一电源电压)
- 1001: 通道 9 (AIN9)
- 1010: 通道 10 (AIN10)
- 1011: 通道 11 (AIN11)
- 1100: 通道 12 (AIN12)
- 1101: 屏蔽通道选择
- 1110: VSS
- 1111: 屏蔽通道选择

Bit 3 SMPON: A/D 采样软件控制位

- 0: 结束采样
- 1: 启动采样

Bit 2 SMPS: A/D 采样模式选择位

- 0: 使能软件采样, 硬件采样禁止
- 1: 禁止软件采样, 硬件采样使能

Bit 1 ADTRG: A/D 采样转换状态位

- 0: A/D 未进行转换, 或 A/D 采样转换已完成
- 1: A/D 采样转换正在进行

当 SMPS=1 时, 该位软件置 1 启动 A/D 采样转换; 当 SMPS=0 时, SMPON=1 启动采样, 该位硬件自动置 1。

Bit 0 ADEN: A/D 转换使能位

0: 关闭 A/D 转换器

1: 运行 A/D 转换器

注 1: 如果 ADC 选择内部参考, 需先设置 ADCCH 寄存器中的 VREFEN 位使能内部参考, 设置 ADCCL 寄存器的 ADEN 位使能 ADC, 并等待 300us 以后, 再设置 ADCCH 寄存器中的 VREF_CHOPEN 位使能参考电压斩波器, 否则内部参考电压可能工作不稳定, 然后延时 1ms 以上, ADC 工作建立完成 (否则有可能导致 ADC 转换异常), 再启动 ADC 转换 (ADTRG=1), 可得到正确的转换结果。

注 2: 因 ADC 使用内部参考时, 每次 ADEN 和 VREFEN 重新使能后, 均需要执行上述内部参考电压和 ADC 工作建立过程, 所以应用中, 在芯片正常运行时不建议关闭 ADC 和内部参考电压, 保持 ADEN=1, VREFEN=1, VREF_CHOPEN=1, 只在进入 IDLE 休眠模式前, 可以关闭 ADC, 内部参考电压及其斩波器, 降低睡眠功耗。

6.8.8.5 ADC控制寄存器次高 8 位 (ADCCM)

ADCCM: ADC 控制寄存器次高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	VREFSEL	ADVREFNS	ADVREFPS<1:0>		ADOFSTS<1:0>		ADBITSEL<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	0	0	0	0	1	1

Bit7 VREFSEL: 参考电压选择位, 需软件固定为 0

0: 2.048V

1: 保留未用

Bit6 ADVREFNS: A/D 负参考源选择位, 需软件固定为 1

0: 保留未用

1: VSS

Bit 5~4 ADVREFPS<1:0>: A/D 正参考源选择位

00: VDD

01: 保留未用

10: 内部 VREF

11: 内部 VREF

Bit 3~2 ADOFSTS<1:0>: A/D 调整 offset 选择位, 需软件固定设置为 10

00: 保留未用

01: 保留未用

10: offset 调整档位 1

11: 保留未用

Bit 1-0 ADBITSEL<1:0>: A/D 转换位数选择位, 需软件固定设置为 11

00: 保留未用

01: 保留未用

10: 保留未用

11: 12 位 (转换结果为 ADCR<11:0>)

6.8.8.6 ADC控制寄存器高 8 位 (ADCCH)

ADCCH: ADC 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCKS<2:0>			ADST<1:0>		VREF_CHOPEN	VREFEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	0	1	0	0	0

- Bit 7 ADFM: A/D 转换数据放置格式选择位
 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)
- Bit 6~4 ADCKS<2:0>: A/D 转换时钟频率 (Tadclk) 选择位
 000: Fosc
 001: Fosc/2
 010: Fosc/4
 011: Fosc/8
 100: Fosc/16
 101: Fosc/32
 110: Fosc/64
 111: INTLRC (32KHz INTLRC 时钟)
- Bit 3~2 ADST<1:0>: A/D 硬件采样时间选择位
 00: 大约 2 个 Tadclk
 01: 大约 4 个 Tadclk
 10: 大约 8 个 Tadclk
 11: 大约 16 个 Tadclk
- Bit 1 VREF_CHOPEN: 内部参考电压斩波器使能位
 0: 禁止
 1: 使能 (ADC 使用内部 VREF 时, 需软件设置为 1)
- Bit 0 VREFEN: 参考电压模块使能位
 0: 禁止
 1: 使能

注 1: 如果在 A/D 转换过程中, 进行转换时钟切换, 切换后第一次 A/D 转换结果有可能存在误差;
 注 2: 使用内部 VREF 参考电压时, 在 VREFEN 使能后, 需等待 300us, 再设置 VREF_CHOPEN 使能内部参考电压斩波器, 否则内部参考电压可能工作不稳定。

6.8.8.7 ADC控制寄存器超高 8 位 (ADCCSH)

ADCCSH: ADC 控制寄存器超高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADCVTTEN	T21ADS	ADC_LP_EN	T21ADEN	—			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ADCVTTEN: A/D 自动监测门槛使能位
 0: 禁止
 1: 使能

- Bit 6 T21ADS: T21 PWM 沿启动 ADC 选择位
0: 上升沿
1: 下降沿
- Bit 5 ADC_LP_EN: ADC 低功耗使能位 (需软件固定设置为 1)
0: 保留未用
1: 低功耗模式
- Bit 4 T21ADEN: T21 PWM 沿启动 ADC 使能位
0: 禁止
1: 使能
- Bit 3~0 保留未用

注 1: A/D 自动监测门槛使能位需在每次 ADTRG 使能前关闭, A/D 转换完成后再打开;

注 2: ADC 低功耗使能位 ADC_LP_EN, 需软件固定设置为 1, 否则会增大芯片功耗。

6.8.8.8 端口数模控制寄存器低 8 位 (ANSL)

ANSL: 端口数模控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ANSL7	ANSL6	ANSL5	ANSL4	ANSL3	ANSL2	ANSL1	ANSL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ANSL7: PA7/AIN7 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 6 ANSL6: PB7/AIN6 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 5 ANSL5: PB3/AIN5 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 4 ANSL4: PB2/AIN4 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 3 ANSL3: PB0/AIN3 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 2 ANSL2: PA2/AIN2 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 1 ANSL1: PA1/AIN1 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 0 ANSL0: PA0/AIN0 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口

6.8.8.9 端口数模控制寄存器高 8 位 (ANSH)

ANSH: 端口数模控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	ANSH4	ANSH3	ANSH2	ANSH1	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~5 保留未用
- Bit 4 ANSH4: PB5/AIN12 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 3 ANSH3: PB1/AIN11 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 2 ANSH2: PA6/AIN10 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 1 ANSH1: PB4/AIN9 端口数模选择位
0: 模拟输入端口
1: 数字输入/输出端口
- Bit 0 保留未用

6.9 低电压检测模块（LVD）

6.9.1 概述

芯片内置一组低电压检测模块，支持低电压检测功能，即 LVD，该功能使能用于监测电源电压 VDD。在供电电源不稳定的情况下，像外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈振荡。在目标电压未稳定时，可能会低于工作电压。若所需检测的电压低于一定值可提供一个警告信号。低电压检测也可产生中断信号。

6.9.2 LVD操作

LVD 功能的禁止使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零，LVD 功能禁止。当 LVDEN 位置高，LVD 功能使能。LVD 模块将电源电压 VDD 与预置电压进行比较，比较结果通过 LVDC 寄存器的 LVDLS 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDV<2:0>配置。当目标电压低于预置电压值时，LVDLS 位被置为高，表明检测到低电压产生，产生 LVD 中断标志。当 LVD 中断使能开启时产生 LVD 中断请求。

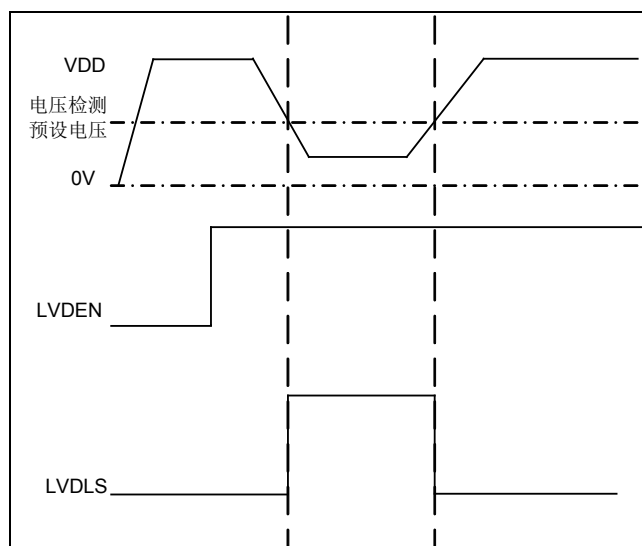


图 6-64 LVD 工作时序图

6.9.3 特殊功能寄存器

LVDC: LVD 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDLS	—	—	LVDEN	—	LVDV<2:0>		
R/W	R	—	—	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 LVDLS: LVD 电压检测状态位

0: 电源电压高于预设电压

1: 电源电压低于预设电压

Bit6~5 保留未用

Bit 4 LVDEN: LVD 使能位

0: 禁止

1: 使能

Bit 3	保留未用
Bit 2~0	LVDV<2:0>: LVD 电压检测选择位
	000: 2.2V
	001: 2.4V
	010: 2.6V
	011: 2.8V
	100: 3.0V
	101: 3.6V
	110: 4.0V
	111: 4.6V

注: LVD 档位必须高于 BOR 复位电压档位, 否则 LVD 功能失效。

第7章 MCU—中断处理

7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 30 个中断源：1 个软件中断和 29 个硬件中断。

7.2 中断控制结构框图

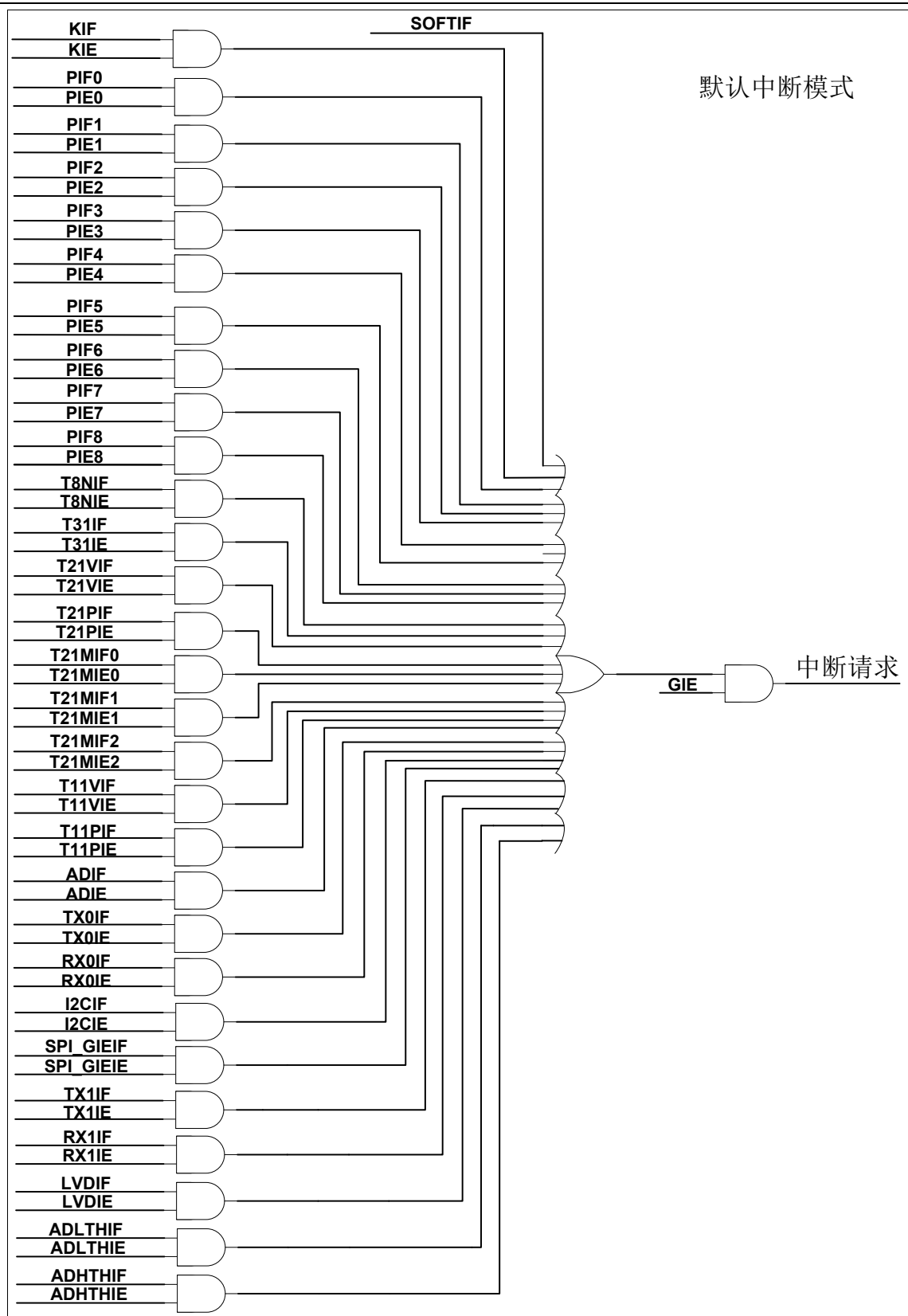


图 7-1 默认中断模式中中断控制逻辑

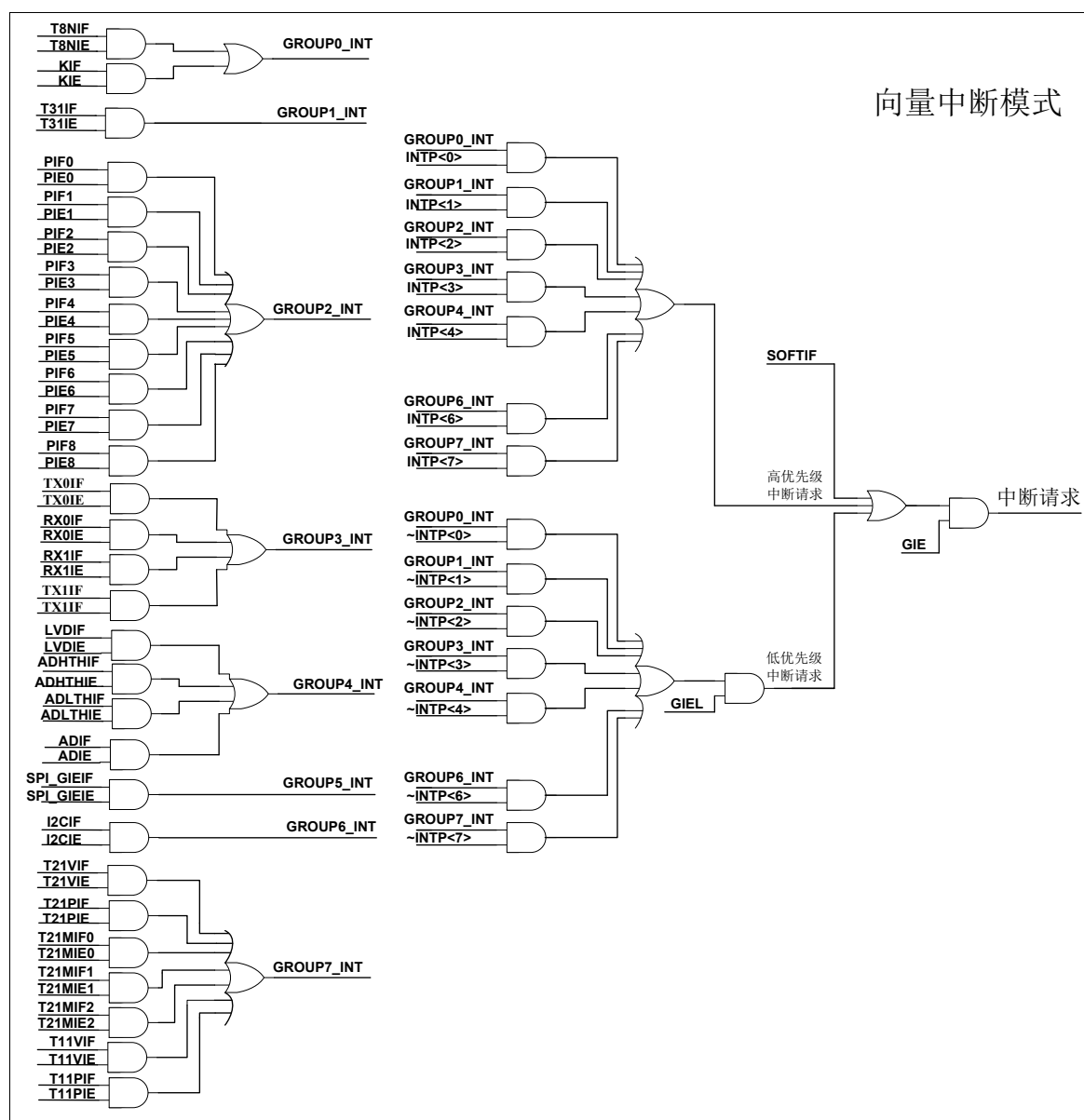


图 7-2 向量中断模式中中断控制逻辑

7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN0 位和芯片配置字中的 INTVEN1 位选择。需要注意的是，INTVEN0 和 INTVEN1 只有同时置“1”时，向量中断模式才有效。

INTVEN0 (INTG<2>)	INTVEN1 (CFG_WD0<11>)	中断模式
0	0	默认中断模式
0	1	
1	0	
1	1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004_H 入口地址，不支持中断优先级和中断嵌套。向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004_H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

序号	中断源	中断名	中断标志	中断使能	全局使能	备注
1	软中断	软中断	SOFTIF	—	GIE	软件置 1
2	外部中断	PINT0	PIF0	PIE0	GIE	—
3		PINT1	PIF1	PIE1	GIE	—
4		PINT2	PIF2	PIE2	GIE	—
5		PINT3	PIF3	PIE3	GIE	—
6		PINT4	PIF4	PIE4	GIE	—
7		PINT5	PIF5	PIE5	GIE	—
8		PINT6	PIF6	PIE6	GIE	—
9		PINT7	PIF7	PIE7	GIE	—
10		PINT8	PIF8	PIE8	GIE	—
11	T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	GIE	—
12	T31 总中断	T31INT	T31IF	T31IE	GIE	—
13	T21 定时器溢出中断	T21VINT	T21VIF	T21VIE	GIE	—
14	T21 周期匹配中断	T21PINT	T21PIF	T21PIE	GIE	—
15	T21 捕捉/比较中断 0	T21MINT0	T21MIF0	T21MIE0	GIE	—
16	T21 捕捉/比较中断 1	T21MINT1	T21MIF1	T21MIE1	GIE	—
17	T21 捕捉/比较中断 2	T21MINT2	T21MIF2	T21MIE2	GIE	—
18	T11 定时器溢出中断	T11VINT	T11VIF	T11VIE	GIE	—
19	T11 周期匹配中断	T11PINT	T11PIF	T11PIE	GIE	—
20	ADC 中断	ADINT	ADIF	ADIE	GIE	—
21	ADC 低阈值电压检测中断	ADLTHINT	ADLTHIF	ADLTHIE	GIE	—
22	ADC 高阈值电压检测中断	ADHTHINT	ADHTHIF	ADHTHIE	GIE	—
23	UART0 TX 中断	TX0INT	TX0IF	TX0IE	GIE	—
24	UART0 RX 中断	RX0INT	RX0IF	RX0IE	GIE	—
25	UART1 TX 中断	TX1INT	TX1IF	TX1IE	GIE	—
26	UART1 RX 中断	RX1INT	RX1IF	RX1IE	GIE	—
27	I2CS 通讯总中断	I2CINT	I2CIF	I2CIE	GIE	—
28	SPI 通讯总中断	SPIINT	SPI_GIEIF	SPI_GIEIE	GIE	—
29	外部按键中断	KINT	KIF	KIE	GIE	—
30	LVD 中断	LVDINT	LVDIF	LVDIE	GIE	—

表 7-2 默认中断模式使能配置表

7.3.2 向量中断模式

7.3.2.1 向量表配置

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004_H，优先级最高；其它硬件中断分 8 组(IG0~IG7)，通过中断全局寄存器 INTG 中的 INTV<1:0>配置支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过中断优先级寄存器 INTP 中的 IGPx 配置，将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由高优先级中断使能位 GIE 和低优先级中断使能位 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

优先级		0（高）	1	2	3	4	5	6	7	8（低）
入口地址		0004 _H	0008 _H	000C _H	0010 _H	0014 _H	0018 _H	001C _H	0020 _H	0024 _H
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 7-3 向量表配置表

7.3.2.2 中断分组配置

序号	中断组号	高低优先级选择	中断名	备注
1	IG0	IGP0	T8NINT	—
			KINT	—
2	IG1	IGP1	T31INT	—
3	IG2	IGP2	PINT0	—
4			PINT1	—
5			PINT2	—
6			PINT3	—
7			PINT4	—
8			PINT5	—
9			PINT6	—
10			PINT7	—
11			PINT8	—
12	IG3	IGP3	TX0INT	—
13			RX0INT	—
14			TX1INT	—
15			RX1INT	—
16	IG4	IGP4	ADINT	—
17			ADHINT	—
18			ADLTHINT	—
20			LVDINT	—
21	IG5	IGP5	SPIINT	—

序号	中断组号	高低优先级选择	中断名	备注
22	IG6	IGP6	I2CINT	—
23	IG7	IGP7	T21VINT	—
24			T21PINT	—
25			T21MINT0	—
26			T21MINT1	—
27			T21MINT2	—
28			T11VINT	—
29			T11PINT	—

表 7-4 向量中断模式中中断分组配置表

7.3.2.3 中断使能配置

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
1	软中断	软中断	SOFTIF	—	—	—	GIE	软件置 1
2	外部中断	PINT0	PIF0	PIE0	0	GIEL	GIE	—
					1	—	GIE	—
3		PINT1	PIF1	PIE1	0	GIEL	GIE	—
					1	—	GIE	—
4		PINT2	PIF2	PIE2	0	GIEL	GIE	—
					1	—	GIE	—
5		PINT3	PIF3	PIE3	0	GIEL	GIE	—
					1	—	GIE	—
6		PINT4	PIF4	PIE4	0	GIEL	GIE	—
					1	—	GIE	—
7		PINT5	PIF5	PIE5	0	GIEL	GIE	—
					1	—	GIE	—
8		PINT6	PIF6	PIE6	0	GIEL	GIE	—
					1	—	GIE	—
9		PINT7	PIF7	PIE7	0	GIEL	GIE	—
					1	—	GIE	—
10		PINT8	PIF8	PIE8	0	GIEL	GIE	—
					1	—	GIE	—
11	T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	0	GIEL	GIE	—
					1	—	GIE	—
12	T31 总中断	T31INT	T31IF	T31IE	0	GIEL	GIE	—
					1	—	GIE	—
13	T21 定时器溢出中断	T21VINT	T21VIF	T21VIE	0	GIEL	GIE	—
					1	—	GIE	—
14	T21 周期匹配中断	T21PINT	T21PIF	T21PIE	0	GIEL	GIE	—
					1	—	GIE	—
15	T21 捕捉/比较	T21MINT0	T21MIF0	T21MIE0	0	GIEL	GIE	—

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
	中断 0				1	—	GIE	—
16	T21 捕捉/比较中断 1	T21MINT1	T21MIF1	T21MIE1	0	GIEL	GIE	—
					1	—	GIE	—
17	T21 捕捉/比较中断 2	T21MINT2	T21MIF2	T21MIE1	0	GIEL	GIE	
					1	—	GIE	
18	T11 定时器溢出中断	T11VINT	T11VIF	T11VIE	0	GIEL	GIE	—
					1	—	GIE	—
19	T11 周期匹配中断	T11PINT	T11PIF	T11PIE	0	GIEL	GIE	
					1	—	GIE	
20	ADC 中断	ADINT	ADIF	ADIE	0	GIEL	GIE	—
					1	—	GIE	—
21	UART0 TX 中断	TX0INT	TX0IF	TX0IE	0	GIEL	GIE	—
					1	—	GIE	—
22	UART0 RX 中断	RX0INT	RX0IF	RX0IE	0	GIEL	GIE	—
					1	—	GIE	—
23	UART1 TX 中断	TX1INT	TX1IF	TX1IE	0	GIEL	GIE	—
					1	—	GIE	—
24	UART1 RX 中断	RX1INT	RX1IF	RX1IE	0	GIEL	GIE	—
					1	—	GIE	—
25	I2CS 通讯总中断	I2CINT	I2CIF	I2CIE	0	GIEL	GIE	—
					1	—	GIE	—
26	SPI 通讯总中断	SPIINT	SPI_GIEIF	SPI_GIEIE	0	GIEL	GIE	—
					1	—	GIE	—
27	外部按键中断	KINT	KIF	KIE	0	GIEL	GIE	—
					1	—	GIE	—
28	ADC 低阈值电压检测中断	ADLTHINT	ADLTHIF	ADLTHIE	0	GIEL	GIE	—
					1	—	GIE	—
29	ADC 高阈值电压检测中断	ADHTHINT	ADHTHIF	ADHTHIE	0	GIEL	GIE	—
					1	—	GIE	—
30	LVD 中断	LVDINT	LVDIF	LVDIE	0	GIEL	GIE	—
					1	—	GIE	—

表 7-5 向量中断模式使能配置表

7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH 和 BKSR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKRS1 和 AS0、PSWS0、PCRHS0、BKRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复。

复动作，两级镜像寄存器采用堆栈的操作方式。

7.5 中断操作

7.5.1 中断使能位GIE和GIEL的操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

- 1) 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
- 2) 在默认中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，若对应中断所在组为高优先级，程序将跳至中断服务程序地址执行；若对应中断所在组为低优先级，当低优先级中断使能位 GIEL 为“1”时，在无高优先级中断请求时，程序将跳至中断服务地址执行，当低优先级中断使能位 GIEL 为“0”时，将屏蔽所有低优先级中断请求。

为确保对寄存器 GIE 和 GIEL 的软件写操作成功，需按如下步骤进行：

- 1) 在默认中断模式或向量中断模式下，对 GIE 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIE 位清 0；或在 GIE 位清 0 操作后，查询 GIE 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIE 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 GIE 位置 1。
- 2) 在向量中断模式下，对 GIEL 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIEL 位清 0；或在 GIEL 位清 0 操作后，查询 GIEL 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIEL 位的软件置 1 操作，需与 GIE 位同时置 1，或先将 GIEL 位置 1，再将 GIE 位置 1。

7.5.2 外部中断

当 PINTx 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTx 外部端口中断，相应的中断标志 PIFx 被置“1”。当全局中断控制位 GIE 和外部端口中断控制位 PIEx 都被置为“1”时，则向 CPU 发出 PINTx 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

需要注意的是，相应中断标志位 PIFx 和中断使能位 PIEx 都需通过软件清除，INTC0 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。

7.5.3 外部按键中断

当 KINx 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化时，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出外部按键中断请求。CPU 根据中断的优先级响应当前中断的请求，当外部按键中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKx=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤如下：

- 1) 对端口寄存器进行读或者写操作，清除端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

7.5.4 ADC中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断控制位 ADIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 ADC 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 ADC 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.5.5 ADC电压检测中断

ADC 电压检测中断由 ADC 转换动作控制，当 ADC 转换完成时，转换值如果低于或者高于预设值，将产生 ADC 电压检测中断，ADC 电压检测中断标志位 ADLTHIF 或者 ADHTHIF 被置“1”。当 ADC 中断控制位 ADLTHIE 或者 ADHTHIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 ADC 电压检测中断请求。CPU 根据中断的优先级响应当前中断的请求，当 ADC 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ADC 电压检测中断标志位 ADLTHIF 或者 ADHTHIF 和中断使能位 ADLTHIE 或者 ADHTHIE 都需通过软件清除。

7.5.6 LVD中断

当 VDD 电压小于 LVDC 寄存器设置的阈值电压时，低电压产生，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 LVD 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 LVD 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.5.7 T8N溢出中断

8 位定时器/计数器 T8N 处于定时器模式或计数器模式，当 T8N 计数器递增计数由 FF_H 变为 00_H 时，T8N 计数器发生溢出，将中断标志 T8NIF 位置“1”。当 T8N 溢出中断使能位 T8NIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T8N 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T8N 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8N 溢出中断标志位 T8NIF 和中断使能位 T8NIE 都需通过软件清除。

7.5.8 T11溢出中断

12 位定时器，对计数时钟进行递增计数，当 T11 后分频器的计数值与后分频器分频比相同时，产生溢出中断。

T11 溢出中断产生时，将中断标志 T11VIF 位置“1”。当 T11 溢出中断使能位 T11VIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T11 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T11 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T11 溢出中断标志位 T11VIF 和中断使能位 T11VIE 都需通过软件清除。

7.5.9 T11周期中断

12 位定时器，T11 从零开始递增计数，当 T11 与 T11P 寄存器的值相等时，将产生 T11 周期中断，中断标志 T11PIF 被置“1”。如果中断使能位 T11PIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T11 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T11 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T11 周期中断标志位 T11PIF 和中断使能位 T11PIE 都需通过软件清除。

7.5.10 T21溢出中断

12 位定时器 T21 的各种工作模式都可产生溢出中断：

定时器模式/多精度 PWM 模式

12 位定时器 T21 处于定时器模式/多精度 PWM 模式时，对计数时钟进行递增计数，当 T21 后分频器的计数值与后分频器分频比相同时，产生溢出中断。

捕捉器模式/比较器模式

12 位定时器 T21 处于捕捉器模式/比较器模式时，对计数时钟进行递增计数，当 T21 计数值溢出时（即从 FFF_H 变为 000_H），产生溢出中断。

T21 溢出中断产生时，将中断标志 T21VIF 位置“1”。当 T21 溢出中断使能位 T21VIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T21 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T21 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T21 溢出中断标志位 T21VIF 和中断使能位 T21VIE 都需通过软件清除。

7.5.11 T21周期中断

12 位定时器 T21 处于多精度 PWM 模式时，T21 从零开始递增计数，当 T21 与 T21P 寄存器的值相等时，将产生 T21 周期中断，中断标志 T21PIF 被置“1”。如果中断使能位 T21PIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T21 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T21 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T21 周期中断标志位 T21PIF 和中断使能位 T21PIE 都需通过软件清除。

7.5.12 T21多功能中断

12 位定时器 T21 处于捕捉器模式/比较器模式时可产生多功能中断。

捕捉器模式

12 位定时器 T21 处于捕捉器模式时，T21 进行递增计数，当 T21CI0/T21CI1/T21CI2 输入信号的变化状态满足捕捉条件时，计数器 T21 的值将被载入到相应的 12 位捕捉寄存器 T21R0/T21R1/T21R2 中，并产生相应的多功能中断 T21MIF0/T21MIF1/T21MIF2。

比较器模式

12 位定时器 T21 处于比较器模式时，T21 进行递增计数。当计数器 T21 的计数值与比较寄存器 T21R0/T21R1/T21R2 中的比较值相等时，执行相应的比较匹配事件，并产生相应的多功能中断 T21MIF0/T21MIF1/T21MIF2。

T21 多功能中断产生时，将相应的中断标志 T21MIF0/T21MIF1/T21MIF2 位置“1”。当相应的 T21 多功能中断使能位 T21MIE0/T21MIE1/T21MIE2 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T21 多功能中断 0/1/2 请求。CPU 根据中断的优先级响应当前中断的请求，当 T21 多功能中断 0/1/2 条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T21 多功能中断标志位 T21MIF0/T21MIF1/T21MIF2 和多功能中断使能位 T21MIE0/T21MIE1/T21MIE2 都需通过软件清除。

7. 5. 13 T31中断

当 BKIF、TRGIF、CHUIF、MIF4、MIF3、MIF2、MIF1、UPIF、OVIF4、OVIF3、OVIF2、OVIF1 中任何一个中断标志位置 1，且其对应的中断使能位也为 1 时，T31 总中断标志位 T31IF 就会置 1。如果 T31 总中断使能位 T31IE 置 1，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T31 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T31 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零 T31IF，但在清零 T31IF 总中断标志位之前，需先清零 BKIF、TRGIF、CHUIF、MIF4、MIF3、MIF2、MIF1、UPIF、OVIF4、OVIF3、OVIF2、OVIF1 等相关中断标志位。

7. 5. 14 UART0/UART1中断

UARTn 中断包括两种：发送中断和接收中断。

当 UARTn 异步发送器的发送数据寄存器 TXnB 为空，或异步接收器完成一个数据接收时，产生 UARTn 发送/接收中断，发送/接收中断标志位 RXnIF/TXnIF 被置为“1”。如果发送/接收中断使能位 RXnIE/TXnIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 UARTn 发送/接收中断请求。CPU 根据中断的优先级响应当前中断的请求，当 UARTn 发送/接收中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，接收/发送中断标志位 RXnIF/TXnIF 为只读，不可软件清零，读接收数据寄存器 RXnB，可清除 RXnIF，写发送数据寄存器 TXnB，可清除 TXnIF；接收/发送中断使能位 RXnIE/TXnIE 需通过软件清除。

7. 5. 15 I2CS中断

当 I2CSRIF、I2CSPIF、I2CTBIF、I2CRBIF、I2CTEIF、I2CROIF 和 I2CNAIF 中任何一个中断标志位置 1 时，I2C 总中断标志位 I2CIF 就会置 1。如果 I2C 中断使能位 I2CIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 I2C 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 I2C 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，

需要软件清零 I2CIF，但在清零 I2CIF 总中断标志位之前，需先清零 I2CSRIF、I2CSPIF、I2CTEIF、I2CROIF 和 I2CNAIF 等相关中断标志位。

7.5.16 SPI中断

当 TBWEIF、NSSIF、IDIF、ROIF、TEIF、RBIF 和 TBIF 中任何一个中断标志位置 1 时，I2C 总中断标志位 SPI_GIEIF 就会置 1。如果 SPI 中断使能位 SPI_GIEIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 SPI 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 SPI 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零 SPI_GIEIF，但在清零 SPI_GIEIF 总中断标志位之前，需先清零 TBWEIF、NSSIF、IDIF、ROIF、TEIF、RBIF 和 TBIF 等相关中断标志位。

7.5.17 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.6 特殊功能寄存器

中断功能由一系列的控制寄存器和芯片配置字共同控制。

7.6.1 中断全局寄存器（INTG）

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>	
R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 GIE: 全局中断使能位，或高优先级中断使能位

0: 禁止所有的中断，或禁止高优先级中断

1: 使能所有未屏蔽的中断，或使能高优先级中断

Bit 6 GIEL: 低优先级中断使能位（向量中断模式）

0: 禁止低优先级中断

1: 使能低优先级中断

Bit 5~4 未使用

Bit 3 SOFTIF: 软中断标志位

0: 无软中断

1: 有软中断

Bit 2 INTVEN0: 中断模式选择位

0: 默认中断模式

1: 向量中断模式（芯片配置字 INTVEN1（CFG_WD0<11>）必须为 1）

Bit 1~0 INTV<1:0>: 中断向量表选择位, 参考向量表配置

注: 软件清零 GIE 或 GIEL 位时, 需判断 GIE 或 GIEL 是否清零成功, 如未被清零, 则需再次执行软件清零操作, 直到清零成功。软件置位 GIE 和 GIEL 时, 需先置位 GIEL, 再置位 GIE, 或同时置位 GIE 和 GIEL。

7.6.2 中断优先级寄存器 (INTP)

INTP: 中断优先级寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IGP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IGP<7:0>: IG7-IG0 中断优先级设置

0: 低优先级

1: 高优先级

7.6.3 中断控制寄存器0 (INTC0)

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	PEG3<1:0>		PEG2<1:0>		PEG1<1:0>		PEG0<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 PEG3<1:0>: PINT8~PINT6 触发边沿选择位

00: PINT8~PINT6 下降沿触发

01: PINT8~PINT6 上升沿触发

1x: PINT8~PINT6 双沿触发

Bit 5~4 PEG2<1:0>: PINT5~PINT4 触发边沿选择位

00: PINT5~PINT4 下降沿触发

01: PINT5~PINT4 上升沿触发

1x: PINT5~PINT4 双沿触发

Bit 3~2 PEG1<1:0>: PINT3~PINT2 触发边沿选择位

00: PINT3~PINT2 下降沿触发

01: PINT3~PINT2 上升沿触发

1x: PINT3~PINT2 双沿触发

Bit 1~0 PEG0<1:0>: PINT1~PINT0 触发边沿选择位

00: PINT1~PINT0 下降沿触发

01: PINT1~PINT0 上升沿触发

1x: PINT1~PINT0 双沿触发

7.6.4 中断标志寄存器0 (INTF0)

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	SPI_GIEIF	ADHTRIF	ADLTRIF	KIF	PIF8	T31IF	T8NIF	ADIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 SPI_GIEIF: SPI 模块总中断标志位
0: 未发生 SPI 中断
1: 发生 SPI 中断 (必须用软件清零)
- Bit 6 ADHTRIF: 高于上门槛中断标志位
0: ADC 转换值未高于上门槛
1: ADC 转换值高于上门槛 (必须用软件清零)
- bit5 ADLTRIF: 低于下门槛中断标志位
0: ADC 转换值未低于下门槛
1: ADC 转换值低于下门槛 (必须用软件清零)
- bit4 KIF: 外部按键中断标志位
0: 未产生外部按键中断
1: 产生外部按键中断 (必须用软件清零)
- Bit 3 PIF8: 外部端口中断 8 标志位
0: 外部端口 PINT8 上无中断信号
1: 外部端口 PINT8 上有中断信号 (必须用软件清零)
- Bit 2 T31IF: T31 总中断标志位
0: T31 未发生中断
1: T31 发生中断 (必须软件清零)
- Bit 1 T8NIF: T8N 溢出中断标志位
0: T8N 计数未溢出
1: T8N 计数溢出 (必须用软件清零)
- Bit 0 ADIF: ADC 中断标志位
0: 正在进行 AD 转换
1: AD 转换已经完成 (必须用软件清零)

7.6.5 中断使能寄存器0 (INTE0)

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	SPI_GIEIE	ADHTRIE	ADLTRIE	KIE	PIE8	T31IE	T8NIE	ADIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 SPI_GIEIE: SPI 模块总中断使能位
0: 禁止
1: 使能
- Bit 6 ADHTRIE: 高于上门槛中断使能位
0: 禁止

	1: 使能
bit5	ADLTRIE: 低于下门槛中断使能位
	0: 禁止
	1: 使能
bit4	KIE: 外部按键中断使能位
	0: 禁止
	1: 使能
Bit 3	PIE8: 外部端口中断 8 使能位
	0: 禁止
	1: 使能
Bit 2	T31IE: T31 总中断使能位
	0: 禁止
	1: 使能
Bit 1	T8NIE: T8N 溢出中断使能位
	0: 禁止
	1: 使能
Bit 0	ADIE: ADC 中断使能位
	0: 禁止
	1: 使能

7.6.6 中断标志寄存器1 (INTF1)

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7	PIF7: 外部端口中断 7 标志位
	0: 外部端口 PINT7 上无中断信号
	1: 外部端口 PINT7 上有中断信号 (必须用软件清零)
Bit 6	PIF6: 外部端口中断 6 标志位
	0: 外部端口 PINT6 上无中断信号
	1: 外部端口 PINT6 上有中断信号 (必须用软件清零)
Bit 5	PIF5: 外部端口中断 5 标志位
	0: 外部端口 PINT5 上无中断信号
	1: 外部端口 PINT5 上有中断信号 (必须用软件清零)
Bit 4	PIF4: 外部端口中断 4 标志位
	0: 外部端口 PINT4 上无中断信号
	1: 外部端口 PINT4 上有中断信号 (必须用软件清零)
Bit 3	PIF3: 外部端口中断 3 标志位
	0: 外部端口 PINT3 上无中断信号
	1: 外部端口 PINT3 上有中断信号 (必须用软件清零)
Bit 2	PIF2: 外部端口中断 2 标志位
	0: 外部端口 PINT2 上无中断信号

- 1: 外部端口 PINT2 上有中断信号（必须用软件清零）
- Bit 1 PIF1: 外部端口中断 1 标志位
- 0: 外部端口 PINT1 上无中断信号
- 1: 外部端口 PINT1 上有中断信号（必须用软件清零）
- Bit 0 PIF0: 外部端口中断 0 标志位
- 0: 外部端口 PINT0 上无中断信号
- 1: 外部端口 PINT0 上有中断信号（必须用软件清零）

7.6.7 中断使能寄存器1（INTE1）

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	PIE7	PIE6	PIE5	PIE4	PIE3	PIE2	PIE1	PIE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 PIE7: 外部端口中断 7 使能位
- 0: 禁止
- 1: 使能
- Bit 6 PIE6: 外部端口中断 6 使能位
- 0: 禁止
- 1: 使能
- Bit 5 PIE5: 外部端口中断 5 使能位
- 0: 禁止
- 1: 使能
- Bit 4 PIE4: 外部端口中断 4 使能位
- 0: 禁止
- 1: 使能
- Bit 3 PIE3: 外部端口中断 3 使能位
- 0: 禁止
- 1: 使能
- Bit 2 PIE2: 外部端口中断 2 使能位
- 0: 禁止
- 1: 使能
- Bit 1 PIE1: 外部端口中断 1 使能位
- 0: 禁止
- 1: 使能
- Bit 0 PIE0: 外部端口中断 0 使能位
- 0: 禁止
- 1: 使能

7.6.8 中断标志寄存器2 (INTF2)

INTF2: 中断标志寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	T21MIF2	I2CIF	T21MIF1	T21MIF0	T21PIF	T21VIF	RX0IF	TX0IF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 T21MIF2: T21 捕捉/比较中断 2 标志位
 0: 无中断请求
 1: T21 多功能中断 2 请求
- Bit 6 I2CIF: I2CS 通讯总中断标志位
 0: 未发生通讯中断
 1: 发生通讯中断
- Bit 5 T21MIF1: T21 捕捉/比较中断 1 标志位
 0: 无中断请求
 1: T21 多功能中断 1 请求
- Bit 4 T21MIF0: T21 捕捉/比较中断 0 标志位
 0: 无中断请求
 1: T21 多功能中断 0 请求
- Bit 3 T21PIF: T21 周期中断标志位
 0: 无中断请求
 1: T21 周期中断请求
- Bit 2 T21VIF: T21 溢出中断标志位
 0: 无中断请求
 1: T21 溢出中断请求
- Bit 1 RX0IF: UART0 接收中断标志位
 0: 接收缓冲区空 (接收未完成)
 1: 接收缓冲区满 (接收完成), 读 RX0B 清零
- Bit 0 TX0IF: UART0 发送中断标志位
 0: 发送缓冲区满 (发送未完成)
 1: 发送缓冲区空 (发送完成), 写 TX0B 清零

7.6.9 中断使能寄存器2 (INTE2)

INTE2: 中断使能寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	T21MIE2	I2CIE	T21MIE1	T21MIE0	T21PIE	T21VIE	RX0IE	TX0IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T21MIE2: T21 捕捉/比较中断 2 使能位
 0: 禁止
 1: 使能
- Bit 6 I2CIE: I2CS 通讯总中断使能位
 0: 禁止

	1: 使能
Bit 5	T21MIE1: T21 捕捉/比较中断 1 使能位
	0: 禁止
	1: 使能
Bit 4	T21MIE0: T21 捕捉/比较中断 0 使能位
	0: 禁止
	1: 使能
Bit 3	T21PIE: T21 周期中断使能位
	0: 禁止
	1: 使能
Bit 2	T21VIE: T21 溢出中断使能位
	0: 禁止
	1: 使能
Bit 1	RX0IE: UART0 接收中断使能位
	0: 禁止
	1: 使能
Bit 0	TX0IE: UART0 发送中断使能位
	0: 禁止
	1: 使能

7.6.10 中断标志寄存器3 (INTF3)

INTF3: 中断标志寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	LVDIF	—	—	—	T11PIF	T11VIF	RX1IF	TX1IF
R/W	R/W	—	—	—	R/W	R/W	R	R
POR	0	0	0	0	0	0	0	0

Bit 7	LVDIF: LVD 中断标志位
	0: 电源电压高于 LVD 检测电压
	1: 电源电压低于 LVD 检测电压
Bit 6~4	保留未用
Bit 3	T11PIF: T11 周期中断标志位
	0: 无中断请求
	1: T11 周期中断请求
Bit 2	T11VIF: T11 溢出中断标志位
	0: 无中断请求
	1: T11 溢出中断请求
Bit 1	RX1IF: UART1 接收中断标志位
	0: 接收缓冲区空 (接收未完成)
	1: 接收缓冲区满 (接收完成), 读 RX1B 清零
Bit 0	TX1IF: UART1 发送中断标志位
	0: 发送缓冲区满 (发送未完成)
	1: 发送缓冲区空 (发送完成), 写 TX1B 清零

7.6.11 中断使能寄存器3 (INTE3)

INTE3: 中断使能寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	LVDIE	—	—	—	T11PIE	T11VIE	RX1IE	TX1IE
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 LVDIE: LVD 中断使能位
 0: 禁止
 1: 使能
- Bit 6~4 保留未用
- Bit 3 T11PIE: T11 周期中断使能位
 0: 禁止
 1: 使能
- Bit 2 T11VIE: T11 溢出中断使能位
 0: 禁止
 1: 使能
- Bit 1 RX1IE: UART1 接收中断使能位
 0: 禁止
 1: 使能
- Bit 0 TX1IE: UART1 发送中断使能位
 0: 禁止
 1: 使能

7.6.12 外部按键中断屏蔽寄存器 (KMSK)

KMSK: 外部按键中断控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 KMSK7: KIN7 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 6 KMSK6: KIN6 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 5 KMSK5: KIN5 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 4 KMSK4: KIN4 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 3 KMSK3: KIN3 按键输入屏蔽位

	0: 屏蔽
	1: 不屏蔽
Bit 2	KMSK2: KIN2 按键输入屏蔽位
	0: 屏蔽
	1: 不屏蔽
Bit 1	KMSK1: KIN1 按键输入屏蔽位
	0: 屏蔽
	1: 不屏蔽
Bit 0	KMSK0: KIN0 按键输入屏蔽位
	0: 屏蔽
	1: 不屏蔽

第8章 MCU芯片配置字

8.1 芯片配置字 0 (CFG_WD0)

寄存器名称	芯片配置字 (CFG_WD0)	
地址	8001 _H	
OSCS <2:0>	bit2-0	<p>振荡器选择位</p> <p>000: 保留未用</p> <p>001: 保留未用</p> <p>010: 保留未用</p> <p>011: INTLRC 32KHz 模式, PB3 为 I/O 管脚</p> <p>100: 保留未用</p> <p>101: 保留未用</p> <p>110: INTHRCO 模式, PB3 管脚功能为 CLKO^{注2}, 主系统时钟为 INTHRC</p> <p>111: INTHRC 模式, PB3 为 I/O 管脚, 主系统时钟为 INTHRC (默认值)</p>
WDTEN	bit3	<p>硬件看门狗使能位</p> <p>0: 禁止</p> <p>1: 使能</p>
PWRTEB	bit4	<p>上电/低电压定时器使能位</p> <p>当 PA3 管脚用于外部复位 MRSTN 时</p> <p>0: 使能 (上电延时约 130ms) (默认值)</p> <p>1: 禁止</p> <p>当 PA3 管脚用于数字输入输出时, 硬件固定为使能</p>
MRSTEN	bit5	<p>MRSTN 管脚功能选择位</p> <p>0: PA3 管脚用于数字输入输出</p> <p>1: PA3 管脚用于外部复位 (默认值)</p>
BORVS	bit7-6	<p>低电压选择位</p> <p>11: 3.1V</p> <p>10: 2.5V</p> <p>01: 2.1V (默认值)</p> <p>00: 保留未用</p>
—	bit9-8	固定为 01
ICDEN	bit10	<p>ICD 调试模式使能位</p> <p>0: 使能</p> <p>1: 禁止 (默认值, 调试完毕后需禁止, 否则芯片无法正常运行)</p>
INTVEN1	bit11	<p>中断模式选择位</p> <p>0: 默认中断模式</p> <p>1: 向量中断模式 (控制寄存器位 INTVEN0 (INTG<2>) 也必须为 1) (默认值)</p>
—	bit12	固定为 1

寄存器名称	芯片配置字 (CFG_WD0)	
FREN	bit13	FLASH 程序存储区查表指令读使能位 0: 禁止 1: 使能 (默认值)
OSC_FREQ_SE L<1:0>	bit15~14	内部高速时钟频率 f_{inthr} 选择位 00: 4MHz 01: 16MHz (默认值) 10: 32MHz 11: 64MHz (见注 3)

8.2 芯片配置字 1 (CFG_WD1)

寄存器名称	芯片配置字 1 (CFG_WD1)	
地址	8004H	
ICDSEL<1:0>	bit1~0	ICD 调试端口选择位 00: 选择 PC1/PA5 01: 保留未用 10, 11: 选择 PA4/PA2 (默认值)
—	bit7-2	固定为 1001_11
CFG_WD1N<15:8>	bit15-8	配置字 CFG_WD1<7:0>取反

注 1: 芯片配置字通过编程界面配置;

注 2: CLK0 为系统时钟输出, 同时此端口需要设置为输出状态;

注 3: 当内部高速时钟选择为 64MHz 时, 系统时钟最大为 32MHz, 由硬件自动二分频处理后再作为系统时钟。

第9章 RF收发器—工作模式控制

RF 收发器各工作模式之间的切换控制如下图所示：

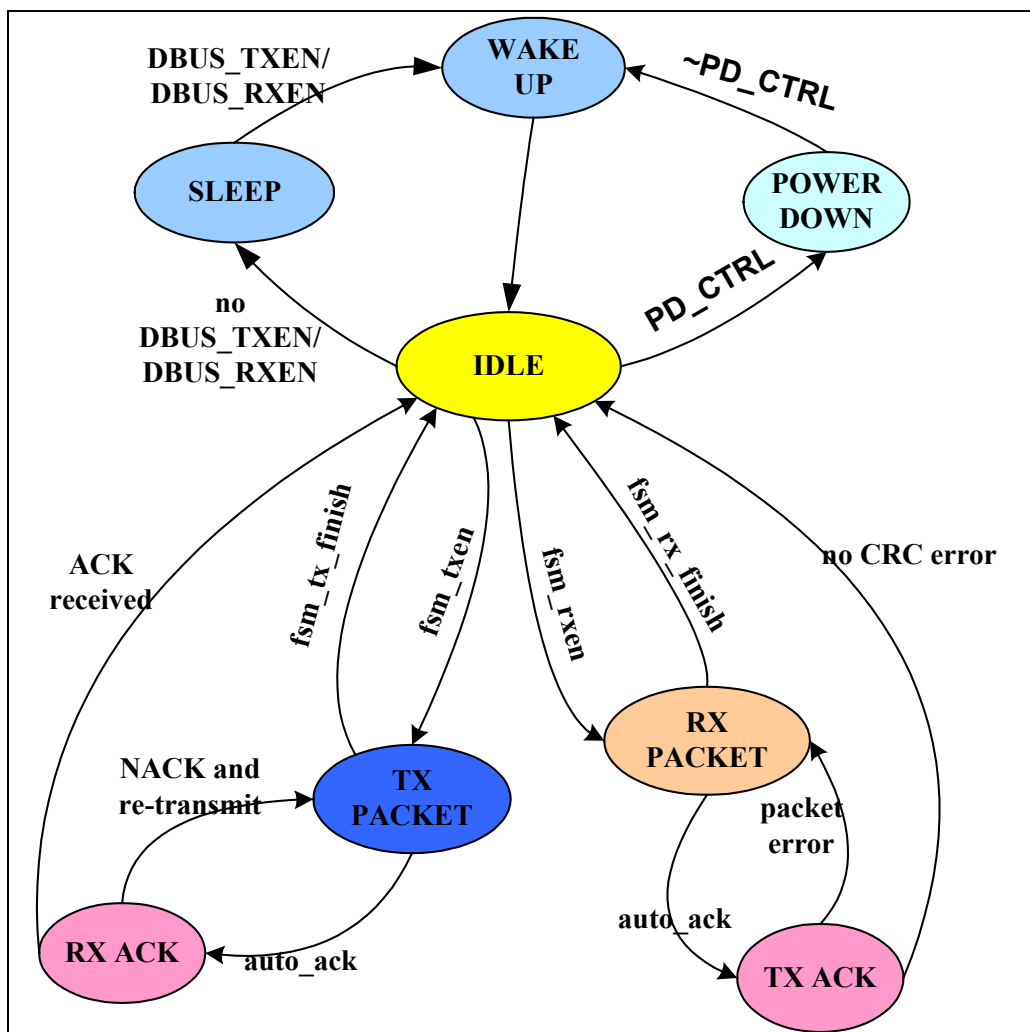


图 9-1 RF 收发器工作模式控制示意图

9.1 POWER DOWN模式

在此模式下除了低功耗数字 LDO 电源工作外，所有模拟模块关闭，寄存器状态保持并可读写（但 FIFO 不可操作，中断标志不可清），RF 收发器整体功耗约为 1.5 μ A。

设置寄存器 PD_CTRL（寄存器 MISC0 的 Bit15）为高可以进入 POWER DOWN 模式，如果设置为低则退出 POWER DOWN 模式（引脚 CE 需保持为高电平）。RF 收发器从 POWER DOWN 模式退出进入 IDLE 模式后若无收发要求将自动进入 SLEEP 模式。

9.2 SLEEP模式

在此模式下低功耗数字 LDO 电源与晶体振荡器工作，但是晶体振荡器的缓冲器未使能，片内数字电路无时钟，寄存器状态保存并可读写（但 FIFO 不可操作，中断标志不可清），使用 12MHz 晶体振荡器时，RF 收发器整体功耗约为 25 μ A。

当 RF 收发器没有收发要求关闭 DBUS_TXEN（寄存器 TRCTL 的 Bit8）/DBUS_RXEN（寄存器 TRCTL 的 Bit7）时，自动从 IDLE 模式进入 SLEEP 模式，当有收发请求时开启 DBUS_TXEN/DBUS_RXEN，RF 收发器从 SLEEP 模式恢复至 IDLE 模式后进入 TX/RX 工作模式。

9.3 IDLE模式

在此模式下数字 LDO 电源工作在正常模式，晶体振荡器工作，晶体振荡器的缓冲器使能，片内数字电路有系统时钟，但是 PLL 电路和收发器未工作，使用 12MHz 晶体振荡器时，RF 收发器整体功耗小于 2mA。

RF 收发器收发完成后自动从 TX/RX 模式进入 IDLE 模式。

9.4 TX模式

当使能 RF 收发器 DBUS_TXEN 并且发送 FIFO 处于有效状态后，RF 收发器进入 TX 模式。在发送完成之后，RF 收发器进入 IDLE 模式，关闭 DBUS_TXEN 后，RF 收发器进入 SLEEP 模式。

9.5 RX模式

当使能 RF 收发器 DBUS_RXEN 并且接收 FIFO 处于有效状态后，RF 收发器进入 RX 模式。若 FIFO 为占用状态不满足接收条件时，RF 收发器进入 IDLE 模式，关闭 DBUS_RXEN 后，RF 收发器进入 SLEEP 模式。

注：FIFO 处于有效状态指 FIFO 配置寄存器 FIFO0CTRL/FIFO1CTRL 中所填 PIPE (PRX_FIFO_n_PIPE)，与当前收取包的 PIPE 地址匹配且 PRX_FIFO_n_OCPY = '1'。

第10章 RF收发器一包结构

10.1 PTX发送数据包结构

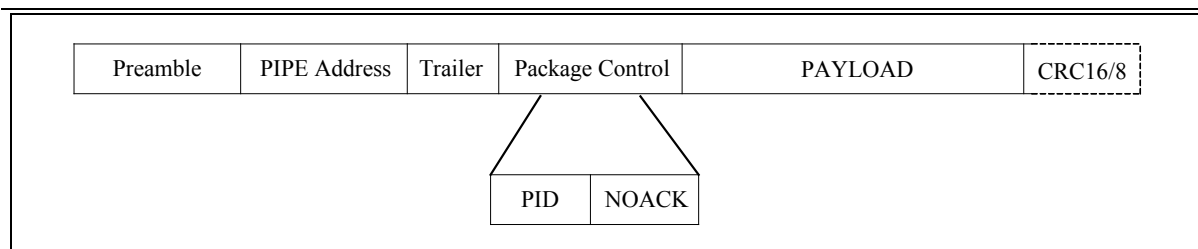


图 10-1 PTX 发送数据包结构示意图

◆ Preamble

支持 2,4,6...16bytes, 长度可通过寄存器 PREAMBLE_LEN (PKTCTRL 寄存器的 Bit15-Bit13) 配置。

◆ PIPE Address(Syncword)

支持 16/32/48bits, 长度可通过寄存器 SYNCWORD_LEN (PKTCTRL 寄存器的 Bit12-Bit11) 配置。支持 4 路数据通道, PIPE Address 可通过寄存器 0x40~0x47 配置。

◆ Trailer

支持 4~18bits, 长度可通过 TRAILER_LEN (PKTCTRL 寄存器的 Bit10-Bit8) 配置。

◆ PID

PID 长度为 2bits, 发送时由硬件自动产生。

PTX 每发送一次新的数据包 PID 将自动加‘1’。

PRX 针对当前接收的 PIPE 地址, 依据 PID 与 CRC 值确定当前包为新接收包或重传包 (重传包会被丢弃)。

PTX 若重发超时, 在下一次重新发送时 PID 不累加。

◆ NOACK

此指示位用于当 ACK 功能使能时, PTX 告知 PRX 当前包无需 ACK 的特例情况。可以通过 PTX_FIFO_N_NOACK (FIFOCTRL 寄存器的 Bit4) 进行设置。

◆ PAYLOAD

硬件链路控制方式下, 每级 FIFO 最大支持 63bytes 的 PAYLOAD, 非定长模式 FIFO 的第一个 byte 代表 PAYLOAD 的长度, 定长模式 PAYLOAD 长度由寄存器 FIX_PLD_LEN 配置。

软件链路控制方式下, PAYLOAD 的长度由主控 MCU 芯片决定。

◆ CRC

硬件链路控制方式下, 支持 CRC16 与 CRC8 两种模式, 可通过 CRC_SEL (MISC1 寄存器的 Bit14) 配置。

CRC16 生成多项式为: $x^{16}+x^{12}+x^5+1$

CRC8 生成多项式为： x^8+x^2+x+1

软件链路控制方式下不支持硬件 CRC 功能。

10.2 PRX发送ACK包结构

PRX 发送的 ACK 包结构示意图如下所示：

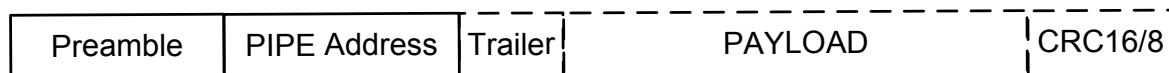


图 10-2 PRX 发送 ACK 包结构示意图

若 ACK 带 ACK PAYLOAD 功能未使能，则 PRX 只返回 Preamble 与 PIPE Address 两部分。

若 ACK 带 ACK PAYLOAD 功能使能，则 PRX 返回 Preamble、PIPE Address、Trailer、PAYLOAD 与 CRC。

Preamble、PIPE Address、Trailer、PAYLOAD 与 CRC 的配置方式见 10.1 节 PTX 发送数据包结构内的描述。

第11章 RF收发器—链路控制方式

RF 收发器支持硬件链路控制通信与软件链路控制通信方式，可通过寄存器 `PACK_LENGTH_EN`（`MISC1` 寄存器的 `Bit12`）进行配置。详细收发流程与操作请参考《AN1047_应用笔记_HW2000B 应用注意事项》数据包收发章节的内容。

11.1 硬件链路控制方式

当设置 `PACK_LENGTH_EN` 为‘1’时，RF 收发器处于硬件链路控制通信模式。硬件链路控制方式包括两种操作方式，非定长模式和定长模式，可通过 `0x31` 寄存器的 `FIX_PLD_LEN_EN` 位来配置，置‘1’为定长模式使能，置‘0’为非定长模式，默认为非定长模式。

非定长模式支持两级收发 FIFO，每级 FIFO 最大支持 63 bytes PAYLOAD，并具有 PAYLOAD 的自动硬件 CRC 校验功能。支持 ACK 功能，ACK 包是否带 ACK PAYLOAD 功能可配。

非定长下所填 FIFO 的第一个 byte 代表该级 FIFO 中的 PAYLOAD 的长度(需大于 0)，PRX 可依据存放收取 PAYLOAD 的 FIFO 中的第一个 byte 值确定所需读取 PAYLOAD 的长度。

定长模式支持两级收发 FIFO，每级 FIFO 最大支持 63 bytes PAYLOAD，不支持 ACK 及 ACKPAYLOAD 功能。定长模式下的 PAYLOAD 长度通过寄存器 `FIX_PLD_LEN` 寄存器配置。

11.2 软件链路控制方式

当设置 `PACK_LENGTH_EN` 为‘0’时，RF 收发器处于软件链路控制通信模式。

此模式只支持 FIFO0 一级 FIFO，不支持 ACK 与硬件 CRC 校验功能。

软件链路模式适用于需要发送较长 PAYLOAD 长度(>63 bytes)的场合，主控 MCU 芯片需依据 FIFO 的半空与半满标志配合收发流程。

通过配置 `FW_HW_TERM_EN` 控制位（`MISC1` 寄存器的 `Bit11`），可以选择不同的 PTX 停止发送条件：

`FW_HW_TERM_EN` = ‘1’ 时，FIFO0 的读写指针相同时状态机自动停止发送数据；

`FW_HW_TERM_EN`=‘0’ 时，PTX 循环发送 FIFO0 内部的数据，由主控 MCU 芯片关闭 `DBUS_TXEN` 来决定何时停止发送数据，该方式可方便用于测试 PTX 连续发送模式下的性能指标。

第12章 RF收发器—多PIPE逻辑通道

RF 收发器支持 4 个数据 PIPE 逻辑通道，即 PIPE0~PIPE3，每个 PIPE 都有各自的物理地址，默认 PIPE0/PIPE1 使能。各 PIPE 地址配置详见寄存器 0x40~0x47 描述。各 PIPE 使能，ACK 功能与 ACK 带 PAYLOAD 功能使能详见 PIPECTRL 寄存器描述。

以使用 PIPE0 逻辑通道通讯为例，PIPECTRL 寄存器配置如下：

◆ 若不使能 ACK 功能

P0_EN = '1'; P0_ACK_EN = '0'; P0_ACKPAYLOAD_EN = '0'。

◆ 若使能 ACK 不带 PAYLOAD 功能

P0_EN = '1'; P0_ACK_EN = '1'; P0_ACKPAYLOAD_EN = '0'。

◆ 若使能 ACK 带 PAYLOAD 功能

P0_EN = '1'; P0_ACK_EN = '1'; P0_ACKPAYLOAD_EN = '1'。

PRX 可支持与 4 个不同 PIPE 地址的 PTX 通讯。为确保 PRX 能回复 ACK 至正确的 PTX，PRX 在收到数据包之后会保存所接收的 PIPE 地址并在回复 ACK 时用作 PIPE 发送地址。

图 12-1 所示为 4 路 PIPE 通讯示意图，4 路 PIPE 都具有独立的 PIPE 地址。PRX 可分时进行不同 PIPE 的相关通讯，但在一路 PIPE 完整收发流程完成之前，PRX 不会与另一路 PIPE 地址的 PTX 通讯。当多路 PTX 与 1 路 PRX 通讯时，设置各 PTX 的 AUTO_RX_ACK_TIME 寄存器值（MISC2 寄存器的 Bit7-Bit0）可以有效避免各个 PIPE 之间的干扰。

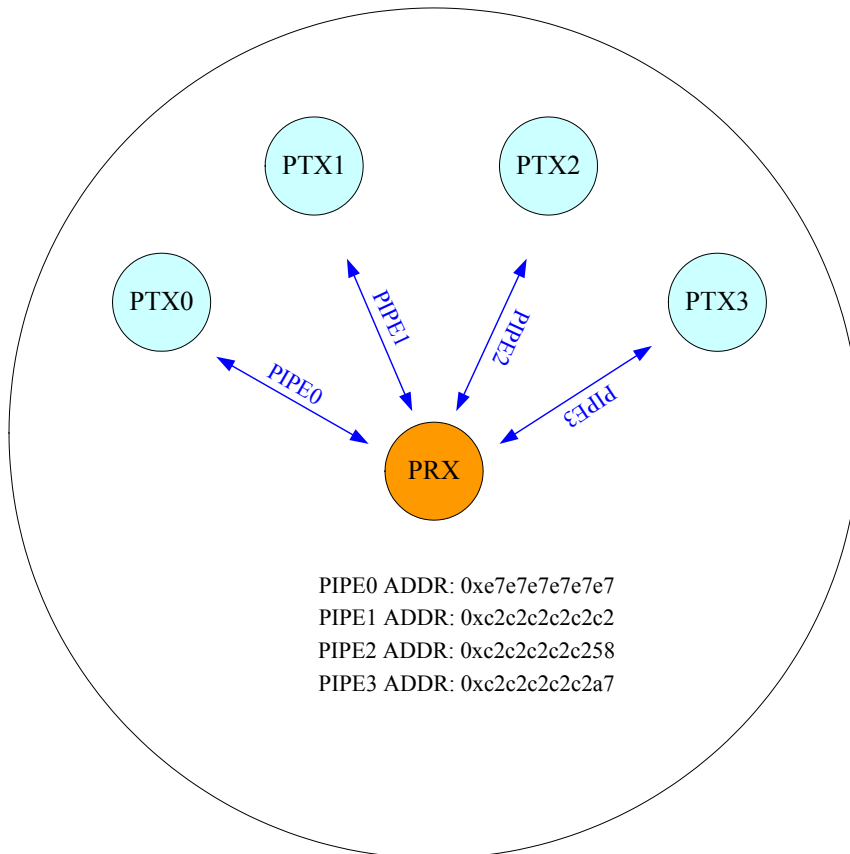


图 12-1 4 路 PIPE 通讯示意图

第13章 RF收发器—自动响应ACK与自动重传ART

13.1 ACK不带ACK PAYLOAD

- ◆ 当 PTX 与 PRX 同时使能当前通信 PIPE 的 ACK 功能后 (PIPECTRL 寄存器中的 Pn_EN = '1' 并且 Pn_ACK_EN = '1'), PRX 在接收 CRC 完成后由 RX 模式自动切换为 TX 模式发送 ACK 包, PTX 在发送 CRC 完成后由 TX 模式自动切换为 RX 模式等待接收 ACK 包。PTX 在接收 ACK 完成、PRX 在发送 ACK 完成后置起相应的 FIFO 中断标志位 (详见图 14-3)。
- ◆ PTX 如果在 AUTO_RX_ACK_TIME 时间内没有成功接收到 PRX 发送的 ACK 信号, PTX 将自动重传上一个数据包。如重传次数超过设定次数 RE_TX_TIMES 加 1 (MISC0 寄存器的 Bit11-Bit8), INT 寄存器中的 INTn 中断标志位与 FIFO 发送指示位 PTX_FIFO_n_FAIL (FIFOCTRL 寄存器的 Bit15) 将同时置 '1' 指示发送失败 (详见图 14-4 至图 14-6)。
- ◆ PRX 在接收 CRC 完成后若出现 CRC 错误将不切换 RX 模式而等待自动重收 (详见图 14-7)。

在 ACK 功能使能时, 通过配置 PTX_FIFO_n_NOACK 控制位可告知 PRX 当前发送包无需自动 ACK。

13.2 ACK带ACK PAYLOAD

- ◆ 当 PTX 与 PRX 同时使能当前通信 PIPE 的 ACK 带 ACK PAYLOAD 功能后 (Pn_EN = '1', Pn_ACK_EN = '1' 并且 Pn_ACKPAYLOAD_EN = '1'), PRX 在发送 ACK 的过程中自动从满足条件的 ACK FIFO 中取出 ACK PAYLOAD 进行发送。ACK FIFO 的第一个 byte 代表 ACK PAYLOAD 的长度, 填写值需大于 0。PTX 在接收到 ACK PAYLOAD 后将数据填入满足条件的 ACK FIFO 中, 并置起该 ACK FIFO 的相应状态指示位 (INT 寄存器中的 ACKINTn、FIFO_n_ACK_POS 和 ACKINTn_W_ACKPAY, ACKFIFOCTRL 寄存器中的 PTX_ACKFIFO_n_PIPE)。ACK FIFO 的操作流程与 DATA FIFO 的流程基本一致。
- ◆ 若 PRX 无满足条件的 ACK FIFO, 在发送 ACK 包时将自动忽略发送 ACK PAYLOAD 与 CRC 环节, PTX 在接收 ACK 包时会检测到长度为 0 的 ACK PAYLOAD 而自动忽略接收 CRC 环节。
- ◆ PTX 若检测到收取的 ACK PAYLOAD 有 CRC 错误, 将由 RX 模式转入 TX 模式进行重发。如重传次数超过设定次数 RE_TX_TIMES+1, PTX_FIFO_n_FAIL 将置 '1' 指示发送失败。

注: 满足条件的 ACK FIFO 指 ACK FIFO 配置寄存器 ACKFIFO0CTRL/ACKFIFO1CTRL 中所填 PIPE (PRX_ACKFIFO_n_PIPE), 与当前收取包的 PIPE 地址匹配且 PRX_ACKFIFO_n_OCPY = '1'。

第14章 RF收发器—数据与控制接口

14.1 FIFO

RF 收发器支持两级 DATA FIFO(每级 64bytes)与两级 ACK FIFO(每级 32bytes)。DATA FIFO 用于存放收发的 PAYLOAD 数据,其访问地址为 0x32 与 0x33, ACK FIFO 用于存放收发的 ACK PAYLOAD 数据,其访问地址为 0x34 与 0x35。

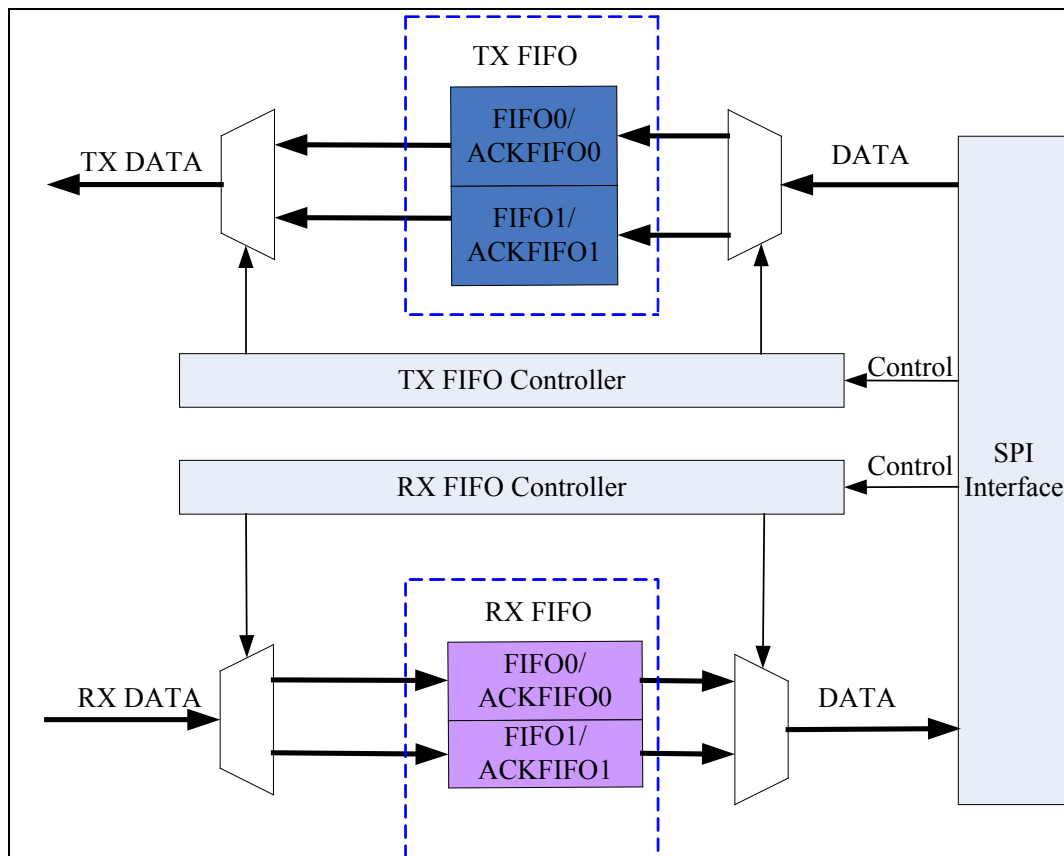


图 14-1 FIFO 控制示意图

对于 PTX,在发送 PAYLOAD 前可以通过 SPI 向 DATA FIFO 内填写数据,在发送过程中 DATA FIFO 的读取权限交于内部状态机,在发送过程中禁止 SPI 接口读 DATA FIFO 操作;

对于 PRX,在接收 PAYLOAD 过程中 DATA FIFO 的写入权限交于内部状态机,在此过程中禁止 SPI 接口写 DATA FIFO 操作。

类似的,若使能 ACK 带 PAYLOAD 功能,对于 PRX,在 ACK PAYLOAD 发送前可以通过 SPI 向 ACK FIFO 内填写数据,在发送过程中 ACK FIFO 的读取权限交于内部状态机,在发送过程中禁止 SPI 接口读 ACK FIFO 操作;

对于 PTX,在接收 ACK PAYLOAD 过程中 ACK FIFO 的写入权限交于内部状态机,在此过程中禁止 SPI 接口写 ACK FIFO 操作。

14.2 中断

14.2.1 硬件链路控制中断

◆ ACK 不使能中断

在 ACK 不使能情况下，PTX 在发送完成后置起相应的发送 FIFO 中断标志位 INT_n ，同样 PRX 在接收完成后置起相应的接收 FIFO 中断标志位（如下图所示）。

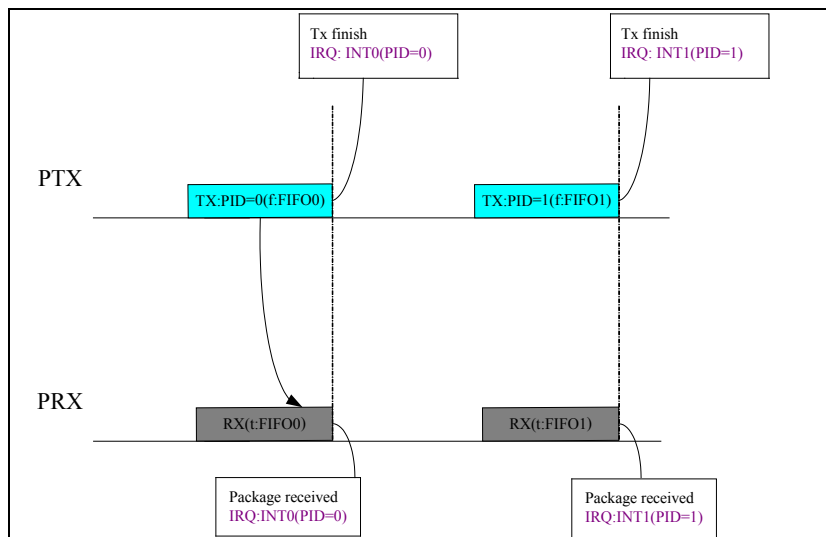


图 14-2 ACK 不使能情况中断示意图

◆ ACK 使能不帶 ACK PAYLOAD 中断

在 ACK 使能不帶 ACK PAYLOAD 情况下，若 PTX 发送来自 FIFO n 的 PAYLOAD，在接收 ACK 成功后，对应的中断标志位 INT_n 将置‘1’。

若 PRX 在成功接收后将 PAYLOAD 填入 FIFO n ，PRX 在返回 ACK 完成后对应的中断标志位 INT_n 将置‘1’。（如下图所示）。

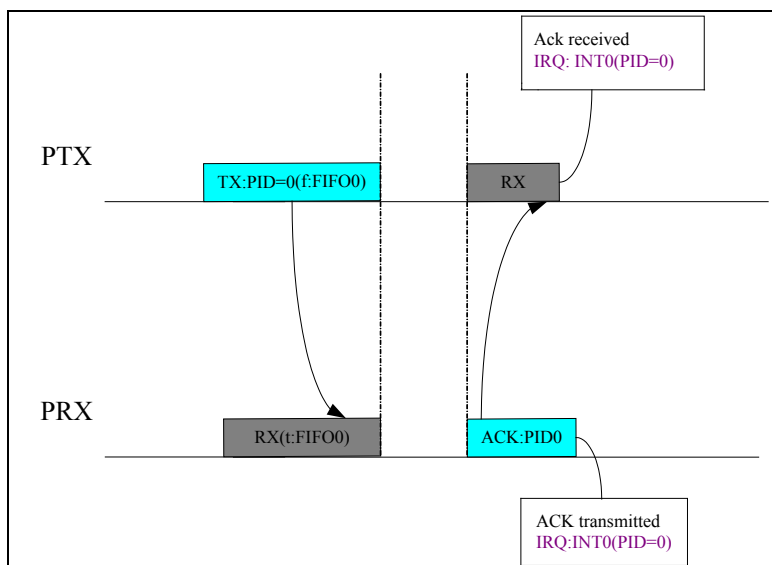


图 14-3 ACK 使能不帶 ACK PAYLOAD 中断示意图

图 14-4 至图 14-6 所示为可能出现的收发不成功情况，PTX 在发送完成后切换为接收 ACK 状态，若在等待 ACK 时间内（AUTO_RX_ACK_TIME）没有收到有效 ACK 信号，将再次切换为自动重传。

PRX 在接收成功后会判断收取的 PID，若收取的 PID 与 CRC 与上一次相同，将视为重收包，不再出中断（只返回 ACK）。

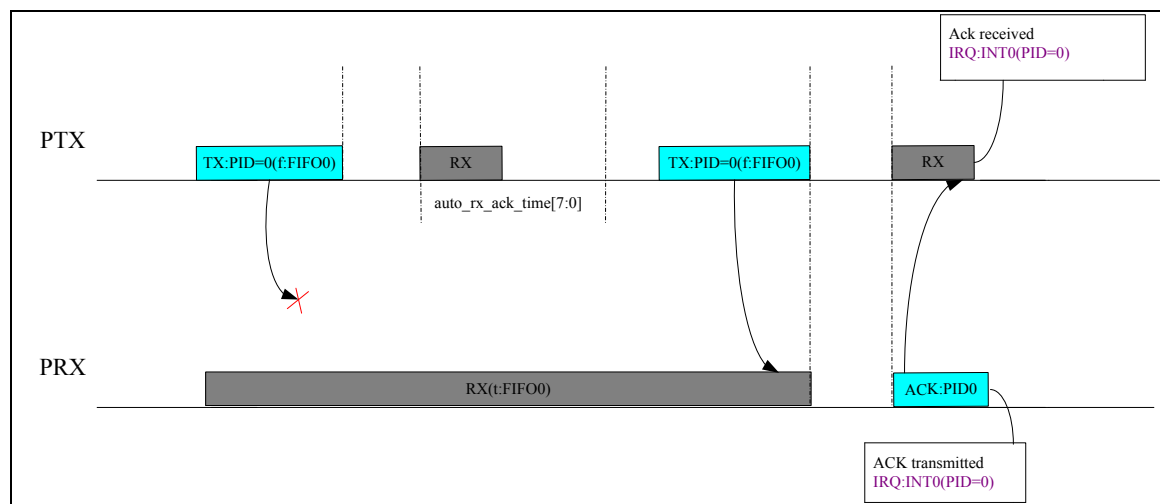


图 14-4 PTX 自动重传情况 1 中断示意图

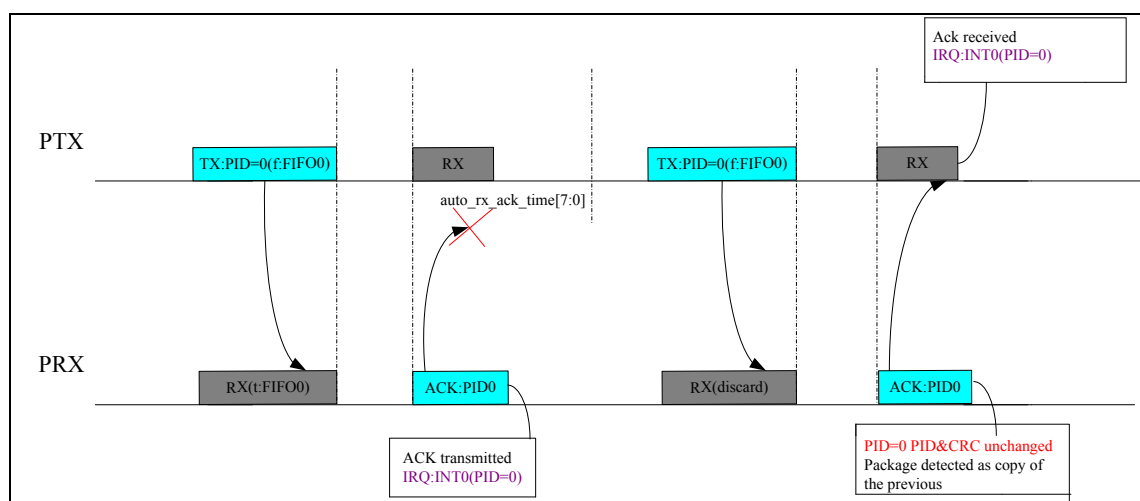


图 14-5 PTX 自动重传情况 2 中断示意图

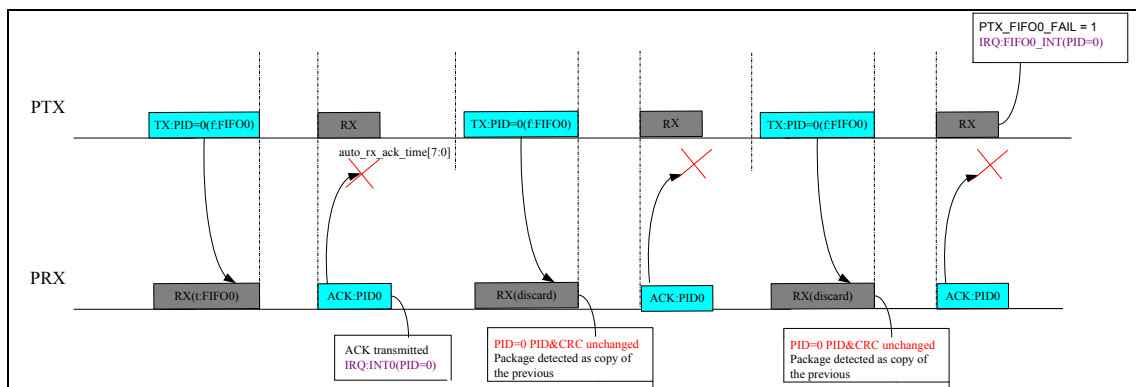


图 14-6 PTX 自动重传情况 3 中断示意图(重发超时, 重发次数为 2)

注 1: 自动重传次数设置 RE_TX_TIMES 需大于‘1’。

注 2: 若 PTX 在 RE_TX_TIMES 次数内未接收到 ACK, PTX 在置起中断 INTn 的同时 PTX_FIFO0n_FAIL 将置‘1’。

注 3: 若 PTX 重传超时, 在发送下一包时 PID 较上一次保持不变。

注 4: 重收弃包功能只在 ACK 使能的情况下有效。

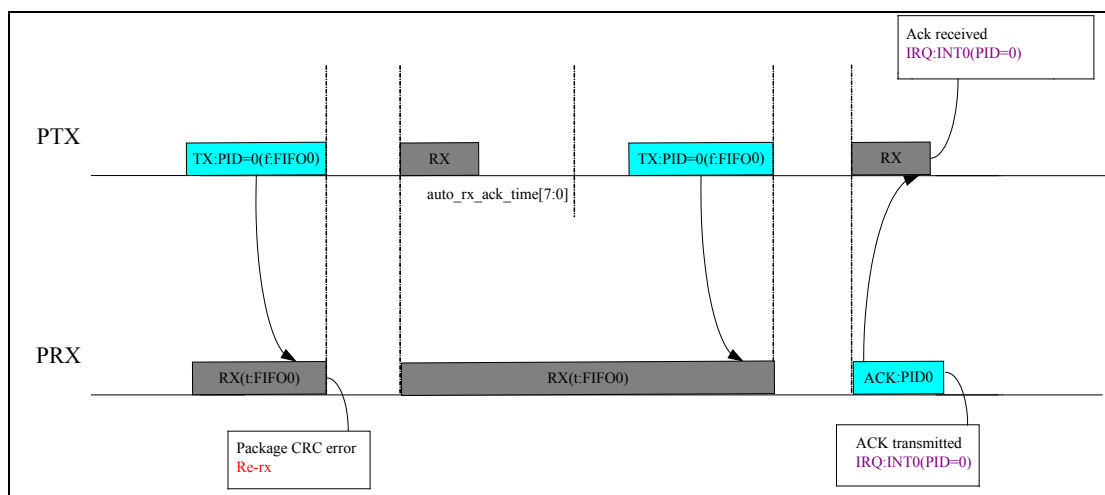


图 14-7 PRX 自动重收中断示意图

上图所示为 PRX 自动重收的情况, PRX 在接收到数据包之后若检测 CRC 有误将不返回 ACK 而切换至自动重收, 直至收到正确的数据包并返回 ACK 之后置起中断标志。PTX 在 AUTO_RX_ACK_TIME 时间内无法接收有效 ACK 将自动重传。

◆ ACK 使能带 ACK PAYLOAD 中断

在 ACK 带 ACK PAYLOAD 情况下, 若 PTX 从 FIFO0n 中发送 PAYLOAD 之后成功接收 ACK PAYLOAD 后填入 ACK_FIFO0n, 对应的中断标志位 INTn 与 ACK_INTn 将置‘1’。

若 PRX 从 ACKFIFO0n 中返回 ACK PAYLOAD, 在下次收到新包后 (同一 PIPE PID 发生变化), 对应的中断标志位 ACK_INTn 将置‘1’ (如下图所示)。

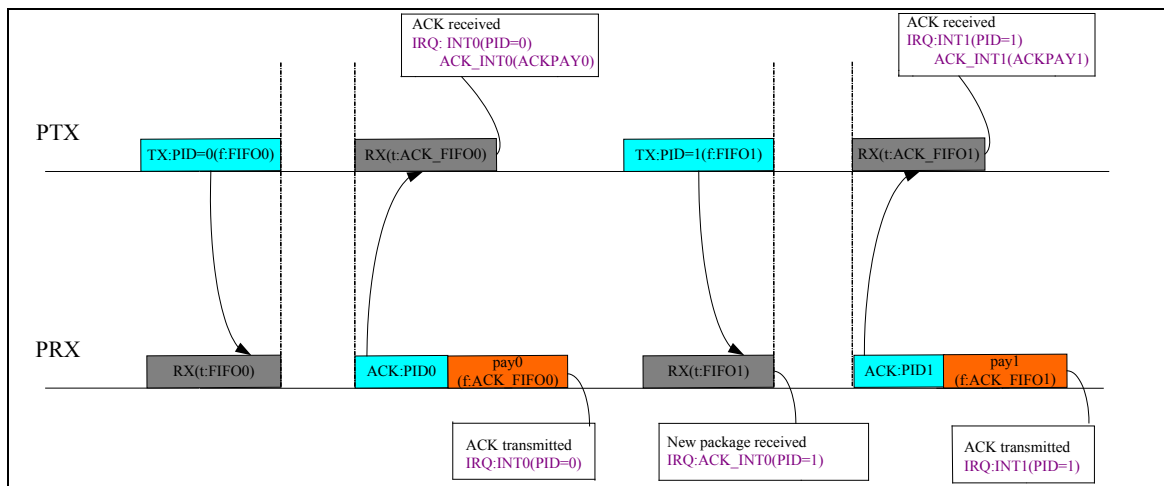


图 14-8 ACK 带 ACK PAYLOAD 情况中断示意图

PTX 接收到 ACK PAYLOAD 之后若检测到 CRC 错误，将进行重发，不置起中断（如下图所示）。

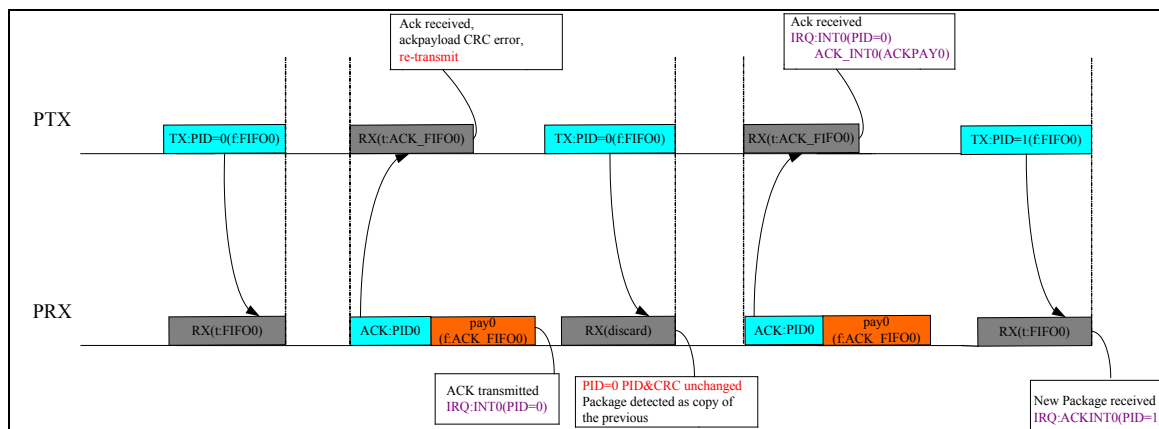


图 14-9 PTX 接收 ACK CRC ERROR 情况中断示意图

PRX 若无满足条件的 ACK FIFO，将忽略发送 ACK PAYLOAD，PTX 检测到长度为 0 的 ACK PAYLOAD，置起 ACK_INT0（假设 ACK_FIFO0 满足接收状态）的同时将 ACKINT0_W_ACKPAY 状态位置'0'，指示此次中断无 ACK PAYLOAD。PRX 在下次即使接收到的 PID 发生变化也不置起 ACKINT0 中断（如下图所示）。

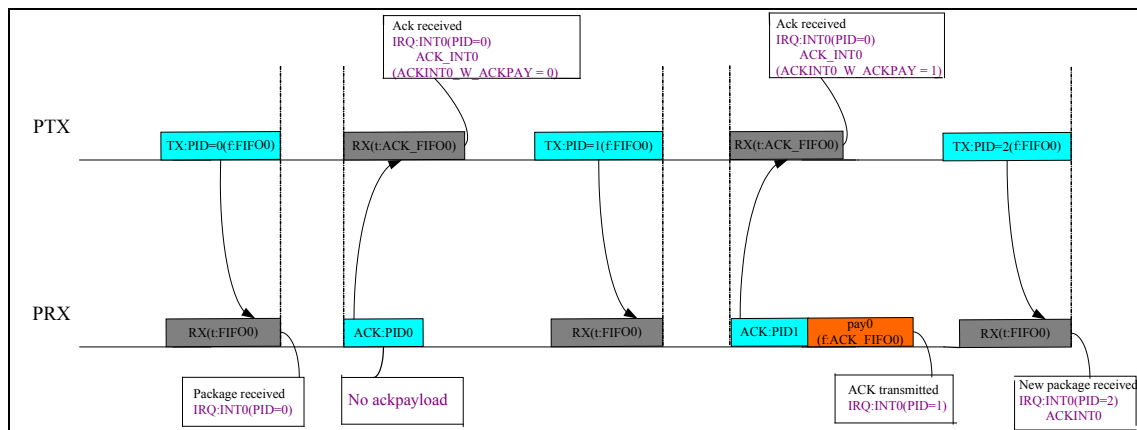


图 14-10 PRX 无满足条件 ACK PAYLOAD 发送情况中断示意图

14.2.2 软件链路控制中断

软件链路控制情况下 PTX 的 IRQ 引脚指示发送状态，发送完成后 IRQ 电平翻转。

PRX 在接收到可相关的 PIPE 地址后置中断标志位 INTn，可通过中断标志清零寄存器或 SPI 读取接收 FIFO 自动清相应的中断 INTn（如下图所示）。

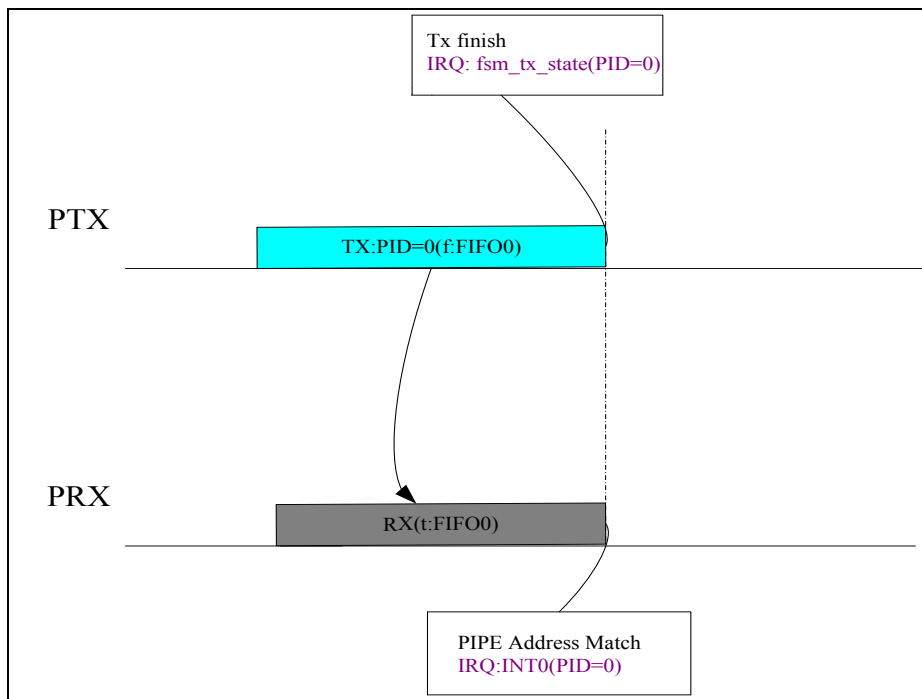


图 14-11 软件链路控制方式下中断示意图

14.3 SPI通信接口

RF 收发器支持 4 线 SPI 通信接口，支持 SLEEP 模式下对寄存器的读写操作，支持 FIFO 连读连写。

14.3.1 SPI帧格式

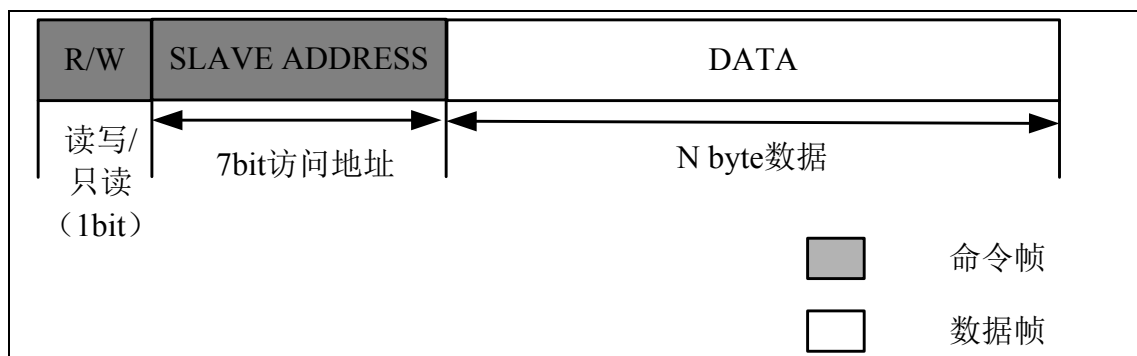


图 14-12 SPI 帧格式

其中 8bit 命令帧首位为读写控制位，‘0’为只读操作，‘1’为读写操作（读取某寄存器值的同时可以写入值），后 7 位为读写地址位。

SPI 数据帧按 SPI 接口访问对象不同有所区别，如果 SPI 访问内部寄存器则数据帧固定为 2bytes，如果 SPI 访问 FIFO（寄存器地址：0x32, 0x33, 0x34, 0x35），在非连读连写情况下为 1byte（内部 FIFO 数据宽度），在连读连写情况下数据长度由主设备访问长度决定。

数据格式为高位（MSB）在前，低位（LSB）在后。

14.3.2 寄存器访问时序

SPI 接口读写寄存器操作时序如图 14-13 和图 14-14 所示。

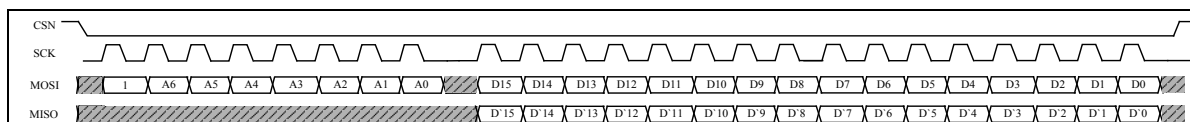


图 14-13 SPI 写寄存器时序

注：写寄存器时 MISO 送出的 D'x 为所访问寄存器的原始值。

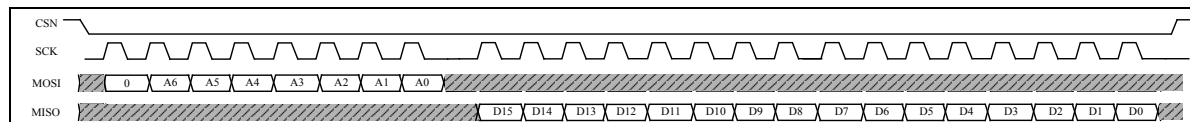


图 14-14 SPI 读寄存器时序

14.3.3 FIFO访问时序

FIFO 支持连续读写操作，最小单位为 1byte，SPI 接口读写 FIFO 操作时序如图 14-15 与图 14-16 所示。

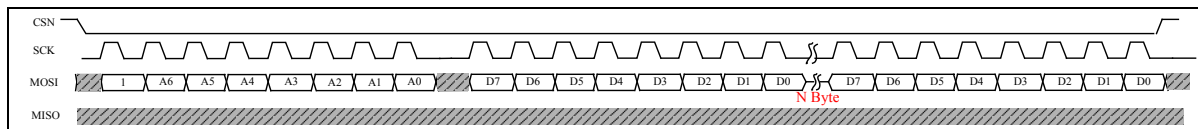


图 14-15 SPI 写 FIFO 时序

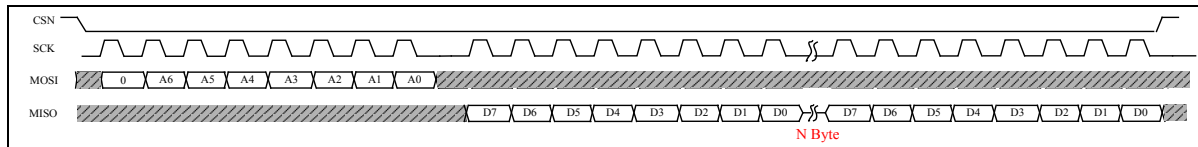


图 14-16 SPI 读 FIFO 时序

14.3.4 SPI时序参数

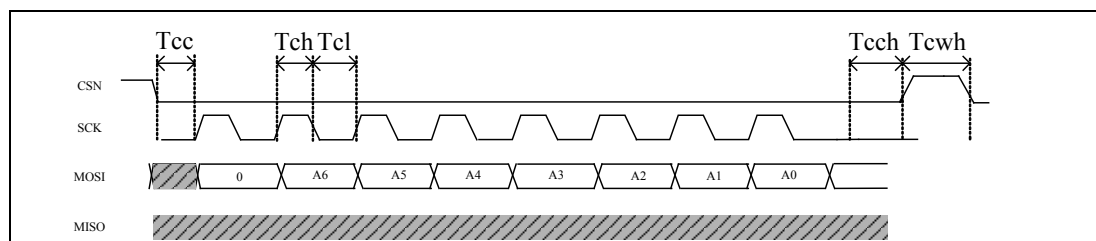


图 14-17 SPI 时序参数示意图

Symbol	Parameter	Min.	Units
Tcc	CSN to SCK setup time	20	ns
Tch	SCK high time	62.5	ns
Tcl	SCK low time	62.5	ns
Tcch	SCK to CSN hold time	40	ns
Tcwh	CSN inactive time	125	ns

表 14-1 SPI 时序参数

第15章 RF收发器—其它功能与设置

15.1 RF收发器复位

RF 收发器共提供三个复位源，分别为上电 POR 复位、片选引脚 CE 复位、SFT_RST 软件复位。

上电 POR 复位、片选引脚 CE 复位为全芯片复位，软件复位只复位芯片内部各状态信号，内部寄存器状态保持。

需要注意的是，由于 MCU 复位唤醒时间比 RF 复位唤醒时间短，所以，MCU 复位唤醒后需要进行适当延时，再对 RF 收发器进行 SPI 操作。

15.2 频点设置

在数据收发时，收发两端的频点设置必须一致。可使用的频点范围是 2402MHz ~ 2483MHz，频点间隔为 1MHz，共 82 个可用频点。频点可以通过信道号寄存器 PLL_CH_NO 设置，最终发送或接收的频点值为 $\text{rf_freq_base} + \text{PLL_CH_NO}(\text{MHz})$ 。

注：需在使能发送或接收之前完成频点设置。

15.3 自动频偏校正(AFC)

在无线收发器的两端，由于晶振、工作环境等因素的影响，使得收发两端的频率会有一定的偏差。RF 收发器在接收数据时提供了自动频偏校正的功能（AFC），寄存器 AFC_MCTRL（MISC2 寄存器的 Bit14）为 AFC 功能使能控制位。

15.4 软件频偏校正

除硬件自身提供的 AFC 功能之外，RF 收发器还给软件提供了频偏校正的接口。

寄存器 RF_FREQ_FRACTION（FOCCFG 寄存器的 Bit11-Bit0）用于填写频偏的补偿值，该寄存器具体设置的计算公式如下：

$\text{RF_FREQ_FRACTION} = \text{round}(\text{fdev}/106*2048)$ ，频率补偿的精度约为 250Hz。

其中 $\text{fdev} = \text{目标频点} - \text{实际频点} (\text{Hz})$

对于接收端，RF 收发器提供了硬件评估的频偏指示寄存器 FREQ_ESTIMATION（STATUS0 寄存器的 Bit9-Bit0，二进制补码），该寄存器的数据和实际频偏频率 fdev 的对应关系如下：

当 250kbps 数据速率时： $\text{fdev} = \text{FREQ_ESTIMATION}/1024*106 (\text{Hz})$

当 1Mbps 数据速率时： $\text{fdev} = \text{FREQ_ESTIMATION}/256*106 (\text{Hz})$

用户可依据频偏指示寄存器 FREQ_ESTIMATION 的值推算 fdev，完成对频偏补偿寄存器 RF_FREQ_FRACTION 的配置。

15.5 前导码指示

数据包以“0101”序列作为整个数据包的前导，RF 收发器可以通过检测收到的连续“01”数据的个数作为数据包前导序列的指示，具体需要检测的“01”数据个数可以通过设置寄存器 PREAMBLE_NUM（FOCCFG 寄存器的 Bit15-Bit12）确定。如果 RF 收发器检测到有效的前导序列，寄存器 PQT（STATUS0 寄存器 Bit11）指示为高电平。

15.6 RSSI功能

在接收模式时，芯片会评估天线端接收到的信号能量的大小，该数值会保存在寄存器 RSSI 中。RSSI 的读数单位是 dBm，数据的格式为二进制补码形式的有符号数。推荐在数据包接收完成后读取锁存的 RSSI 的数值，锁存的 RSSI 寄存器 PKG_RSSI 保留的是上一个数据包的 RSSI 值。若读取环境中的 RSSI 值，需在接收使能后，延时几个毫秒后去读 RSSI 寄存器。RSSI 值与输入功率对应关系详见《AN1047_应用笔记_HW2000B 应用注意事项》RSSI 章节的内容。

15.7 载波检测指示(Carrier Detect)功能

RF 收发器支持载波检测功能，即在接收模式时，RF 收发器会监控带内的接收信号能量，当接收信号能量大于设置的域值，并保持一定时间(>8μs)后，RF 收发器会给出载波检测指示信号。

载波指示的能量域值可以通过 CDTH 寄存器设置，当输入信号能量超过 cd_th1 设置，并且保持超过 8μs 后，载波检测指示位 CD 会置高，如果信号能量降低并小于 cd_th2 的设置，载波检测指示位将立刻复位。

CD_TH1 和 CD_TH2 设置时的具体单位为 dBm，数据格式为二进制补码形式的符号数。

CD_TH1 与 CD_TH2 的设置方法：

1. 在接收灵敏度点读取 RSSI 寄存器值；
2. CD_TH1 的设置值为 RSSI – 2dBm；
3. CD_TH2 的设置值为 RSSI – 5dBm。

推荐使用《AN1047_应用笔记_HW2000B 应用注意事项》寄存器初始化设置章节给定的 CD 阈值。

15.8 FEC、CRC、SCRAMBLE功能

RF 收发器支持数据自动的 FEC 纠错码功能，码率 R 为 2/3。使用 FEC 可以纠正传输中的传输错误，可以提高系统在低信噪比环境下传输成功率，但 FEC 会增加冗余数据，增加数据包的传送时间。可以通过配置寄存器 fec_type（PKTCTRL 寄存器 Bit5-Bit4）使能 FEC。

硬件链路控制模式下 CRC 算法由硬件实现，CRC 移位寄存器初始值可通过寄存器 crc_init_data（MISC1 寄存器 Bit7-Bit0）设置。

支持 CRC16 与 CRC8 两种模式，可通过 CRC_SEL 配置。

CRC16 生成多项式为: $x^{16}+x^{12}+x^5+1$

CRC8 生成多项式为: x^8+x^2+x+1

RF 收发器支持数据的扰码功能，以增强长‘0’或长‘1’类型数据的传输能力。可以通过寄存器 SCRAMBLE_ON（MISC1 寄存器 Bit13）开启扰码功能，扰码种子可通过寄存器 scramble_data（MISC0 寄存器 Bit6-Bit0）设置。

扰码区域为 PAYLOAD-CRC。其基本数据流为：

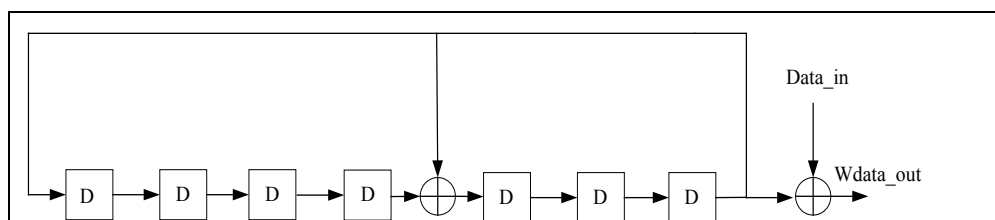


图 15-1 数据扰码生成器

第16章 RF收发器—寄存器

16.1 寄存器列表

寄存器列表如下所示。

地址	寄存器名称	功能说明	复位值
0x20	PKTCTRL	数据包配置寄存器	0x5000
0x21	TRCTL	发送接收使能寄存器	0x0000
0x22	CHANNR	Channel 设置寄存器	0x1830
0x23	MISC0	配置寄存器 0	0x0300
0x24	FOCCFG	频率偏差补偿寄存器	0x4000
0x25	FREQBASE	起始频点设置寄存器	0x0962
0x26	DS_PE	上拉和大电流驱动使能控制寄存器	0x000F
0x28	THRES	阈值设置寄存器	0x2103
0x29	MISC1	配置寄存器 1	0x1800
0x2A	MISC2	配置寄存器 2	0xC07E
0x2B	PKG_RSSI	接收数据包信号能量指示寄存器	-
0x2C	CDTH	CD 阈值设置寄存器	0x8883
0x2D	RSSI	接收信号能量指示寄存器	-
0x2E	STATUS0	状态寄存器 0	-
0x30	STATUS1	状态寄存器 1	-
0x31	FIX_LEN_EN	定长收发控制寄存器	0x0F01
0x32	FIFO0DATA	FIFO0 访问寄存器	-
0x33	FIFO1DATA	FIFO1 访问寄存器	-
0x34	ACKFIFO0DATA	ACKFIFO0 访问寄存器	-
0x35	ACKFIFO1DATA	ACKFIFO1 访问寄存器	-
0x36	FIFO0CTRL	FIFO0 配置寄存器	0x008E
0x37	FIFO1CTRL	FIFO1 配置寄存器	0x008E
0x38	ACKFIFO0CTRL	ACKFIFO0 配置寄存器	0x0E80
0x39	ACKFIFO1CTRL	ACKFIFO1 配置寄存器	0x0E80
0x3A	FIFOSTATUS	FIFO 状态寄存器	-
0x3B	CLEAR	FIFO 指针寄存器	-
0x3C	PIPECTRL	PIPE 设置寄存器	0x3000
0x3D	INT	中断寄存器	-
0x40	P0ADDR0	PIPE0 地址低 16bits	0xE7E7
0x41	P0ADDR1	PIPE0 地址中间 16bits	0xE7E7
0x42	P0ADDR2	PIPE0 地址高 16bits	0xE7E7
0x43	P1ADDR0	PIPE1 地址低 16bits	0xC2C2
0x44	P1ADDR1	PIPE1 地址中间 16bits	0xC2C2
0x45	P1ADDR2	PIPE1 地址高 16bits	0xC2C2
0x46	P2ADDR	PIPE2 地址低 8bits	0xxx58
0x47	P3ADDR	PIPE3 地址低 8bits	0xxxA7

表 16-1 寄存器列表

16.2 寄存器说明

16.2.1 PKTCTRL (0x20)

寄存器	数据包配置寄存器 PKTCTRL				
地址	0x20				
复位值	0x5000				
位名称	位	读写	位说明	1	0
PREAMBLE_LEN	15:13	R/W	Preamble 长度设置	000: 2bytes 001: 4bytes 010: 6 bytes ... 111: 16 bytes	
SYNCWORD_LEN	12:11	R/W	Syncword 长度设置	00: 16 bits 01: 32 bits 10: 48 bits 11: reserved	
TRAILER_LEN	10:8	R/W	Trailer 长度设置	000: 4bits 001: 6bits ... 111: 18 bits Trailer 长度=设置值*2 + 4(bits)	
PACK_TYPE	7:6	R/W	数据编码方式选择	00: NRZ law data 01: Manchester data type 10: 8bit/10bit line code 11: Interleave data type	
FEC_TYPE	5:4	R/W	FEC 功能使能位	00: NO FEC 10: FEC23 others: reserved	
-	3:0	-		-	

16.2.2 TRCTL (0x21)

寄存器	发送接收使能寄存器 TRCTL				
地址	0x21				
复位值	0x0000				
位名称	位	读写	位说明	1	0
-	15:9	-	-	-	
DBUS_TXEN	8	R/W	发送使能 (与接收使能不能同时为‘1’)	使能	不使能
DBUS_RXEN	7	R/W	接收使能 (与发送使能不能同时为‘1’)	使能	不使能
-	6:0	-	-	-	

16.2.3 CHANNR (0x22)

寄存器	Channel 设置寄存器 CHANNR				
地址	0x22				
复位值	0x1830				
位名称	位	读写	位说明	1	0
-	15:14	-	-		
REF_FQ	13:9	R/W	参考时钟的频率 (MHz)	12M 晶振: 01100 16M 晶振: 10000 20M 晶振: 10100	
-	8:7	-	-	-	
PLL_CH_NO	6:0	R/W	RF channel number	The on-air frequency: F = RF_FREQ_BASE + PLL_CH_NO	

16.2.4 MISC0 (0x23)

寄存器	配置寄存器 MISC0				
地址	0x23				
复位值	0x0300				
位名称	位	读写	位说明	1	0
PD_CTRL	15	R/W	POWER DOWN 模式使能信号 (RF 收发器进入 POWER DOWN 模式后寄存器状态 保持并可读写, 但 FIFO 不 可操作, 中断标志不可清。)	使能	不使能
SFT_RST	14	R/W	软件复位使能信号 (不复位寄存器值)	使能	不使能
-	13:12	-	-	-	
RE_TX_TIMES	11:8	R/W	PTX 自动重发次数 (ACK 功能使能后有效)	注: 设置值范围 0~0xE, 重发次 数为设置值加 1	
MISO_TRI_OPT	7	R/W	SPI 片选为高电平时, MISO 引脚状态配置	MISO 引脚输出 使能	MISO 引脚输 出不使能, 为 高阻态
SCRAMBLE_DATA	6:0	R/W	扰码种子	-	

16.2.5 FOCCFG (0x24)

寄存器	频率偏差补偿寄存器 FOCCFG				
地址	0x24				
复位值	0x4000				
位名称	位	读写	位说明	1	0
PREAMBLE_NUM	15:12	R/W	接收检测 Preamble 长度	检测长度为 preamble_num*2 (bits)	
RF_FREQ_FRACTION	11:0	R/W	频率偏差补偿寄存器	详见 15.4 节	

16.2.6 FREQBASE (0x25)

寄存器	起始频点设置寄存器 FREQBASE				
地址	0x25				
复位值	0x0962				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
RF_FREQ_BASE	11:0	R/W	起始频点设置(MHz)	射频工作频率范围为 2402~2483MHz, 设置值需配合 PLL_CH_NO 寄存器设置值, 使 工作频率在支持频段范围内。	

16.2.7 DS_PE (0x26)

寄存器	上拉和大电流驱动使能控制寄存器 DS_PE				
地址	0x26				
复位值	0x000F				
位名称	位	读写	位说明	1	0
CE_DS	15	R/W	CE PAD 大电流驱动使能	1: enable, 0: disable	
CSN_DS	14	R/W	CSN PAD 大电流驱动使能	1: enable, 0: disable	
SCK_DS	13	R/W	SCK PAD 大电流驱动使能	1: enable, 0: disable	
IRQ_DS	12	R/W	IRQ PAD 大电流驱动使能	1: enable, 0: disable	
MOSI_DS	11	R/W	MOSI PAD 大电流驱动使能	1: enable, 0: disable	
MISO_DS	10	R/W	MISO PAD 大电流驱动使能	1: enable, 0: disable	
CE_PE	9	R/W	CE PAD 上拉使能	1: enable, 0: disable	
CSN_PE	8	R/W	CSN PAD 上拉使能	1: enable, 0: disable	
SCK_PE	7	R/W	SCK PAD 上拉使能	1: enable, 0: disable	
IRQ_PE	6	R/W	IRQ PAD 上拉使能	1: enable, 0: disable	
MOSI_PE	5	R/W	MOSI PAD 上拉使能	1: enable, 0: disable	
MISO_PE	4	R/W	MISO PAD 上拉使能	1: enable, 0: disable	
CE_SONOF	3	R/W	CE FILTER 使能	1: enable, 0: disable	
CSN_SONOF	2	R/W	CSN FILTER 使能	1: enable, 0: disable	
SCLK_SONOF	1	R/W	SCLK FILTER 使能	1: enable, 0: disable	
MOSI_SONOF	0	R/W	MOSI FILTER 使能	1: enable, 0: disable	

16.2.8 THRES (0x28)

寄存器	阈值设置寄存器 THRES				
地址	0x28				
复位值	0x2103				
位名称	位	读写	位说明	1	0
EMPTY_THRES	15:11	R/W	FIFO0 半空阈值 (软件链路控制模式使用)	-	
FULL_THRES	10:6	R/W	FIFO0 半满阈值 (软件链路控制模式使用)	-	
SYNC_THRES	5:0	R/W	同步字允许错误个数阈值	-	

16.2.9 MISC1 (0x29)

寄存器	配置寄存器 MISC1				
地址	0x29				
复位值	0x1800				
位名称	位	读写	位说明	1	0
-	15	-	-	-	
CRC_SEL	14	R/W	CRC 选择控制	CRC8	CRC16
SCRAMBLE_ON	13	R/W	扰码功能使能位	使能	不使能
PACK_LENGTH_EN	12	R/W	链路控制模式选择	硬件链路控制	软件链路控制
FW_HW_TERM_EN	11	R/W	硬件链路控制模式下 PTX 发送停止模式配置	当 FIFO0 的读写指针相等时自动停止发送	由主控 MCU 决定发送关闭时刻
PKT_HINT_PORITY	10	R/W	中断引脚有效电平配置	低电平有效	高电平有效
-	9:8	-	-	-	
CRC_INIT_DATA	7:0	R/W	CRC 移位寄存器 初始值	-	

16.2.10 MISC2 (0x2A)

寄存器	配置寄存器 MISC2				
地址	0x2A				
复位值	0xC07D				
位名称	位	读写	位说明	1	0
RATE	15	R/W	发送速率选择	1Mbps	250Kbps
AFC_MCTRL	14	R/W	AFC 功能控制	使能	不使能
DCOC_ENABLE	13	R/W	DCOC 校准使能	使能	不使能
DCOC_CTRL	12:10	R/W	DCOC 校准控制位	使能	不使能
-	9	-	-	-	-
ACKTIME_ADJUST_ON	8	R/W	AUTO_RX_ACK_TIME 寄存器设置时间乘 2	使能	不使能
AUTO_RX_ACK_TIME	7:0	R/W	在 ACK 使能情况下， PTX 由发送切换为接收 后等待 ACK 的时间。	等待 ACK 的时间为 寄存器设置值*1μs @1Mbps 寄存器设置值*4μs @250Kbps 推荐的设置值为 preamble_length(bits)+100@1Mbps preamble_length(bits)+52@250Kbps	

16.2.11 PKG_RSSI (0x2B)

寄存器	接收数据包信号能量指示寄存器 PKG_RSSI				
地址	0x2B				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
PKG_RSSI	7:0	R	数据包 RSSI 值(dBm)	详见 15.6 节	

16.2.12 CDTH (0x2C)

寄存器	CD 阈值设置寄存器 CDTH				
地址	0x2C				
复位值	0x8883				
位名称	位	读写	位说明	1	0
CD_TH1	15:8	R/W	CD 的高域值	详见 15.7 节	
CD_TH2	7:0	R/W	CD 的低域值		

16.2.13 RSSI (0x2D)

寄存器	接收信号能量指示寄存器 RSSI				
地址	0x2D				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
RSSI	7:0	R	RSSI 值(dBm)	详见 15.6 节	

16.2.14 STATUS0 (0x2E)

寄存器	状态寄存器 STATUS0				
地址	0x2E				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PQT	11	R	Preamble 检测标志	发现有效 Preamble	未发现有效 Preamble
CD	10	R	carrier detect 标志	发现有效载波	未发现有效载波
FREQ_ESTIMATION	9:0	R	频率偏差的估计值	详见 15.4 节	

16.2.15 STATUS1 (0x30)

寄存器	状态寄存器 STATUS1				
地址	0x30				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
PIPE_ADDR_MATCH	7	R	同步字接收成功标志 接收完成后硬件清'0'	同步成功	同步不成功
-	6	-	-	-	-
FSM_TX_STATE	5	R	状态机当前发送状态 指示位	状态机处于发 送状态	状态机不处于 发送状态
-	4:0	-	-	-	-

16.2.16 FIX_LEN_EN (0x31)

寄存器	定长寄存器 FIX_LEN_EN				
地址	0x31				
复位值	0x0F01				
位名称	位	读写	位说明	1	0
FIX_PLD_LEN	15:8	R/W	定长模式 payload 长度	-	-
FIX_PLD_LEN_EN	7	R/W	定长模式使能	使能	不使能
-	6:0	-	-	-	-

16.2.17 FIFO0DATA (0x32)

寄存器	FIFO0 访问寄存器 FIFO0DATA				
地址	0x32				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
FIFO0DATA	7:0	R/W	FIFO0 访问寄存器 (MCU 芯片以 byte 为单位 访问 FIFO)	FIFO 读写操作详见 14.3.3 节	

16. 2. 18 FIFO1DATA (0x33)

寄存器	FIFO1 访问寄存器 FIFO1DATA				
地址	0x33				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
FIFO1DATA	7:0	R/W	FIFO1 访问寄存器 (MCU 芯片以 byte 为单位 访问 FIFO)	FIFO 读写操作详见 14.3.3 节	

16. 2. 19 ACKFIFO0DATA (0x34)

寄存器	ACKFIFO0 访问寄存器 ACKFIFO0DATA				
地址	0x34				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
ACKFIFO0DATA	7:0	R/W	ACKFIFO0 访问寄存器 (MCU 芯片以 byte 为单位 访问 ACKFIFO)	FIFO 读写操作详见 14.3.3 节	

16. 2. 20 ACKFIFO1DATA (0x35)

寄存器	ACKFIFO1 访问寄存器 ACKFIFO1DATA				
地址	0x35				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
ACKFIFO1DATA	15:0	R/W	ACKFIFO1 访问寄存器 (MCU 芯片以 byte 为单位 访问 ACKFIFO)	FIFO 读写操作详见 14.3.3 节	

16. 2. 21 FIFO0CTRL (0x36)

寄存器	FIFO0 配置寄存器 FIFO0CTRL				
地址	0x36				
复位值	0x008E				
位名称	位	读写	位说明	1	0
PTX_FIFO0_FAIL	15	R	重发超时信号，用于区分发送中断置起时 PTX 状态（PTX 清 INT0 硬件自动清‘0’）	重发超时	重发未超时
-	14	-	-	-	
PRX_CRC_ERR0	13	R	PRX 接收存于 FIFO0 中的 PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PRX_FEC23_ERR0	12	R	存于 FIFO0 的接收 PAYLOAD FEC2/3 错误指示位	FEC 错误	FEC 正确
PRX_FIFO0_PIPE	11:9	R	PRX 接收存于 FIFO0 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_FIFO0_OCPY	8	R	PRX FIFO0 数据填写完成信号（清中断 INT0 后硬件清‘0’）	PRX FIFO0 被占用	PRX FIFO0 未被占用
FIFO0_EN	7	R/W	FIFO0 使能位	使能	不使能
-	6:5	-	-	-	
PTX_FIFO0_NOACK	4	R/W	告知 PRX 从 FIFO0 发送的 PAYLOAD 无需 ACK 控制位（ACK 功能使能时有效）	NOACK	ACK
PTX_FIFO0_PIPE	3:1	R/W	PTX FIFO0 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_FIFO0_OCPY	0	R/W	PTX FIFO0 数据填写完成信号（软件清‘0’）	PTX FIFO0 被占用	PTX FIFO0 未被占用

16. 2. 22 FIFO1CTRL (0x37)

寄存器	FIFO1 配置寄存器 FIFO1CTRL				
地址	0x37				
复位值	0x008E				
位名称	位	读写	位说明	1	0
PTX_FIFO1_FAIL	15	R	重发超时信号，用于区分发送中断置起时 PTX 状态（PTX 清 INT1 硬件自动清'0'）	重发超时	重发未超时
-	14	-	-	-	
PRX_CRC_ERR1	13	R	PRX 接收存于 FIFO1 中的 PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PRX_FEC23_ERR1	12	R	存于 FIFO1 的接收 PAYLOAD FEC2/3 错误指示位	FEC 错误	FEC 正确
PRX_FIFO1_PIPE	11:9	R	PRX 接收存于 FIFO1 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_FIFO1_OCPY	8	R	PRX FIFO1 数据填写完成信号（清中断 INT1 后硬件清'0'）	PRX FIFO1 被占用	PRX FIFO1 未被占用
FIFO1_EN	7	R/W	FIFO1 使能位	使能	不使能
-	6:5	-	-	-	
PTX_FIFO1_NOACK	4	R/W	告知 PRX 从 FIFO1 发送的 PAYLOAD 无需 ACK 控制位（ACK 功能使能时有效）	NOACK	ACK
PTX_FIFO1_PIPE	3:1	R/W	PTX FIFO1 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_FIFO1_OCPY	0	R/W	PTX FIFO1 数据填写完成信号（软件清'0'）	PTX FIFO1 被占用	PTX FIFO1 未被占用

16. 2. 23 ACKFIFO0CTRL (0x38)

寄存器	ACKFIFO0 配置寄存器 ACKFIFO0CTRL				
地址	0x38				
复位值	0x0E80				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PRX_ACKFIFO0_PIPE	11:9	R/W	PRX ACKFIFO0 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_ACKFIFO0_OCPY	8	R/W	PRX ACKFIFO0 数据填 写完成信号 (软件清'0')	PRX ACKFIFO0 被占用	PRX ACKFIFO0 未被占用
ACKFIFO0_EN	7	R/W	ACKFIFO0 使能位	使能	不使能
-	6:5	-	-	-	
PTX_ACKCRC_ERR0	4	R	PTX 接收存于 ACKFIFO0 的 ACK PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PTX_ACKFIFO0_PIPE	3:1	R	PTX 接收存于 ACKFIFO0 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_ACKFIFO0_OCPY	0	R	PTX ACKFIFO0 数据填写完成信号 (清中断 ACK_INT0 后 硬件清'0')	PTX ACKFIFO0 被占用	PTX ACKFIFO0 未被占用

16. 2. 24 ACKFIFO1CTRL (0x39)

寄存器	ACKFIFO1 配置寄存器 ACKFIFO1CTRL				
地址	0x39				
复位值	0x0E80				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PRX_ACKFIFO1_PIPE	11:9	R/W	PRX ACKFIFO1 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_ACKFIFO1_OCPY	8	R/W	PRX ACKFIFO1 数据填 写完成信号（软件清'0'）	PRX ACKFIFO1 被占用	PRX ACKFIFO1 未被占用
ACKFIFO1_EN	7	R/W	ACKFIFO1 使能位	使能	不使能
-	6:5	-	-	-	
PTX_ACKCRC_ERR1	4	R	PTX 接收存于 ACKFIFO1 的 ACK PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PTX_ACKFIFO1_PIPE	3:1	R	PTX 接收存于 ACKFIFO1 中 PAYLOAD 数据 所属的 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_ACKFIFO1_OCPY	0	R	PTX ACKFIFO1 数据填写完成信号 （清中断 ACK_INT1 后 硬件清'0'）	PTX ACKFIFO1 被占用	PTX ACKFIFO1 未被占用

16. 2. 25 FIFOSTATUS (0x3A)

寄存器	FIFO 状态寄存器 FIFOSTATUS				
地址	0x3A				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:10	-	-	-	-
FIFO0_HALF_FULL	9	R	接收 FIFO0 半满指示位	半满	未半满
FIFO0_HALF_EMPTY	8	R	发送 FIFO0 半空指示位	半空	未半空
-	7:6	-	-	-	-
ACKFIFO1_OCPY	5	R	ACKFIFO1 状态指示位	ACKFIFO1 被占用	ACKFIFO1 未被占用
ACKFIFO0_OCPY	4	R	ACKFIFO0 状态指示位	ACKFIFO0 被占用	ACKFIFO0 未被占用
FIFO1_OCPY	3	R	FIFO1 状态指示位	FIFO1 被占用	FIFO1 未被占用
FIFO0_OCPY	2	R	FIFO0 状态指示位	FIFO0 被占用	FIFO0 未被占用
-	1:0	-	-	-	-

16. 2. 26 CLEAR (0x3B)

寄存器	FIFO 指针寄存器 CLEAR				
地址	0x3B				
复位值	-				
位名称	位	读写	位说明	1	0
CLR_W_PTR	15	W	FIFO 写指针清'0'信号 (不可在接收 PAYLOAD 时使用)	FIFO 写指针清'0'	无效操作
CLR_W_ACKPTR	14	W	ACKFIFO 写指针清'0'信号 (不可在接收 ACK PAYLOAD 时使用)	ACK FIFO 写指针清'0'	无效操作
FIFO0_WR_PTR	13:8	R	FIFO0 写指针	-	-
CLR_R_PTR	7	W	FIFO 读指针清'0'信号 (不可在发送 PAYLOAD 时使用)	FIFO 读指针清'0'	无效操作
CLR_R_ACKPTR	6	W	ACK FIFO 读指针清'0'信号 (不可在发送 ACK PAYLOAD 时使用)	ACK FIFO 读指针清'0'	无效操作
FIFO0_RD_PTR	5:0	R	FIFO0 读指针	-	-

16. 2. 27 PIPECTRL (0x3C)

寄存器	PIPE 设置寄存器 PIPECTRL				
地址	0x3C				
复位值	0x3000				
位名称	位	读写	位说明	1	0
P3_EN	15	R/W	PIPE3 使能信号	使能	不使能
P2_EN	14	R/W	PIPE2 使能信号	使能	不使能
P1_EN	13	R/W	PIPE1 使能信号	使能	不使能
P0_EN	12	R/W	PIPE0 使能信号	使能	不使能
-	11:8	-			
P3_ACKPAYLOAD_EN	7	R/W	PIPE3 ACK 带 PAYLOAD 使能信号	使能	不使能
P2_ACKPAYLOAD_EN	6	R/W	PIPE2 ACK 带 PAYLOAD 使能信号	使能	不使能
P1_ACKPAYLOAD_EN	5	R/W	PIPE1 ACK 带 PAYLOAD 使能信号	使能	不使能
P0_ACKPAYLOAD_EN	4	R/W	PIPE0 ACK 带 PAYLOAD 使能信号	使能	不使能
P3_ACK_EN	3	R/W	PIPE3 ACK 使能信号	使能	不使能
P2_ACK_EN	2	R/W	PIPE2 ACK 使能信号	使能	不使能
P1_ACK_EN	1	R/W	PIPE1 ACK 使能信号	使能	不使能
P0_ACK_EN	0	R/W	PIPE0 ACK 使能信号	使能	不使能

16. 2. 28 INT (0x3D)

寄存器	中断寄存器 INT				
地址	0x3D				
复位值	-				
位名称	位	读写	位说明	1	0
ACKINT1_CLR	15	W	ACKINT1 标志位 清'0'信号	清'0'	无效操作
ACKINT1_PID	14:13	R	ACKINT1 为'1'时 PID 指示位	PTX: 指示当 ACKINT1 为'1'时, ACKFIFO1 接收到的 ACK PAYLOAD 所对应的 PID。 PRX: 指示当 ACKINT1 为'1'时, ACKFIFO1 上一次成功发送的 ACK PAYLOAD 所对应的 PID。	
			ACKFIFO1 中断标志位 PTX: ACKFIFO1 接 ACK PAYLOAD 后置'1'。 PRX: PRX 在接收到新包		

ACKINT1	12	R	的 PID 发生变化时置‘1’。 表明前一次从 ACKFIFO1 中发送的 ACK PAYLOAD 发送成功。 (具体详见 14.2 节)	发生中断	未发生中断
ACKINT0_CLR	11	W	ACKINT0 标志位 清‘0’信号	清‘0’	无效操作
ACKINT0_PID	10:9	R	ACKINT0 为‘1’时 PID 指示位	PTX: 指示当 ACKINT0 为‘1’ 时, ACKFIFO0 接收到的 ACK PAYLOAD 所对应的 PID。 PRX: 指示当 ACKINT0 为‘1’ 时, ACKFIFO0 上一次成功发 送的 ACK PAYLOAD 所对应的 PID。	
ACKINT0	8	R	ACKFIFO0 中断标志位 PTX: ACKFIFO0 接 ACK PAYLOAD 后置‘1’。 PRX: PRX 在接收到新包 的 PID 发生变化时置‘1’。 表明前一次从 ACKFIFO0 中发送的 ACK PAYLOAD 发送成功。 (具体详见 14.2 节)	发生中断	未发生中断
INT1_CLR	7	W	INT1 标志位清‘0’信号	清‘0’	无效操作
FIFO1_ACK_POS	6	R	PTX 从 FIFO1 发包之后接 收的 ACK PAYLOAD 存放 的 ACK FIFO (只针对 PTX, 并且 ACKINT1 = ‘1’, ACKINT1_W_ACKPAY = ‘1’时有效)	ACKFIFO1	ACKFIFO0
ACKINT1_W_ACKPAY	5	R	ACKINT1 是否带 ACK PAYLOAD 指示位 (只针对 PTX, 并且 ACKINT1 = ‘1’时有效)	ACK 带 PAYLOAD	ACK 不带 PAYLOAD
INT1	4	R	FIFO1 中断标志位 PTX: 发送完成或发送超时 PRX: 接收完成、发送 ACK 完成或 Syncword 匹配。 (具体详见 14.2 节)	发生中断	未发生中断
INT0_CLR	3	W	INT0 标志位清‘0’信号	清‘0’	无效操作
			PTX 从 FIFO0 发包之后接 收的 ACK PAYLOAD 存放		

FIFO0_ACK_POS	2	R	的 ACK FIFO (只针对 PTX, 并且 ACKINT0 = '1', ACKINT0_W_ACKPAY = '1'时有效)	ACKFIFO1	ACKFIFO0
ACKINT0_W_ACKPAY	1	R	ACKINT0 是否带 ACK PAYLOAD 指示位 (只针对 PTX, 并且 ACKINT0 = '1'时有效)	ACK 带 PAYLOAD	ACK 不带 PAYLOAD
INT0	0	R	FIFO0 中断标志位 PTX:发送完成或发送超时 PRX:接收完成、发送 ACK 完成或 Syncword 匹配。 (具体详见 14.2 节)	发生中断	未发生中断

16. 2. 29 P0ADDR0 (0x40)

寄存器名称	PIPE0 地址寄存器 P0ADDR0				
地址	0x40				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[15:0]	15:0	R/W	PIPE0 syncword 地址	-	

16. 2. 30 P0ADDR1 (0x41)

寄存器名称	PIPE0 地址寄存器 P0ADDR1				
地址	0x41				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[31:16]	15:0	R/W	PIPE0 syncword 地址	-	

16. 2. 31 P0ADDR2 (0x42)

寄存器名称	PIPE0 地址寄存器 P0ADDR2				
地址	0x42				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[47:32]	15:0	R/W	PIPE0 syncword 地址	-	

16. 2. 32 P1ADDR0 (0x43)

寄存器名称	PIPE1 地址寄存器 P1ADDR0				
地址	0x43				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[15:0]	15:0	R/W	PIPE1 syncword 地址	-	

16. 2. 33 P1ADDR1 (0x44)

寄存器名称	PIPE1 地址寄存器 P1ADDR1				
地址	0x44				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[31:16]	15:0	R/W	PIPE1 syncword 地址	-	

16. 2. 34 P1ADDR2 (0x45)

寄存器名称	PIPE1 地址寄存器 P1ADDR2				
地址	0x45				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[47:32]	15:0	R/W	PIPE1 syncword 地址	-	

16. 2. 35 P2ADDR (0x46)

寄存器名称	PIPE2 地址寄存器 P2ADDR				
地址	0x46				
复位值	0xxx58				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
P2_ADDR[7:0]	7:0	R/W	PIPE2 syncword 地址低 8 位。 PIPE2 地址总长度可通过寄存器 SYNCWORD_LEN 配置： 16bit : {P1_ADDR[15:8],P2_ADDR} 32bit : {P1_ADDR[31:8],P2_ADDR} 48bit : {P1_ADDR[47:8],P2_ADDR}	-	

16. 2. 36 P3ADDR (0x47)

寄存器名称	PIPE3 地址寄存器 P3ADDR				
地址	0x47				
复位值	0xxxA7				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
P3_ADDR[7:0]	7:0	R/W	PIPE3 syncword 地址低 8 位。 PIPE3 地址总长度可通过寄存器 SYNCWORD_LEN 配置: 16bit : {P1_ADDR[15:8],P3_ADDR} 32bit : {P1_ADDR[31:8],P3_ADDR} 48bit : {P1_ADDR[47:8],P3_ADDR}	-	-

第17章 RF收发器—术语解释

RF 收发器的术语，请参考下表：

Term	Description
ACK	Acknowledgement
ART	Auto Re-Transmit
PTX	Primary TX
PRX	Primary RX
TX	Transmit
RX	Receive
ISM	Industrial-Scientific-Medical
GFSK	Gaussian Frequency Shift Keying
PID	Packet Identity Bits
CE	Chip Enable
IRQ	Interrupt Request
CSN	Chip Select NOT
SCK	Serial Clock
MOSI	Master Out Slave In
MISO	Master In Slave Out

表 17-1 术语解释

第18章 封装尺寸图

18.1 SSOP20 封装尺寸图

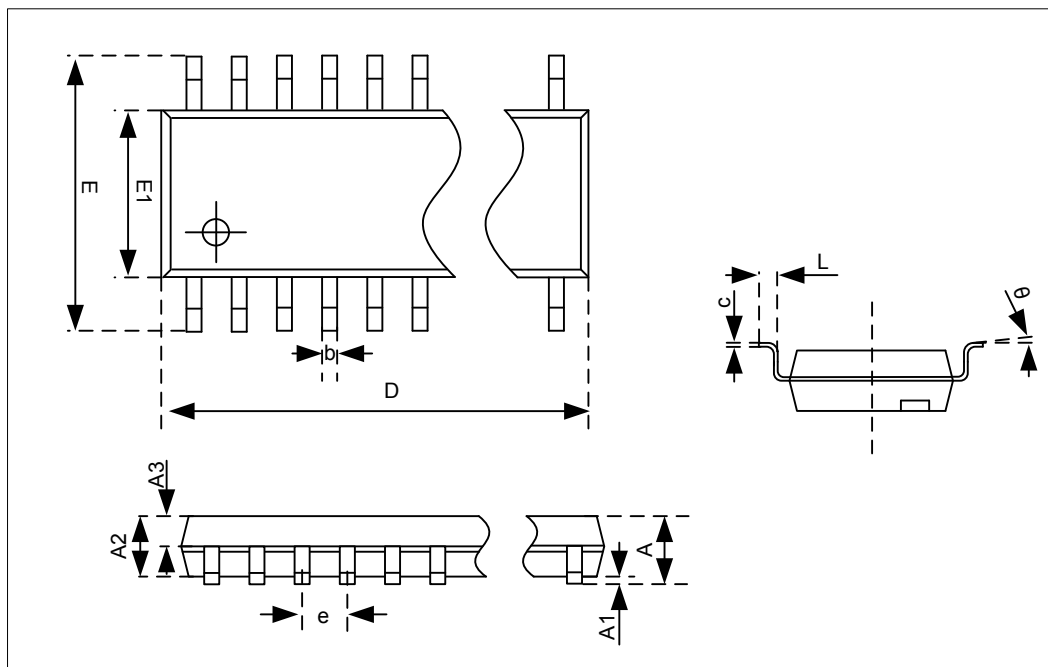


图 18-1 SSOP20 封装图

标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.85
A1	0.05	—	0.25
A2	1.40	1.50	1.60
A3	0.62	0.67	0.72
b	0.28	—	0.36
c	0.15	—	0.19
D	7.10	7.20	7.30
E	7.60	7.80	8.00
E1	5.20	5.30	5.40
e	0.65BSC		
L	0.75	—	1.05
θ	0°	—	8°

表 18-1 SSOP20 封装尺寸数据表

第19章 应用参考设计

19.1 应用参考SCH设计

19.1.1 应用参考设计SCH图

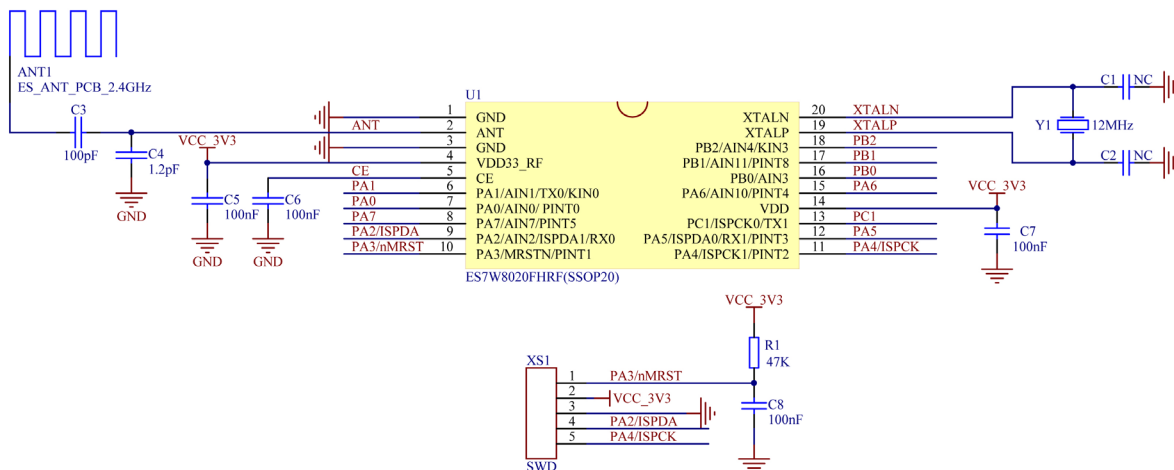


图 19-1 应用参考设计 SCH 图

需要注意的是 RF 匹配参数，有两种方案，如下表所示：

方案	C3	C4	说明
电容方案	100pF	1.2pF	支持任意天线，发射功率略小
电感方案	2.7nH	1.2pF	只支持无接地的天线，发射功率略大

表 19-1 RF 匹配参数表

19.1.2 SCH设计注意事项

- 1) 需要特别注意的是 ANT 脚（PIN2）有直流电压输出，不能接地。所以，如果要接一些有接地的 PCB 天线（如倒 F 型 PCB 天线），则必须使用电容方案，其发射功率略小。若对发射功率的要求较高，且采用无接地的天线（如导线和弹簧天线），则可以使用电感方案。
- 2) C5 和 C7 电容，分别是用于芯片内部 RF 数字电源和 MCU 电源的滤波，对于芯片的可靠性发挥了重要作用。
- 3) C6 电容，用于 CE 管脚滤波，对于外部干扰较大的场景，可相应增加该电容容量。
- 4) 晶振两边的电容 C1 和 C2 一般不需要添加，只有在需要调整晶振频率时才使用，但建议在 PCB 板上预留位置。

19.2 应用参考PCB设计

19.2.1 应用参考设计PCB图

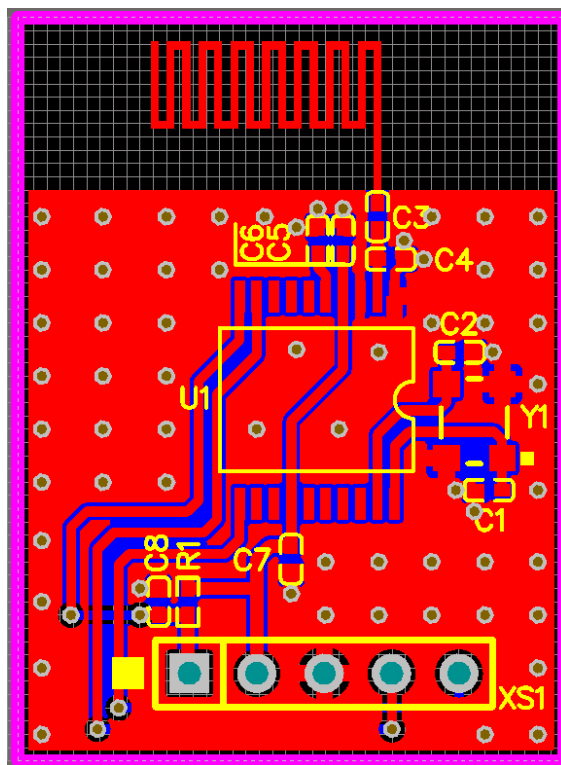


图 19-2 应用参考设计 PCB 图

19.2.2 PCB设计注意事项

- 1) 天线和芯片之间的射频匹配元件的布局应尽可能紧凑，保证射频走线满足最短路径原则。
- 2) 射频走线应尽可能短。推荐的走线方式是先连接水平放置的 C4，再连接垂直放置的 C3，且 C4 左边的焊盘直接置于走线上。此外，射频走线应满足 50 欧姆阻抗要求。
- 3) 要保证天线和芯片之间的射频电路区域有完整的地平面，在此区域内禁止非射频走线（如电源和数字走线），避免对射频电路区域地平面的分割，且地平面的面积应该尽可能大。另外，射频走线应该“包地”，并且铺地区域要放置适当的接地过孔，降低地平面的阻抗。
- 4) 数字和晶振电路需远离射频前端电路。
- 5) 电源滤波电容 C5、C7 需尽量靠近电源管脚，CE 管脚的 C6 滤波电容要尽可能靠近 CE 管脚。

附录1 MCU指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 JUMP、AJMP、GOTO、CALL、LCALL、RCALL、RET、RETIA、RETIE、TBR、TBR#1、TBR_1、TBR1#、TBW、TBW#1、TBW_1、TBW1#为双周期指令；满足跳转条件时，JBC、JBS、JCAIE、JCAIG、JCAIL、JCRAE、JCRAE、JCRAE、JCRAE、JCCRE、JCCRG、JCCRL、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<1:0>->PCR<5:3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R) (R 为 GPR)
8	MOVRA	R<10:0>	—	1	(R)->(A) (R 为 GPR)

附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<12:0>->PC<12:0> I<12:8>->PCR<4:0>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCR<4:3>->PC<12:11>
12	CALL	I<10:0>	—	2	PC+1->TOS,I<10:0>->PC<10:0>, PCR<4:3>->PC<12:11>
13	LCALL	I<19:0>	—	2	PC+1->TOS,I<12:0>->PC<12:0>

序号	指令		影响状态位	机器周期	操作
					$I<12:8> \rightarrow PCRH<4:0>$
14	RCALL	$R<7:0>$	—	2	$PC+1 \rightarrow TOS, (R) \rightarrow PC<7:0>, PCRH<4:0> \rightarrow PC<12:8>$
15	JBC	$R<7:0>, B<2:0>$	—	2 或 1	当 $R = 0$ 时跳过下一条指令
16	JBS	$R<7:0>, B<2:0>$	—	2 或 1	当 $R = 1$ 时跳过下一条指令
17	JCAIE	$I<7:0>$	—	2 或 1	当 $(A) = I$ 时跳过下一条指令
18	JCAIG	$I<7:0>$	—	2 或 1	当 $(A) > I$ 时跳过下一条指令
19	JCAIL	$I<7:0>$	—	2 或 1	当 $(A) < I$ 时跳过下一条指令
20	JCRAE	$R<7:0>$	—	2 或 1	当 $(R) = (A)$ 时跳过下一条指令
21	JCRAG	$R<7:0>$	—	2 或 1	当 $(R) > (A)$ 时跳过下一条指令
22	JCRAL	$R<7:0>$	—	2 或 1	当 $(R) < (A)$ 时跳过下一条指令
23	JCCRE	$R<7:0>, B<2:0>$	—	2 或 1	当 $C = R(B)$ 时跳过下一条指令
24	JCCRG	$R<7:0>, B<2:0>$	—	2 或 1	当 $C > R(B)$ 时跳过下一条指令
25	JCCRL	$R<7:0>, B<2:0>$	—	2 或 1	当 $C < R(B)$ 时跳过下一条指令
26	JDEC	$R<7:0>, F$	—	2 或 1	$(R-1) \rightarrow$ (目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	$R<7:0>, F$	—	2 或 1	$(R+1) \rightarrow$ (目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	$AS \rightarrow A, PSWS \rightarrow PSW, BKSR \rightarrow BKSRS, PCRHS \rightarrow PCRH$
30	PUSH	—	—	1	$A \rightarrow AS, PSW \rightarrow PSWS, BKSR \rightarrow BKSRS, PCRH \rightarrow PCRHS$
31	RET	—	—	2	$TOS \rightarrow PC$
32	RETIA	$I<7:0>$	—	2	$I \rightarrow (A), TOS \rightarrow PC$
33	RETIE	—	—	2	$TOS \rightarrow PC, 1 \rightarrow GIE$
34	RST	—	全部状态位均被影响	1	软件复位指令
35	CWDT	—	N_TO, N_PD	1	$00_H \rightarrow WDT, 0 \rightarrow WDTPrescaler, 1 \rightarrow N_TO, 1 \rightarrow N_PD$
36	IDLE	—	N_TO, N_PD	1	$00_H \rightarrow WDT, 0 \rightarrow WDTPrescaler, 1 \rightarrow N_TO, 0 \rightarrow N_PD$

附录1.4 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
37	ADD	$R<7:0>, F$	C, DC, Z, OV, N	1	$(R)+(A) \rightarrow$ (目标)
38	ADDC	$R<7:0>, F$	C, DC, Z, OV, N	1	$(R)+(A)+C \rightarrow$ (目标)
39	ADDCI	$I<7:0>$	C, DC, Z, OV, N	1	$I+(A)+C \rightarrow (A)$
40	ADDI	$I<7:0>$	C, DC, Z, OV, N	1	$I+(A) \rightarrow (A)$
41	AND	$R<7:0>, F$	Z, N	1	$(A).AND.(R) \rightarrow$ (目标)

序号	指令		影响 状态位	机器 周期	操作
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R
44	BSS	R<7:0>,B<2:0>	—	1	1->R
45	BTT	R<7:0>,B<2:0>	—	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF _H ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	—	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	 C<< R<7:0> (R 带 C 向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7> << R<7:0> (R 不带 C 向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	 C>> R<7:0> (R 带 C 向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7:0> >> R<0> (R 不带 C 向右循环移位)
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	—	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)->ROMD

序号	指令		影响 状态位	机器 周期	操作
70	TBR#1	—	—	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	—	—	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	—	—	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	—	—	2	ROMD->prog buffer
74	TBW#1	—	—	2	ROMD>prog buffer, FRA+1->FRA
75	TBW_1	—	—	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	—	—	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

注：指令集说明

- 1: i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位或移动 B 位。
- 2: C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果标志位 F = 0，则目标寄存器为寄存器 A；如果标志位 F = 1，则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中， N 的位数，视实际芯片而定。对本芯片，通用数据存储器 GPR 分为 8 个存储体组，所以 N 的位数是 3 位。
- 7: PAGE 指令中， N 的位数，视实际芯片而定。对本芯片，没有 PCRU 寄存器，N 的位数是 2 位。
- 8: PC 的位数以及 PCRU 寄存器，视实际芯片而定。对本芯片，PC 的位数是 14 位，没有 PCRU 寄存器。

附录2 特殊功能寄存器总表（特殊存储体 0）

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAAL<7:0>								0000 0000
FF82 _H	IAAH	IAAH<7:0>								0000 0000
FF83 _H	BKSR	—	—	—	SBKSR	—	DBKSR<2:0>			0000 0000
FF84 _H	PSW	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	AREG<7:0>								xxxx xxxx
FF86 _H	PCRL	PCRL<7:0>								0000 0000
FF87 _H	PCRH	—	—	PCRH<5:0>						0000 0000
FF88 _H	MULA/MULL	MULA<7:0> / MULL<7:0>								xxxx xxxx
FF89 _H	MULB/MULH	MULB<7:0> / MULH<7:0>								xxxx xxxx
FF8A _H	TMRADC	TMRADC<7:0>								0000 0000
FF8B _H	BEEPC	BEEPIOS<1:0>		BEEPPRE<1:0>		BEEP_OUTSEL<1:0>		—	BEEPEN	0000 0000
FF8C _H	LVDC	LVDLS	—	—	LV DEN	—	LVDV<2:0>			0000 0000
FF8D _H	ANSH	—	—	—	ANSH4	ANSH3	ANSH2	ANSH1	—	0000 0000
FF8E _H	FRALN	FRALN<7:0>								0000 0000
FF8F _H	FRAHN	FRAHN<7:0>								0000 0000
FF90 _H	FRAL	FRAL<7:0>								xxxx xxxx
FF91 _H	FRAH	FRAH<7:0>								xxxx xxxx
FF92 _H	ROMDL	ROMDL<7:0>								xxxx xxxx
FF93 _H	ROMDH	ROMDH<7:0>								xxxx xxxx
FF94 _H	ROMCL	DATARDEN	—	—	—	FPEE	WREN	WR	DATARDTRG	0000 0000
FF95 _H	ROMCH	ROMCH<7:0>								0000 0000
FF96 _H	INTG	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>		0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF97 _H	INTP	IGP<7:0>								0000 0000
FF98 _H	INTC0	PEG3<1:0>		PEG2<1:0>		PEG1<1:0>		PEG0<1:0>		0000 0000
FF99 _H	INTE0	SPI_GIEIE	ADHTRIE	ADLTRIE	KIE	PIE8	T31IE	T8NIE	ADIE	0000 0000
FF9A _H	INTF0	SPI_GIEIF	ADHTRIF	ADLTRIF	KIF	PIF8	T31IF	T8NIF	ADIF	0000 0000
FF9B _H	INTE1	PIE7	PIE6	PIE5	PIE4	PIE3	PIE2	PIE1	PIE0	0000 0000
FF9C _H	INTF1	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	0000 0000
FF9D _H	INTE2	T21MIE2	I2CIE	T21MIE1	T21MIE0	T21PIE	T21VIE	RX0IE	TX0IE	0000 0000
FF9E _H	INTF2	T21MIF2	I2CIF	T21MIF1	T21MIF0	T21PIF	T21VIF	RX0IF	TX0IF	0000 0000
FF9F _H	INTE3	LVDIE	—	—	—	T11PIE	T11VIE	RX1IE	TX1IE	0000 0000
FFA0 _H	INTF3	LVDIF	—	—	—	T11PIF	T11VIF	RX1IF	TX1IF	0000 0000
FFA1 _H	ROMD1L	ROMD1L<7:0>								xxxx xxxx
FFA2 _H	ROMD1H	ROMD1H<7:0>								xxxx xxxx
FFA3 _H	KMSK	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA4 _H	WDTC	—	—	—	WDTPRE	—	WDTPRS<2:0>			0000 1111
FFA5 _H	WDTP	WDTP<7:0>								1111 1111
FFA6 _H	WKDC	WKDC<7:0>								1111 1111
FFA7 _H	PWEN	—	—	MRSTF	PORLOST	BORFLT<1:0>		RCEN	HALT_PWM	0000 0011
FFA8 _H	PA	PA<7:0>								xxxx xxxx
FFA9 _H	PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	xxxx xxxx
FFAA _H	PC	—	—	—	—	—	—	PC1	PC0	xxxx xxxx
FFAB _H	PAFLT	PAFLT<7:0>								1111 1111
FFAC _H	PBFLT	PBFLT<7:0>								1111 1111
FFAD _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FFAE _H	PBT	PBT7	PBT6	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	1111 1111
FFAF _H	PCT	—	—	—	—	—	—	PCT1	PCT0	0000 0011

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFB0 _H	PAPD	PAPD7	PAPD6	PAPD5	PAPD4	PAPD3	PAPD2	PAPD1	PAPD0	0000 1000
FFB1 _H	PBPD	PBPD7	PBPD6	PBPD5	PBPD4	PBPD3	PBPD2	PBPD1	PBPD0	0000 0000
FFB2 _H	PAPU	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1	PAPU0	0000 1000
FFB3 _H	PBPU	PBPU7	PBPU6	PBPU5	PBPU4	PBPU3	PBPU2	PBPU1	PBPU0	0000 0000
FFB4 _H	PCPU	—	—	—	—	—	—	PCPU1	PCPU0	0000 0000
FFB5 _H	PCFLT	—	—	—	—	—	—	PCFLT<1:0>		0000 0011
FFB6 _H	PWRC	LPM<1:0>		VRST<1:0>		N_TO	N_PD	N_POR	N_BOR	1100 1100
FFB7 _H	PACTR	PASMTS	PA5OD	PA5DS	PA4DS	PA3DS	PA2DS	PA1DS	PA0DS	1000 0000
FFB8 _H	PBCTR	PBSMTS	PB0OD	PB1OD	—	PB3DS	PB2DS	PB1DS	PB0DS	1000 0000
FFB9 _H	PCCTR	PCSMTS	PC1OD	I2C_SEL	—	—	—	PC1DS	PC0DS	1000 0000
FFBA _H	ADCCSH	ADCVTTEN	T21ADS	ADC_LP_EN	T21ADEN	—	—	—	—	0000 0000
FFBB _H	PORTCTR	UART1SEL	T31CH3N SEL	T31CH2NSEL	T31CH1NSEL	AD_ETR1EN	ADC_ETR0EN	T21CH2NS EL	T21CH0NSEL	0000 0000
FFBC _H	ANSL	ANSL7	ANSL6	ANSL5	ANSL4	ANSL3	ANSL2	ANSL1	ANSL0	0000 0000
FFBD _H	T8N	T8N<7:0>								0000 0000
FFBE _H	T8NC	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>			0000 0000
FFBF _H	T31CHBK	CHOE	AROE	BKPS	BKE	ROFFS	NOFFS	PROTS<1:0>		0000 0000
FFC0 _H	T31DLYT	DLYT<7:0>								0000 0000
FFC1 _H	T31C0L	RLBE	CMC<1:0>		DIRS	SPME	UES	UED	T31EN	0000 0000
FFC2 _H	T31C0H	T31PWMCKS	HTOE OF F	—	—	—	—	DFCKS<1:0>		0000 0000
FFC3 _H	T31C1L	—	ADTRGS<2:0>			—	CHCUS	—	CHCBE	0000 0000
FFC4 _H	T31C1H	—	ONS4	ONS3N	ONS3	ONS2N	ONS2	ONS1N	ONS1	0000 0000
FFC5 _H	T31C2L	—	TRGS<2:0>			COCE	T31SM<2:0>			0000 0000
FFC6 _H	T31C2H	ETEG	ECM2E	ETPRS<1:0>		ETFS<3:0>				0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFC7 _H	T31IEL	BKIE	TRGIE	CHUIE	MIE4	MIE3	MIE2	MIE1	UPIE	0000 0000
FFC8 _H	T31IEH	—	—	—	OVIE4	OVIE3	OVIE2	OVIE1	—	0000 0000
FFC9 _H	T31IDL	BKID	TRGID	CHUID	MID4	MID3	MID2	MID1	UPID	0000 0000
FFCA _H	T31IDH	—	—	—	OVID4	OVID3	OVID2	OVID1	—	0000 0000
FFCB _H	T31IVSL	BKIS	TRGIS	CHUIS	MIS4	MIS3	MIS2	MIS1	UPIS	0000 0000
FFCC _H	T31IVSH	—	—	—	OVIS4	OVIS3	OVIS2	OVIS1	—	0000 0000
FFCD _H	T31IFL	BKIF	TRGIF	CHUIF	MIF4	MIF3	MIF2	MIF1	UPIF	0000 0000
FFCE _H	T31IFH	—	—	—	OVIF4	OVIF3	OVIF2	OVIF1	—	0000 0000
FFCF _H	T31IFML	BKIM	TRGIM	CHUIM	MIM4	MIM3	MIM2	MIM1	UPIM	0000 0000
FFD0 _H	T31IFMH	—	—	—	OVIM4	OVIM3	OVIM2	OVIM1	—	0000 0000
FFD1 _H	T31ICRL	BKIC	TRGIC	CHUIC	MIC4	MIC3	MIC2	MIC1	UPIC	0000 0000
FFD2 _H	T31ICRH	—	—	—	OVIC4	OVIC3	OVIC2	OVIC1	—	0000 0000
FFD3 _H	T31EVG	BKT	TRGT	CHUT	CH4T	CH3T	CH2T	CH1T	UPT	0000 0000
FFD4 _H	T31CH1C	CH1COCE	CH1OM<2:0>			CH1OBE	CH1OFE	CH1IOS<1:0>		0000 0000
FFD4 _H	T31CH1C	CH1IFS<3:0>				CH1IM<1:0>		CH1IOS<1:0>		0000 0000
FFD5 _H	T31CH2C	CH2COCE	CH2OM<2:0>			CH2OBE	CH2OFE	CH2IOS<1:0>		0000 0000
FFD5 _H	T31CH2C	CH2IFS<3:0>				CH2IM<1:0>		CH2IOS<1:0>		0000 0000
FFD6 _H	T31CH3C	CH3COCE	CH3OM<2:0>			CH3OBE	CH3OFE	CH3IOS<1:0>		0000 0000
FFD6 _H	T31CH3C	CH3IFS<3:0>				CH3IM<1:0>		CH3IOS<1:0>		0000 0000
FFD7 _H	T31CH4C	CH4COCE	CH4OM<2:0>			CH4OBE	CH4OFE	CH4IOS<1:0>		0000 0000
FFD7 _H	T31CH4C	CH4IFS<3:0>				CH4IM<1:0>		CH4IOS<1:0>		0000 0000
FFD8 _H	T31PINCL	CH2NP	CH2NE	CH2P	CH2E	CH1NP	CH1NE	CH1P	CH1E	0000 0000
FFD9 _H	T31PINCH	CH4NP	—	CH4P	CH4E	CH3NP	CH3NE	CH3P	CH3E	0000 0000
FFDA _H	T31CNTL	CNT<7:0>								0000 0000
FFDB _H	T31CNTH	CNT<15:8>								0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFDC _H	T31PRSL	PRS<7:0>								0000 0000
FFDD _H	T31PRSH	PRS<15:8>								0000 0000
FFDE _H	T31CNTLDL	CNTLD<7:0>								1111 1111
FFDF _H	T31CNTLDH	CNTLD<15:8>								1111 1111
FFE0 _H	T31POS	POS<7:0>								0000 0000
FFE1 _H	T31CH1RL	CH1R<7:0>								0000 0000
FFE2 _H	T31CH1RH	CH1R<15:8>								0000 0000
FFE3 _H	T31CH2RL	CH2R<7:0>								0000 0000
FFE4 _H	T31CH2RH	CH2R<15:8>								0000 0000
FFE5 _H	T31CH3RL	CH3R<7:0>								0000 0000
FFE6 _H	T31CH3RH	CH3R<15:8>								0000 0000
FFE7 _H	T31CH4RL	CH4R<7:0>								0000 0000
FFE8 _H	T31CH4RH	CH4R<15:8>								0000 0000
FFE9 _H	T21OC	T21TR	PLLCKS	PT2EN<1:0>		T21OM22	PT1EN	PT0EN<1:0>		0000 0000
FFEA _H	T21L	T21<7:0>								0000 0000
FFEB _H	T21H	—	—	—	—	T21<11:8>				0000 0000
FFEC _H	T21PL	T21P<7:0>								1111 1111
FFED _H	T21PH	—	—	—	—	T21P<11:8>				1111 1111
FFEE _H	T21R0L	T21R0<7:0>								0000 0000
FFEF _H	T21R0H	—	—	—	—	T21R0<11:8>				0000 0000
FFF0 _H	T21CL	T21M<3:0>				CAP1S<1:0>		CAP0S<1:0>		0000 0000
FFF1 _H	T21CM	CAP2S<1:0>		T21OM20	T21OM21	T21PRS<3:0>				0000 0000
FFF2 _H	T21CH	T21EN	T21POS<6:0>							0000 0000
FFF3 _H	T21R1L	T21R1<7:0>								0000 0000
FFF4 _H	T21R1H	—	—	—	—	T21R1<11:8>				0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFF5 _H	T21R2L	T21R2<7:0>								0000 0000
FFF6 _H	T21R2H	—	—	—	—	T21R2<11:8>				0000 0000
FFF7 _H	ADCCM	VREFSEL	ADVREF NS	ADVREFPS<1:0>		ADOFSTS<1:0>		ADBITSEL<1:0>		1100 0011
FFF8 _H	ADCRL	ADCRL<7:0>								0000 0000
FFF9 _H	ADCRH	ADCRH<7:0>								0000 0000
FFFA _H	ADCCL	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN	1111 0100
FFFB _H	ADCCH	ADFM	ADCKS<2:0>			ADST<1:0>		VREF_CH OPEN	VREFEN	0100 1000
FFFC _H	ADCLTRL	ADCLTRL<7:0>								0000 0000
FFFD _H	ADCLTRH	ADCLTRH<7:0>								0000 0000
FFFE _H	ADCHTRL	ADCHTRL<7:0>								1111 1111
FFFF _H	ADCHTRH	ADCHTRH<7:0>								1111 1111

附录3 特殊功能寄存器总表（特殊存储体 1）

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAAL<7:0>								0000 0000
FF82 _H	IAAH	IAAH<7:0>								0000 0000
FF83 _H	BKSR	—	—	—	SBKSR	—	DBKSR<2:0>			0000 0000
FF84 _H	PSW	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	AREG<7:0>								xxxx xxxx
FF86 _H	PCRL	PCRL<7:0>								0000 0000
FF87 _H	PCRH	—	—	PCRH<5:0>						0000 0000
FF88 _H	MULA/MULL	MULA<7:0> / MULL<7:0>								xxxx xxxx
FF89 _H	MULB/MULH	MULB<7:0> / MULH<7:0>								xxxx xxxx
FF8A _H	TMRADC	TMRADC<7:0>								0000 0000
FF8B _H	BEEPC	BEEPIOS<1:0>		BEEPPRE<1:0>		BEEP_OUTSEL<1:0>		—	BEEPEN	0000 0000
FF8C _H	LVDC	LVDLS	—	—	LVDEN	—	LVDV<2:0>			0000 0000
FF8D _H	ANSH	—	—	—	ANSH4	ANSH3	ANSH2	ANSH1	—	0000 0000
FF8E _H	FRALN	FRALN<7:0>								0000 0000
FF8F _H	FRAHN	FRAHN<7:0>								0000 0000
FF90 _H	FRAL	FRAL<7:0>								xxxx xxxx
FF91 _H	FRAH	FRAH<7:0>								xxxx xxxx
FF92 _H	ROMDL	ROMDL<7:0>								xxxx xxxx
FF93 _H	ROMDH	ROMDH<7:0>								xxxx xxxx
FF94 _H	ROMCL	DATARDEN	—	—	—	FPEE	WREN	WR	DATARDTRG	0000 0000
FF95 _H	ROMCH	ROMCH<7:0>								0000 0000
FF96 _H	INTG	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>		0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF97 _H	INTP	IGP<7:0>								0000 0000
FF98 _H	INTC0	PEG3<1:0>		PEG2<1:0>		PEG1<1:0>		PEG0<1:0>		0000 0000
FF99 _H	INTE0	SPI_GIEIE	ADHTRIE	ADLTRIE	KIE	PIE8	T31IE	T8NIE	ADIE	0000 0000
FF9A _H	INTF0	SPI_GIEIF	ADHTRIF	ADLTRIF	KIF	PIF8	T31IF	T8NIF	ADIF	0000 0000
FF9B _H	INTE1	PIE7	PIE6	PIE5	PIE4	PIE3	PIE2	PIE1	PIE0	0000 0000
FF9C _H	INTF1	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	0000 0000
FF9D _H	INTE2	T21MIE2	I2CIE	T21MIE1	T21MIE0	T21PIE	T21VIE	RX0IE	TX0IE	0000 0000
FF9E _H	INTF2	T21MIF2	I2CIF	T21MIF1	T21MIF0	T21PIF	T21VIF	RX0IF	TX0IF	0000 0000
FF9F _H	INTE3	LVDIE	—	—	—	T11PIE	T11VIE	RX1IE	TX1IE	0000 0000
FFA0 _H	INTF3	LVDIF	—	—	—	T11PIF	T11VIF	RX1IF	TX1IF	0000 0000
FFA1 _H	ROMD1L	ROMD1L<7:0>								xxxx xxxx
FFA2 _H	ROMD1H	ROMD1H<7:0>								xxxx xxxx
FFA3 _H	KMSK	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA4 _H	WDTC	—	—	—	WDTPRE	—	WDTPRS<2:0>			0000 1111
FFA5 _H	WDTP	WDTP<7:0>								1111 1111
FFA6 _H	WKDC	WKDC<7:0>								1111 1111
FFA7 _H	PWEN	—	—	MRSTF	PORLOST	BORFLT<1:0>		RCEN	HALT_PWM	0000 0011
FFA8 _H	PA	PA<7:0>								xxxx xxxx
FFA9 _H	PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	xxxx xxxx
FFAA _H	PC	—	—	—	—	—	—	PC1	PC0	xxxx xxxx
FFAB _H	PAFLT	PAFLT<7:0>								1111 1111
FFAC _H	PBFLT	PBFLT<7:0>								1111 1111
FFAD _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FFAE _H	PBT	PBT7	PBT6	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	1111 1111
FFAF _H	PCT	—	—	—	—	—	—	PCT1	PCT0	0000 0011

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFB0 _H	PAPD	PAPD7	PAPD6	PAPD5	PAPD4	PAPD3	PAPD2	PAPD1	PAPD0	0000 1000
FFB1 _H	PBPD	PBPD7	PBPD6	PBPD5	PBPD4	PBPD3	PBPD2	PBPD1	PBPD0	0000 0000
FFB2 _H	PAPU	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1	PAPU0	0000 1000
FFB3 _H	PBPU	PBPU7	PBPU6	PBPU5	PBPU4	PBPU3	PBPU2	PBPU1	PBPU0	0000 0000
FFB4 _H	PCPU	—	—	—	—	—	—	PCPU1	PCPU0	0000 0000
FFB5 _H	PCFLT	—	—	—	—	—	—	PCFLT<1:0>		0000 0011
FFB6 _H	PWRC	LPM<1:0>		VRST<1:0>		N_TO	N_PD	N_POR	N_BOR	1100 1100
FFB7 _H	PACTR	PASMTS	PA5OD	PA5DS	PA4DS	PA3DS	PA2DS	PA1DS	PA0DS	1000 0000
FFB8 _H	PBCTR	PBSMTS	PB0OD	PB1OD	—	PB3DS	PB2DS	PB1DS	PB0DS	1000 0000
FFB9 _H	PCCTR	PCSMTS	PC1OD	I2C_SEL	—	—	—	PC1DS	PC0DS	1000 0000
FFBA _H	ADCCSH	ADCVTTEN	T21ADS	ADC_LP_EN	T21ADEN	—	—	—	—	0000 0000
FFBB _H	PORTCTR	UART1SEL	T31CH3NSEL	T31CH2NSEL	T31CH1NSEL	AD_ETR1EN	ADC_ETR0EN	T21CH2NSEL	T21CH0NSEL	0000 0000
FFBC _H	ANSL	ANSL7	ANSL6	ANSL5	ANSL4	ANSL3	ANSL2	ANSL1	ANSL0	0000 0000
FFBD _H	T8N	T8N<7:0>								0000 0000
FFBE _H	T8NC	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>			0000 0000
FFBF _H	T31CHBK	CHOE	AROE	BKPS	BKE	ROFFS	NOFFS	PROTS<1:0>		0000 0000
FFC0 _H	SPICON0	RXCLR	TXCLR	CKS<1:0>		RBIM<1:0>		TBIM<1:0>		0011 0000
FFC1 _H	SPICON1	DFS<1:0>		DRE	—	REN	MS	SPIRST	SPIEN	0000 0000
FFC2 _H	SPIIE	—	TBWEIE	NSSIE	IDIE	ROIE	TEIE	RBIE	TBIE	0000 0000
FFC3 _H	SPIIF	—	TBWEIF	NSSIF	IDIF	ROIF	TEIF	RBIF	TBIF	0000 0001
FFC4 _H	SPIRBR	RBR<7:0>								0000 0000
FFC5 _H	SPITBW	TBW<7:0>								0000 0000
FFC6 _H	T11L	T11<7:0>								0000 0000
FFC7 _H	T11H	—	—	—	—	T11<11:8>				0000 0000
FFC8 _H	T11PL	T11P<7:0>								1111 1111

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFC9 _H	T11PH	—	—	—	—	T11P<11:8>				1111 1111
FFCA _H	T11CL	T11M<3:0>				—	—	—	—	0000 0000
FFCB _H	T11CM	—	—	—	—	T11PRS<3:0>				0000 0000
FFCC _H	T11CH	T11EN	T11POS<6:0>							0000 0000
FFCD _H	BR0FRA	—	—	—	—	BR0FRA<3:0>				0000 0000
FFCE _H	BR1FRA	—	—	—	—	BR1FRA<3:0>				0000 0000
FFCF _H	RX0B	RX0B<7:0>								xxxx xxxx
FFD0 _H	RX0C	RX0EN	RX0LEN	BJT0EN	RX2TXEN	RX0IOS	OERR0	FERR0	RX0R8	0000 0000
FFD1 _H	TX0B	TX0B<7:0>								0000 0000
FFD2 _H	TX0C	TX0EN	TX0LEN	BRGH0	—	—	—	TRMT0	TX0R8	0000 0010
FFD3 _H	BR0R	BR0R<7:0>								0000 0000
FFD4 _H	RX1B	RX1B<7:0>								xxxx xxxx
FFD5 _H	RX1C	RX1EN	RX1LEN	BJT1EN	RX2TXEN	RX1IOS	OERR1	FERR1	RX1R8	0000 0000
FFD6 _H	TX1B	TX1B<7:0>								0000 0000
FFD7 _H	TX1C	TX1EN	TX1LEN	BRGH1	—	—	—	TRMT1	TX1R8	0000 0010
FFD8 _H	BR1R	BR1R<7:0>								0000 0000
FFD9 _H	I2CX16	—	—	—	I2CX16<4:0>					0000 0000
FFDA _H	I2CC	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN	0000 0000
FFDB _H	I2CSA	I2CSADR<6:0>							I2CRW	0000 0000
FFDC _H	I2CTB	I2CTB<7:0>								0000 0000
FFDD _H	I2CRB	I2CRB<7:0>								0000 0000
FFDE _H	I2CIEC	—	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE	0000 0000
FFDF _H	I2CIFC	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF	1000 0100

附录4 电气特性

附录4.1 MCU参数特性表

附录4.1.1 工作条件

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	—	-0.3 ~ 7.5	V
输入电压	V _{IN}	—	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	—	-0.3 ~ VDD + 0.3	V
VDD 管脚最大输入电流	I _{MAXVDD}	VDD=5.0V, 25℃	80	mA
VSS 管脚最大输出电流	I _{MAXVSS}	VDD=5.0V, 25℃	180	mA
存储温度	T _{STG}	—	-55 ~ 125	℃

注 1: 上述最大标称值参数为芯片工作条件的极限参数范围, 超出该范围, 可能会导致芯片永久性物理损坏;

注 2: 芯片需在正常工作条件下, 才能保证持续稳定运行, 对芯片的正常工作条件, 参见下面的表格所述。

◆ 芯片工作条件表

参数	符号	工作条件	最小值	最大值	单位
芯片工作温度	T _{OPR}	—	-40	85	℃
芯片工作电压	VDD	—	2.2	5.5	V

◆ 芯片功能模块工作电压范围表

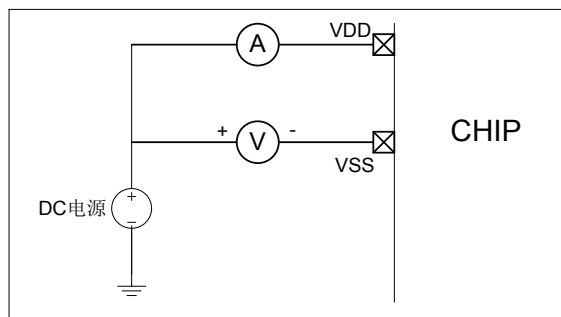
参数	符号	工作温度	VDD 电压	备注
ADC 工作电压	V _{ADC}	-40 ~ 85℃	2.5~5.5V	正向参考电压为内部 VREF2.048V
			3.0~5.5V	正向参考电压为 VDD

◆ 芯片上电和下电工作条件表 (-40 ~ 85℃)

参数	符号	最小值	最大值	单位
VDD 上电初始电压	V _{start}	0	0.2	V
VDD 上升速率	T _{VDD}	10	—	us/V
VDD 下降速率		20	—	us/V

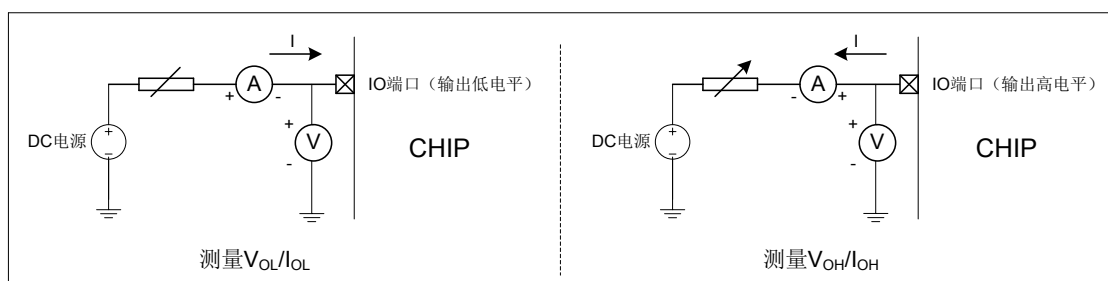
附录4.1.2 特性参数测量方法

◆ 芯片功耗参数测量方法



芯片功耗测量连接示意图

◆ 芯片 IO 端口参数测量方法



芯片 IO 端口输出特性参数测量连接示意图

附录4.1.3 功耗特性表

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.2	—	5.5	V	-40℃ ~ 85℃
芯片静态电流	I _{DD}	—	1	—	mA	25℃, VDD = 5V, 所有的 I/O 端口输入低电平, 外部复位 MRSTN = 0, 内部 INTHRC 作为系统时钟
IDLE 休眠模式下芯片电流	I _{PD1}	—	2.5	—	μA	25℃, VDD = 5V, WDT 使能, 所有 I/O 端口输出固定电平, 无负载
正常运行模式芯片电流	I _{OP1}	—	4.2	—	mA	25℃, VDD = 5V, 外设模块均工作, ADC 为低功耗模式, 所有 I/O 端口输出固定电平, 无负载, 系统时钟为内部 32MHz INTHRC
	I _{OP2}	—	2.6	—	mA	系统时钟为内部 16MHz INTHRC, 其它条件同 I _{op1}
	I _{OP3}	—	1.5	—	mA	系统时钟为内部 4MHz INTHRC, 其它条件同 I _{op1}
	I _{OP4}	—	1.0	—	mA	系统时钟为内部 32KHz INTLRC, 其它条件同 I _{op1}

附录4.1.4 IO端口特性表

◆ 芯片输入端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输入高电平 (TTL 输入)	V_{IH1}	0.5VDD	—	VDD	V	$2.2V \leq VDD \leq 5.5V$
I/O 端口输入低电平 (TTL 输入)	V_{IL1}	VSS	—	0.1VDD	V	
IO 端口施密特迟滞窗口 (TTL 输入)	V_{HYST1}	—	0.3	—	V	25℃, VDD=5.0V
I/O 端口输入高电平 (CMOS 输入)	V_{IH2}	0.8VDD	—	VDD	V	$2.2V \leq VDD \leq 5.5V$
I/O 端口输入低电平 (CMOS 输入)	V_{IL2}	VSS	—	0.2VDD	V	
外部复位输入高电平 (CMOS 输入)	V_{IH_MRST}	0.8VDD	—	VDD	V	$2.2V \leq VDD \leq 5.5V$
外部复位输入低电平 (CMOS 输入)	V_{IL_MRST}	VSS	—	0.2VDD	V	$2.2V \leq VDD \leq 5.5V$
IO 端口施密特迟滞窗口 (CMOS 输入)	V_{HYST2}	—	0.7	—	V	25℃, VDD=5.0V
I/O 端口输入漏电流	I_{IL}	—	—	± 1	μA	$2.2V \leq VDD \leq 5.5V$ $V_{pin}=VSS$ 或 VDD
主复位端口漏电流		—	—	5	μA	$V_{pin}=VSS$ 或 VDD
I/O 端口弱上拉电阻	R_{WPU}	—	50	—	$k\Omega$	25℃, VDD=5.0V $V_{pin} = VSS$
I/O 端口弱下拉电阻	R_{WPD}	—	50	—	$k\Omega$	25℃, VDD=5.0V $V_{pin} = VDD$
I/O 输入端口 VDD/2 输出精度	$V_{VDD/2}$	—	$\pm 3\%$	—		25℃, VDD=5V, 弱上拉和弱下拉同时使能

注: I/O 端口弱上拉和弱下拉电阻, 在全温度范围内 (-40~ 85℃), 相对于常温的变化量在 $\pm 10\%$ 以内。

◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V_{OH}	0.8VDD	—	VDD	V	$2.2V \leq VDD \leq 5.5V$, 端口无负载
I/O 端口输出低电平	V_{OL}	VSS	—	0.2VDD	V	$2.2V \leq VDD \leq 5.5V$, 端口无负载

参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口灌电流 (PC1, PA3~5)	I_{OL1}	—	12	—	mA	25℃, VDD = 5V $V_{OL} = 0.6V$, DS=0, 普通驱动
	I_{OL20}	—	36	—		25℃, VDD = 5V $V_{OL} = 0.6V$, DS=1, 增强驱动
	I_{OL3}	—	60	—		25℃, VDD = 5V $V_{OL} = 1.4V$, DS=1, 增强驱动
I/O 端口灌电流 (PC0, PB0~3, PA0~2)	I_{OL1}	—	12	—	mA	25℃, VDD = 5V $V_{OL} = 0.6V$, DS=0, 普通驱动
	I_{OL21}	—	24	—		25℃, VDD = 5V $V_{OL} = 0.6V$, DS=1, 强驱动
I/O 端口灌电流 (PB4~7, PA6~7)	I_{OL1}	—	12	—	mA	25℃, VDD = 5V $V_{OL} = 0.6V$
I/O 端口拉电流	I_{OH1}	—	8	—	mA	25℃, VDD = 5V $V_{OH} = 4.4V$, DS=0, 普通驱动
	I_{OH2}	—	16	—		25℃, VDD = 5V $V_{OH} = 4.4V$, DS=1, 强驱动

注: I/O 端口拉电流 I_{OH} 和灌电流 I_{OL} 的驱动能力随温度降低而增大。

附录4.1.5 系统时钟特性

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{OSC}	—	—	32	MHz	$2.2V \leq VDD \leq 5.5V$
系统时钟周期	T_{OSC}	31.25	—	—	ns	$2.2V \leq VDD \leq 5.5V$
机器周期	T_{inst}	62.5	—	—	ns	—
WDT 溢出时间	T_{WDT}	4.74 (54KHz)	8 (32KHz)	25.6 (10KHz)	ms	$2.2V \leq VDD \leq 5.5V$ $-40^{\circ}C \sim 85^{\circ}C$ 不分频, 周期寄存器 设置为 FF_H 。

附录4.1.6 ESD特性参数表

◆ 静电放电特性参数表

参数	符号	等级	最大值	单位	测试条件
ESD 电压 (人体模型)	$V_{ESDHB M}$	3A	4000	V	$25^{\circ}C$, 遵循标准 MIL-STD-883J
ESD 电压 (机器模型)	V_{ESDMM}	3	400	V	$25^{\circ}C$, 遵循标准 JESD22-A115
ESD 电压 (充电器件模型)	V_{ESDCDM}	C3	1000	V	$25^{\circ}C$, 遵循标准 JEDEC JS-002

注: 上述静电放电特性参数值是基于理论设计值和被测样品的测试值, 不是批量产品测试值, 仅供芯片应用时参考。

◆ 静态门锁特性参数表

参数	符号	等级	测试条件
Latchup 电流	I_{LU}	IA	$25^{\circ}C$, 遵循标准 JESD78

注: 上述静态门锁特性参数值是基于理论设计值和被测样品的测试值, 不是批量产品测试值, 仅供芯片应用时参考。

附录4.1.7 功能模块特性表

◆ 12 位 ADC 特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	2.5	—	5.5	V	—
工作电流	I_{ADC}	—	500	—	uA	$25^{\circ}C$, VDD=5.0V, ADC 转换 时钟频率为 1MHz, 低功耗模 式 (ADC_LP_EN=1), 内部 VREF 做参考
分辨率	R_R	—	—	12	bit	—
差分线性度	DNL	—	± 2	—	LSB	$25^{\circ}C$, VDD=5.0V, ADC 转换 时钟频率为 1MHz、采样时间 为 $8T_{ADCLK}$ 时, VDD 作参考
积分线性度	INL	—	± 3	—	LSB	$25^{\circ}C$, VDD=5.0V, ADC 转换 时钟频率为 1MHz、采样时间 为 $8T_{ADCLK}$ 时, VDD 作参考

失调误差	V_{EOFF}	—	± 4	—	mV	25°C, 内部 VREF 或 VDD(4V) 做参考, 软件校准失调误差后
模拟输入电压	V_{ADIN}	—	—	$V_{REF} - 0.02$	V	—
输入电容	C_{ADIN}	—	—	40	Pf	—
输入电阻	R_{ADIN}	—	—	10	K Ω	—
转换时钟频率	F_{ADC}	32K	—	2M	Hz	—
转换时间 (不包括采样时间)	T_{ADC}	—	14	—	T_{ADCLK}	—
采样时间	T_{ADS}	250	—	—	ns	推荐使用 $8T_{ADCLK}$

注: 因 ADC 转换结果需进行软件校准, 减去初始失调误差, 所以无法得到满量程转换值 0xFFF, 推荐模拟输入信号的最大值为参考电压值减去 20mv, 否则可能无法得到精确的 ADC 转换结果。

◆ ADC 转换时钟源选择表

A/D 时钟源选择	系统时钟工作频率 (Hz) (ADVREFPS=2'b00, 使用 VDD 作为正向参考电压)			
	32M	16M	8M	4M
Fosc	不推荐使用	不推荐使用	不推荐使用	不推荐使用
Fosc/2	不推荐使用	不推荐使用	不推荐使用	$T_{ADCLK} = 0.5\mu s$
Fosc/4	不推荐使用	不推荐使用	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$
Fosc/8	不推荐使用	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$
Fosc/16	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$
Fosc/32	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 8\mu s$
Fosc/64	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 8\mu s$	$T_{ADCLK} = 16\mu s$
FINTLRC	$T_{ADCLK} = 31\mu s$	$T_{ADCLK} = 31\mu s$	$T_{ADCLK} = 31\mu s$	$T_{ADCLK} = 31\mu s$

A/D 时钟源选择	系统时钟工作频率 (Hz) (ADVREFPS=2'b10 或 2'b11, 使用内部 VREF 作为正向参考电压)			
	32M	16M	8M	4M
Fosc	不推荐使用	不推荐使用	不推荐使用	不推荐使用
Fosc/2	不推荐使用	不推荐使用	不推荐使用	$T_{ADCLK} = 0.5\mu s$
Fosc/4	不推荐使用	不推荐使用	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$
Fosc/8	不推荐使用	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$
Fosc/16	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$
Fosc/32	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	不推荐使用
Fosc/64	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	不推荐使用	不推荐使用
FINTLRC	不推荐使用	不推荐使用	不推荐使用	不推荐使用

注: 上述表中不推荐使用的 AD 转换频率, 由于频率设置过高或过低, 都可能会导致 ADC 转换精度降低。

◆ ADC 内部参考和 1/4VDD 电源分压电压特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
ADC 内部参考电压	V_{REF1}	2.025	2.048	2.070	V	25°C, VDD=2.5~5.5V, VREF_CHOPEN=1
1/4VDD 电源分压	$V_{1/4VDD}$	1.23	1.25	1.27	V	25°C, VDD=5.0V
		1.225	1.25	1.275	V	-40°C~85°C, VDD=5.0V

注 1: ADC 内部参考电压在全温度范围内 (-40°C~85°C) 相对于常温条件下的偏差范围约±1.5%;

注 2: 1/4VDD 电源分压, 在常温条件下的精度约±1.5%, 全温度范围内的精度约±2%。

◆ 内部时钟源特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
内部 64MHz 时钟频率	F_{INTHRC_64M}	63.36	64	64.64	MHz	25°C, VDD = 5.0V
		62.72	64	65.28	MHz	-20°C~85°C, VDD=2.2V~5.5V
		62.20	64	65.28	MHz	-40°C~85°C, VDD=2.2V~5.5V
内部 32MHz 时钟频率	F_{INTHRC_32M}	31.68	32	32.32	MHz	25°C, VDD = 5.0V
		31.36	32	32.64	MHz	-20°C~85°C, VDD=2.2V~5.5V
		31.20	32	32.64	MHz	-40°C~85°C, VDD=2.2V~5.5V
内部 16MHz 时钟频率	F_{INTHRC_16M}	15.84	16	16.16	MHz	25°C, VDD = 5.0V
		15.68	16	16.32	MHz	-40°C~85°C, VDD=2.2V~5.5V
内部 4MHz 时钟频率	F_{INTHRC_4M}	3.96	4	4.04	MHz	25°C, VDD = 5.0V
		3.92	4	4.08	MHz	-40°C~85°C, VDD=2.2V~5.5V
内部 32KHz 时钟频率	F_{INTLRC}	30.4	32	33.6	KHz	25°C, VDD = 5.0V
		10	32	54	KHz	-40°C~85°C, VDD=2.2V~5.5V
工作电流	I_{INTHRC_64M}	—	400	—	uA	25°C, VDD = 5.0V
	I_{INTHRC_32M}	—	230	—	uA	
	I_{INTHRC_16M}	—	160	—	uA	
	I_{INTHRC_4M}	—	70	—	uA	

◆ BOR 模块特性表

BORVS<1:0>	最小值	典型值	最大值	单位	测试条件
11	2.9	3.1	3.3	V	-40℃~85℃
10	2.3	2.5	2.7	V	
01	1.9	2.1	2.3	V	
00	—	—	—	—	

◆ LVD 模块特性表

LVDV<2:0>		最小值	典型值	最大值	单位	测试条件
VDD 下降, LVDO 低电压 状态标志置 1	000	2.05	2.2	2.35	V	25℃
	001	2.25	2.4	2.55	V	
	010	2.45	2.6	2.75	V	
	011	2.65	2.8	2.95	V	
	100	2.85	3.0	3.15	V	
	101	3.45	3.6	3.75	V	
	110	3.85	4.0	4.20	V	
	111	4.45	4.6	4.80	V	
LVD 电压检测迟滞窗口		—	50	130	mV	

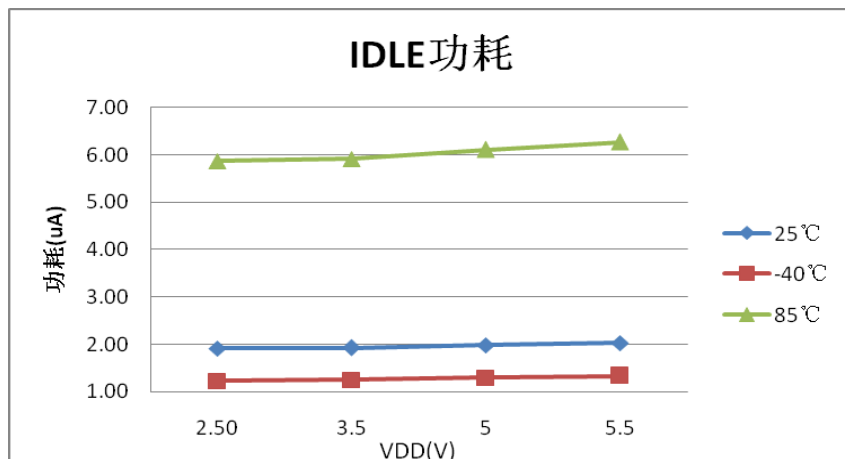
注：LVD 电压在全温度范围内（-40℃~85℃）相对于常温条件下的偏差范围约±3%。

附录4.2 MCU参数特性图

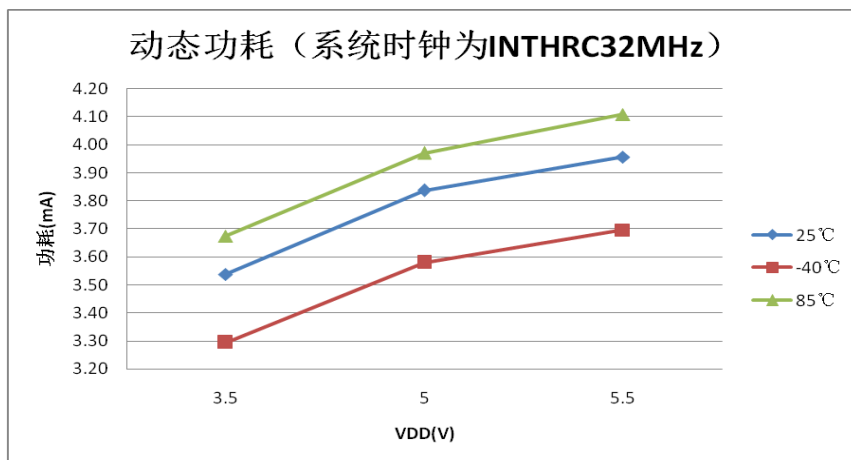
本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

附录4.2.1 功耗特性

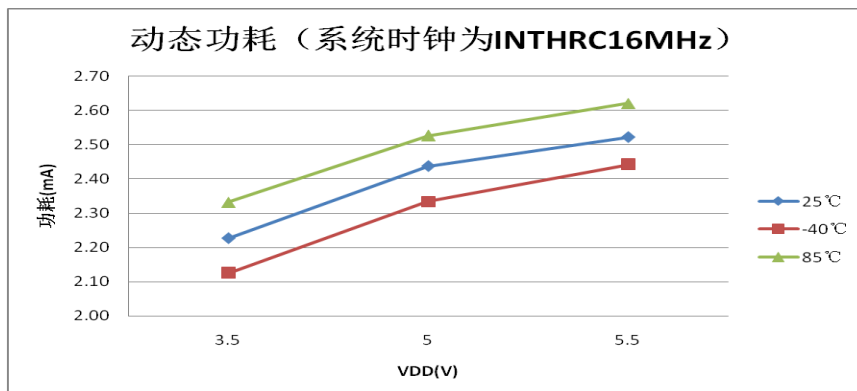
- ◆ 芯片 IDLE 模式电流随电压-温度变化特性图



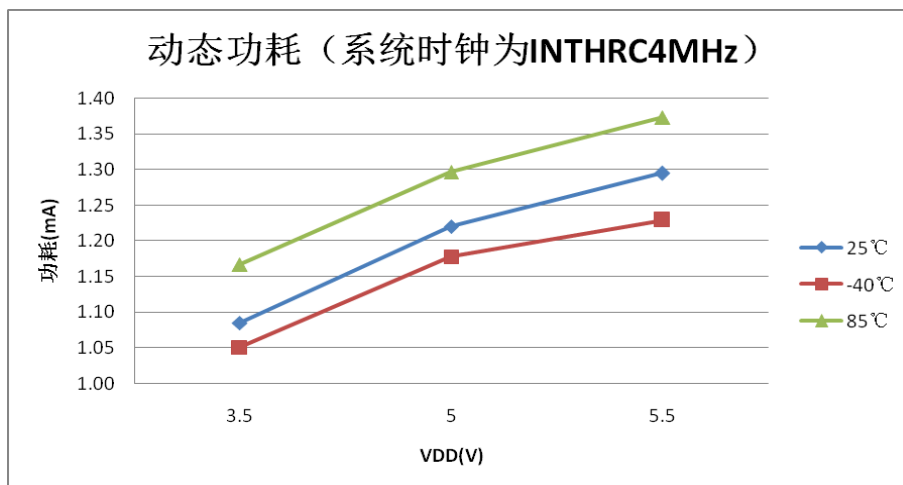
- ◆ 工作频率为内部 INTSRC 32MHz 时，芯片动态电流随芯片电压-温度变化特性图（ADC 为低功耗模式，转换时钟速率为 2MHz）



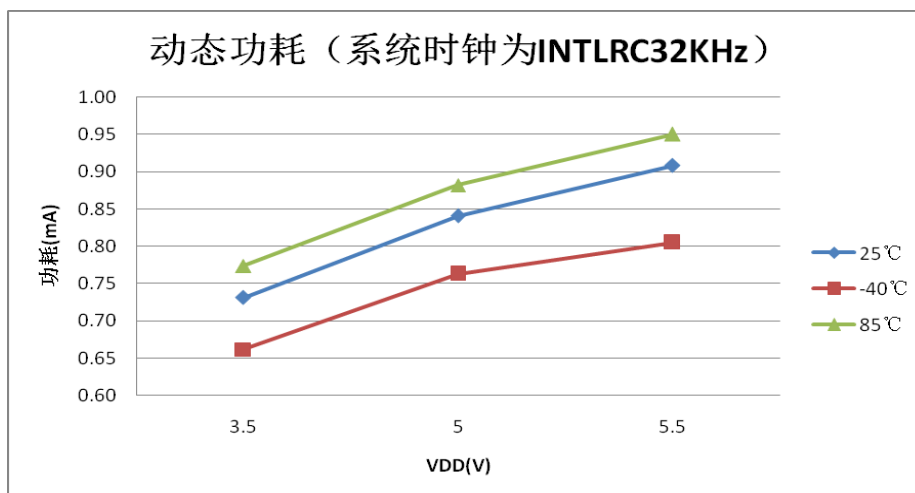
- ◆ 工作频率为内部 INTSRC 16MHz 时，芯片动态电流随芯片电压-温度变化特性图（ADC 为低功耗模式，转换时钟速率为 2MHz）



- ◆ 工作频率为内部 INTHRC 4MHz 时，芯片动态电流随芯片电压-温度变化特性图（ADC 为低功耗模式，转换时钟速率为 2MHz）

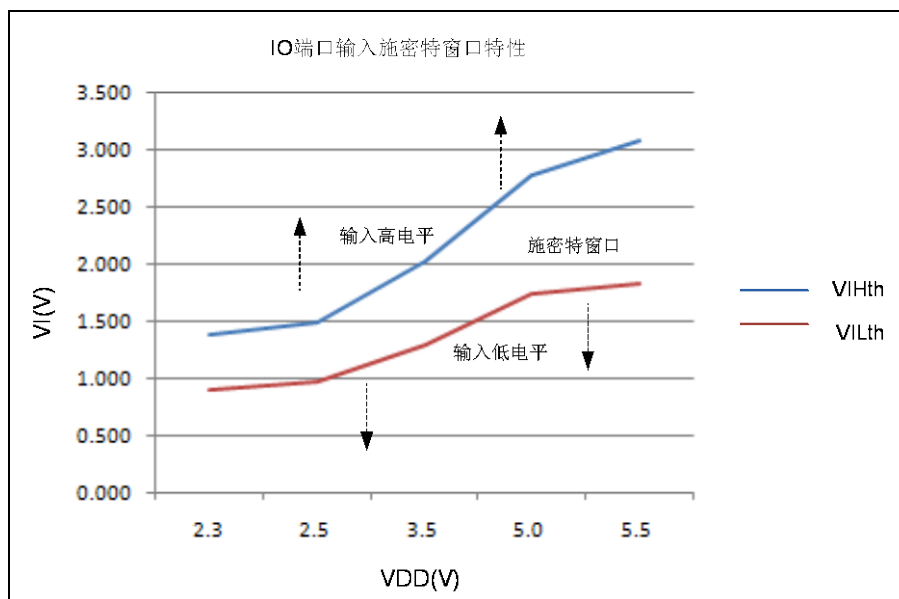


- ◆ 工作频率为内部 INTLRC 32KHz 时，芯片动态电流随芯片电压-温度变化特性图（ADC 为低功耗模式）

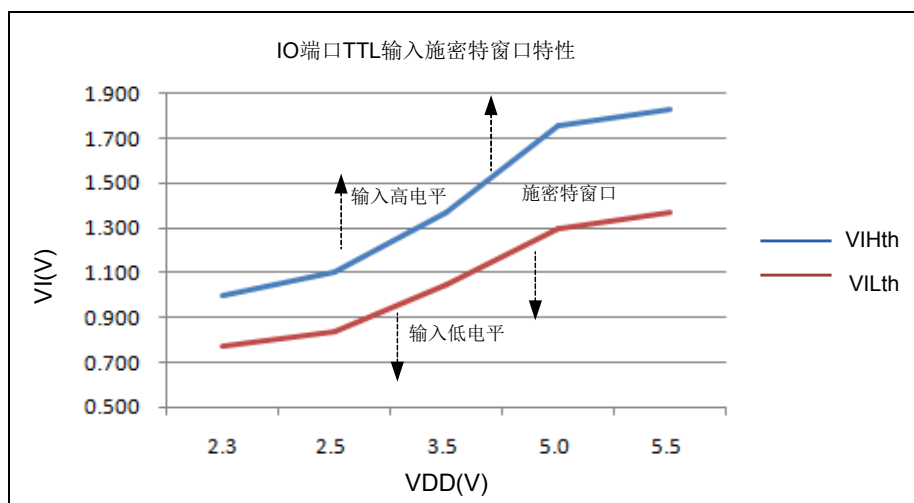


附录4.2.2 IO端口输入特性

◆ I/O 端口 CMOS 输入特性图（室温 25℃）



◆ I/O 端口 TTL 输入特性图（室温 25℃）



注 1: V_{IHth} 为施密特窗口的上阈值电平，大于该阈值的输入电平为高；

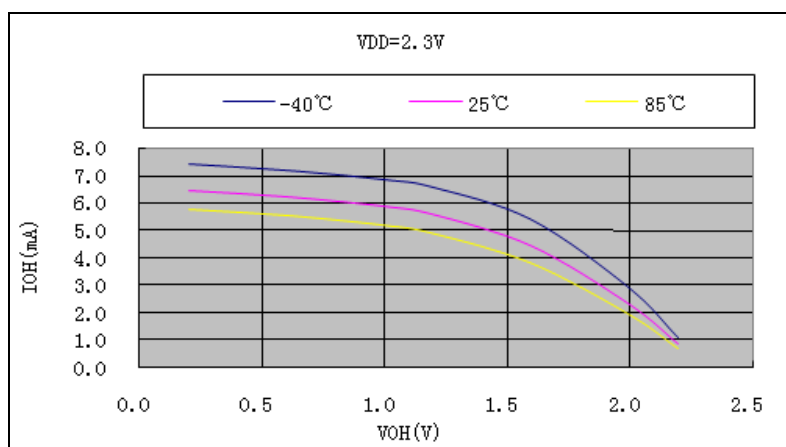
注 2: V_{ILth} 为施密特窗口的下阈值电平，小于该阈值的输入电平为低；

注 3: V_{IHth} 和 V_{ILth} 之间为施密特窗口，在窗口内的输入电平不确定，可能为高或低。

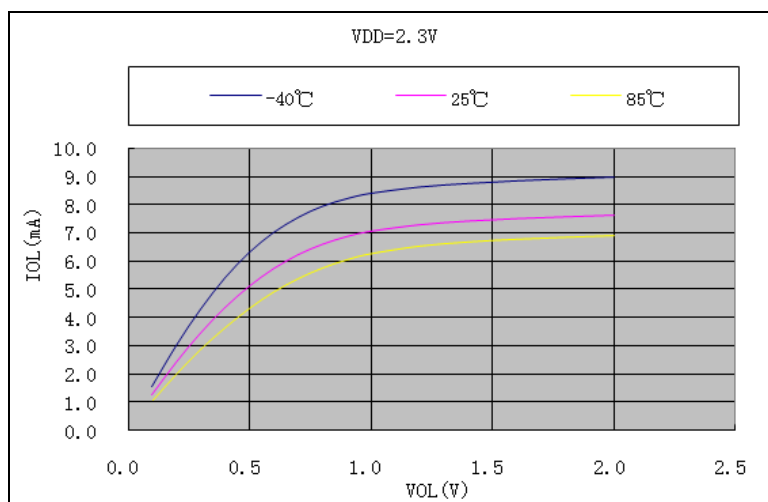
附录4. 2. 3 IO端口普通驱动输出特性

◆ I/O 端口信号输出特性图

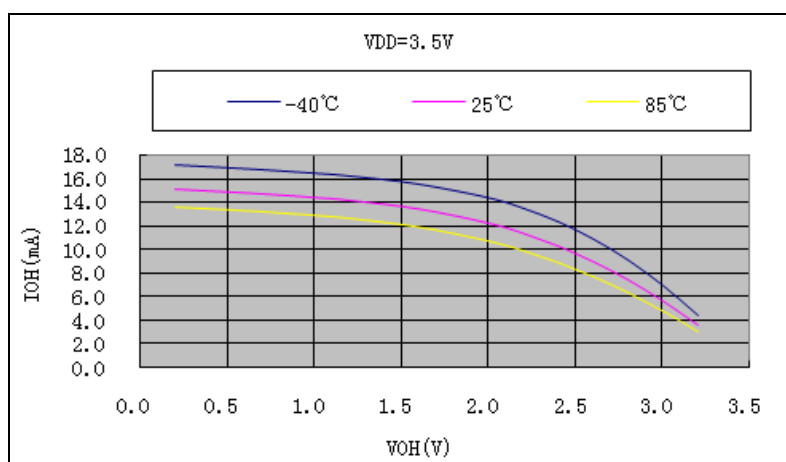
A. V_{OH} vs I_{OH} @VDD=2.3V



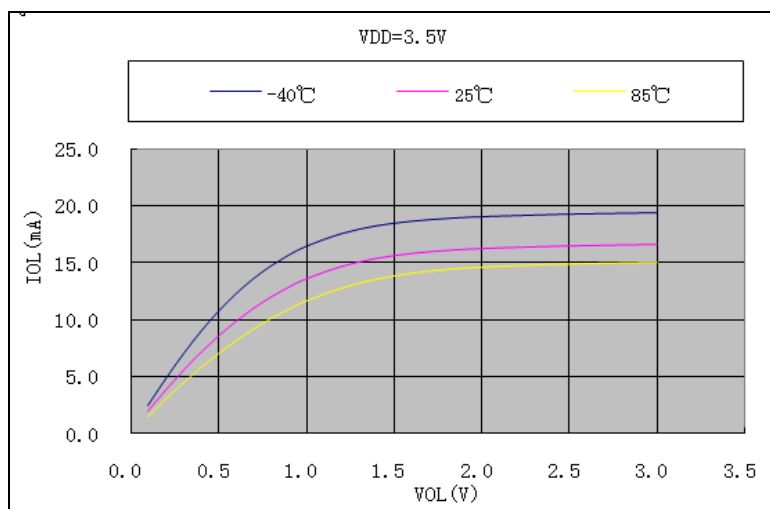
B. V_{OL} vs I_{OL} @VDD=2.3V



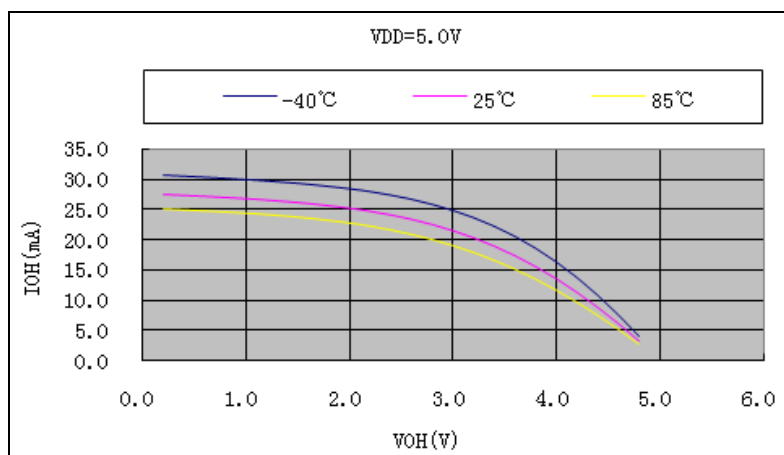
C. V_{OH} vs I_{OH} @VDD=3.5V



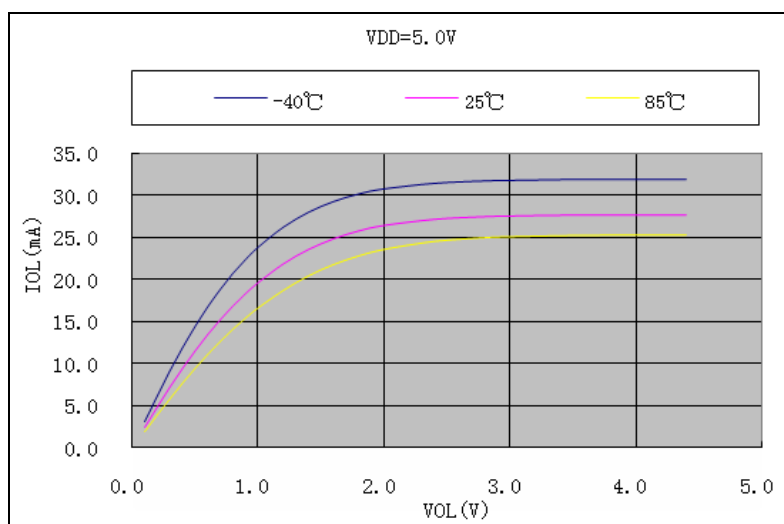
D. V_{OL} vs I_{OL} @VDD=3.5V



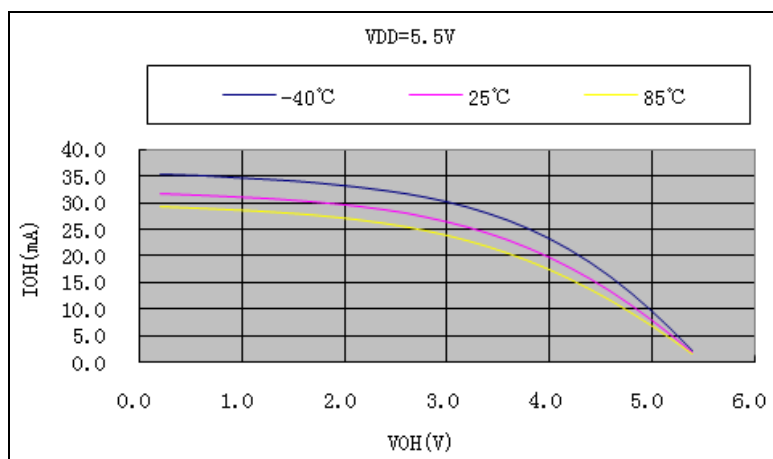
E. V_{OH} vs I_{OH} @VDD=5.0V



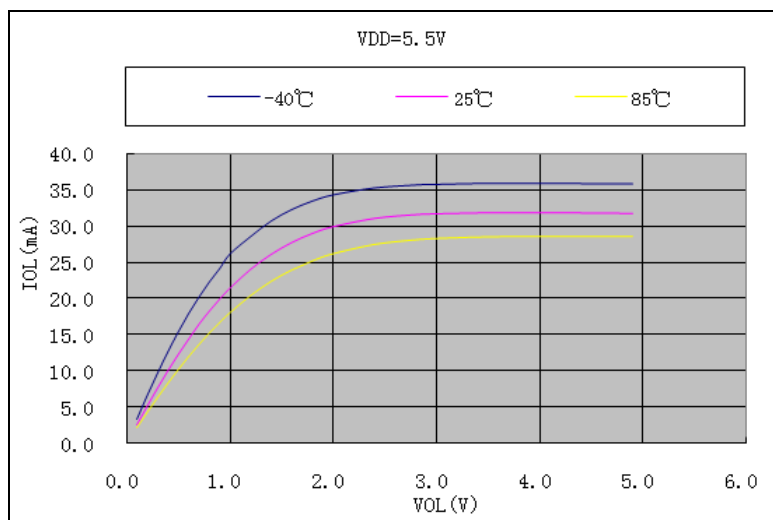
F. V_{OL} vs I_{OL} @VDD=5.0V



G. V_{OH} vs I_{OH} @VDD=5.5V



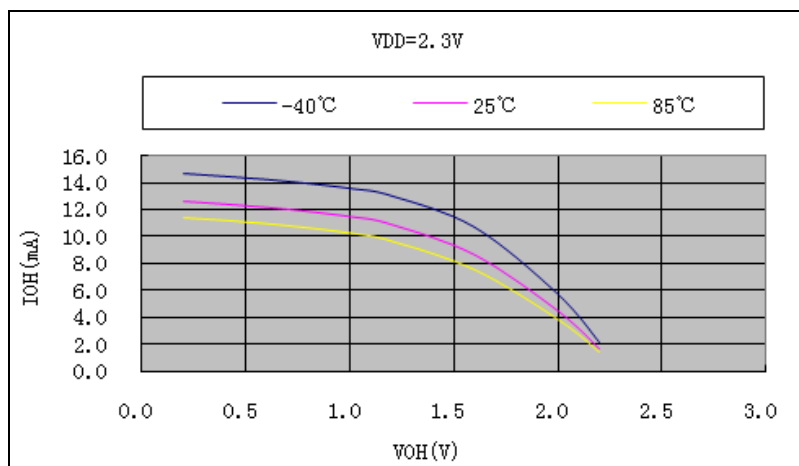
H. V_{OL} vs I_{OL} @VDD=5.5V



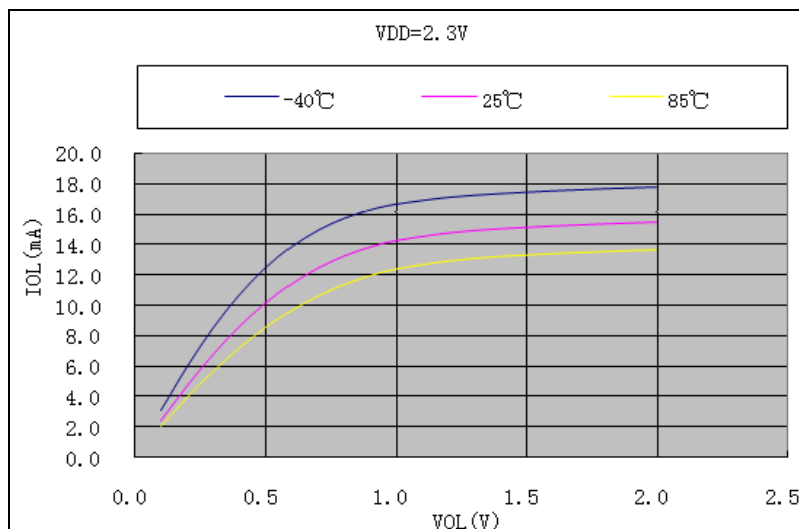
附录4.2.4 IO端口增强驱动输出特性 (PC0, PB0~PB3, PA0~PA2端口)

◆ I/O 端口信号输出特性图

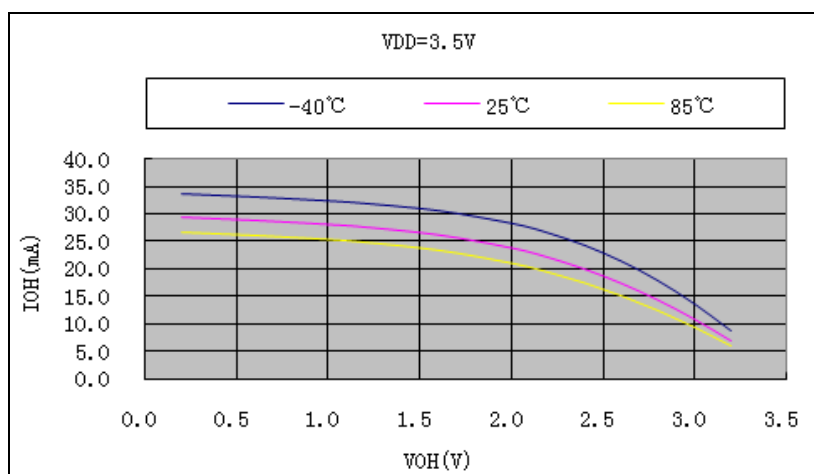
A. V_{OH} vs I_{OH} @VDD=2.3V



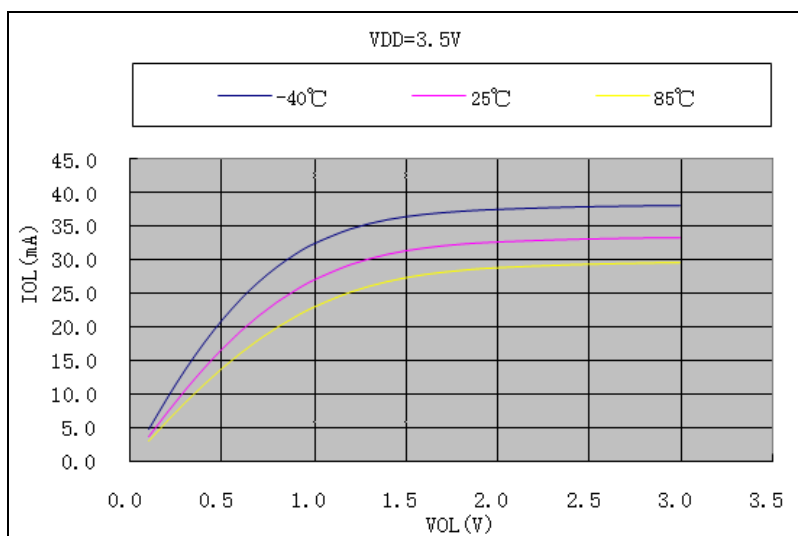
B. V_{OL} vs I_{OL} @VDD=2.3V



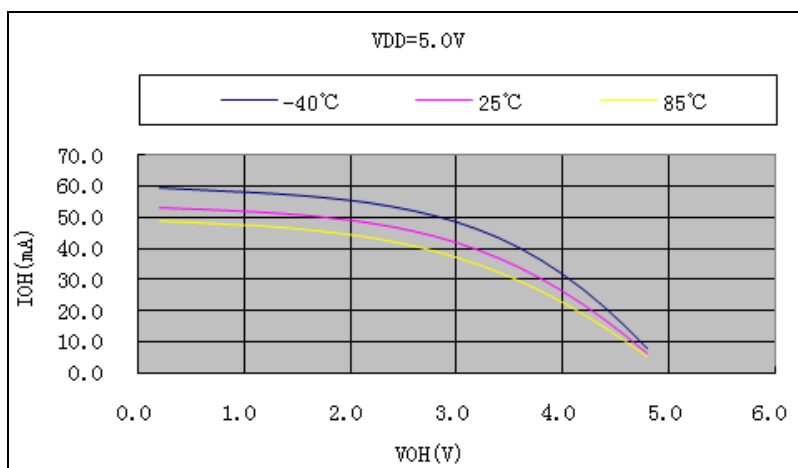
C. V_{OH} vs I_{OH} @VDD=3.5V



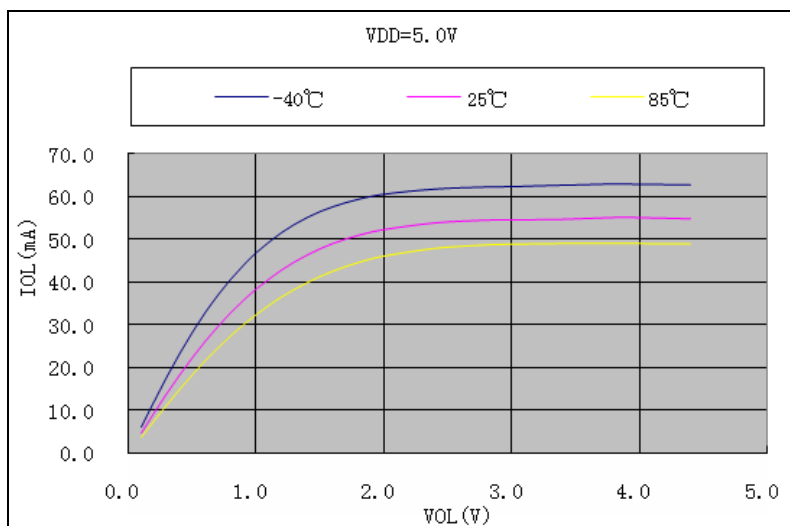
D. V_{OL} vs I_{OL} @VDD=3.5V



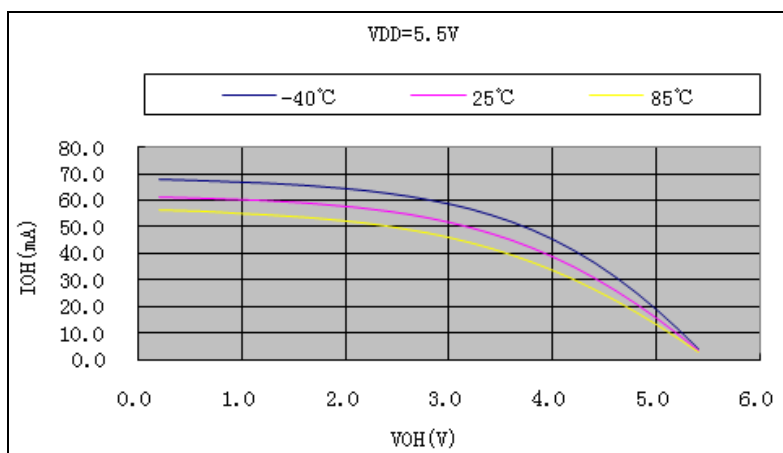
E. V_{OH} vs I_{OH} @ $V_{DD}=5.0V$



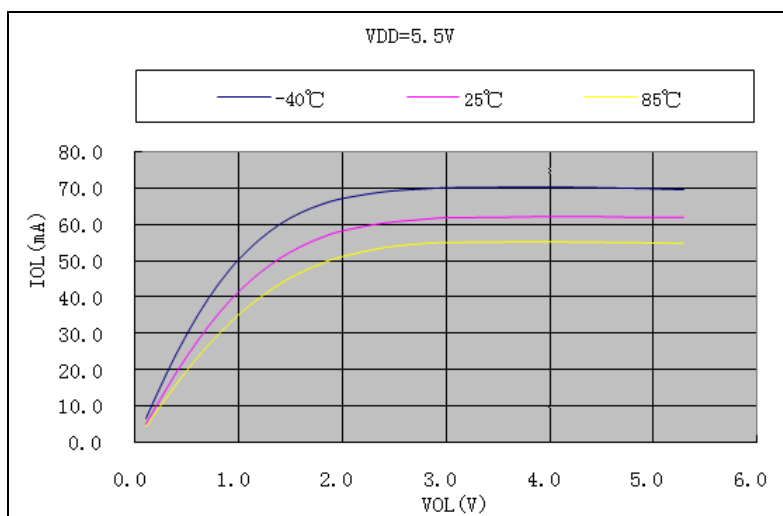
F. V_{OL} vs I_{OL} @ $V_{DD}=5.0V$



G. V_{OH} vs I_{OH} @ $V_{DD}=5.5V$



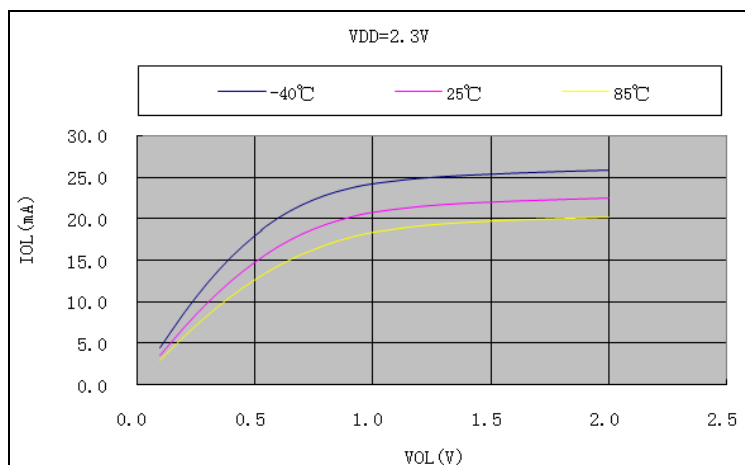
H. V_{OL} vs I_{OL} @ $V_{DD}=5.5V$



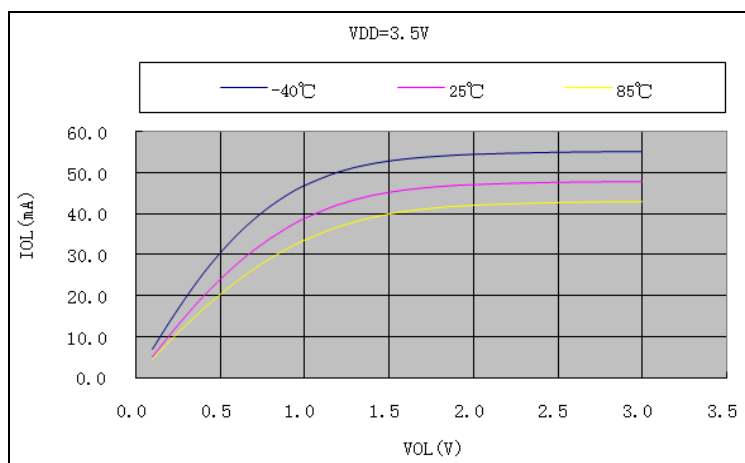
附录4.2.5 IO端口增强驱动输出特性（PC1，PA3~PA5端口）

◆ I/O 端口信号输出特性图

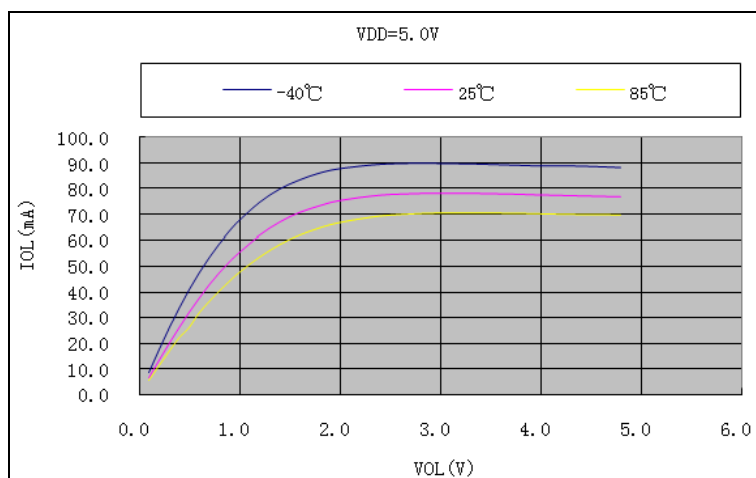
A. V_{OL} vs I_{OL} @VDD=2.3V



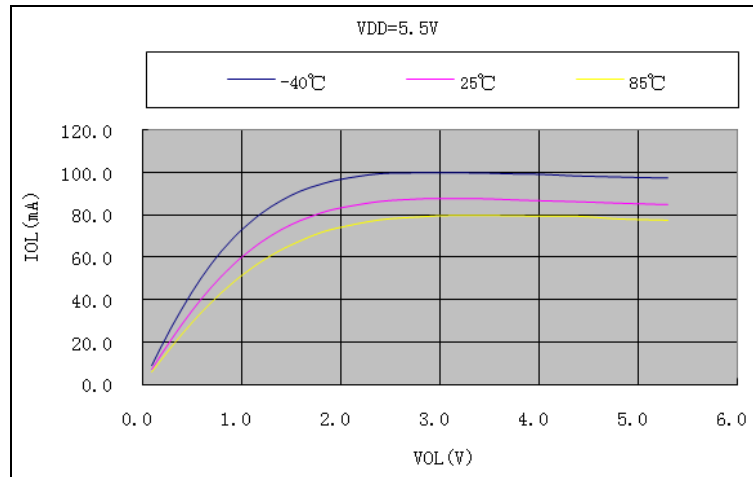
B. V_{OL} vs I_{OL} @VDD=3.5V



C. V_{OL} vs I_{OL} @VDD=5.0V



D. V_{OL} vs I_{OL} @VDD=5.5V



附录4.3 RF收发器参数特性表

附录4.3.1 功耗参数

符号	参数	Min.	Typ.	Max.	Units
VDDRF	VDDRF 供电电压	2.0	3.0	3.6	V
	低功耗模式				
I _{VDD_PD}	POWER DOWN 模式芯片电流	-	1.5	-	μA
I _{VDD_Sleep}	SLEEP 模式芯片电流	-	25	-	μA
I _{VDD_Idle}	IDLE 模式芯片电流	-	1.7	-	mA
	TX 模式				
I _{VDD_TX8}	输出功率为 8dBm 时的电流	-	40	-	mA
I _{VDD_TX5}	输出功率为 5dBm 时的电流	-	28	-	mA
I _{VDD_TX0}	输出功率为 0dBm 时的电流	-	23	-	mA
I _{VDD_TX5N}	输出功率为-5dBm 时的电流	-	18	-	mA
I _{VDD_TX15N}	输出功率为-15dBm 时的电流	-	15	-	mA
I _{VDD_TX20N}	输出功率为-20dBm 时的电流	-	14	-	mA
I _{VDD_TX25N}	输出功率为-25dBm 时的电流	-	13	-	mA
	RX 模式				
I _{VDD}	接收机高灵敏度时的电流@1M/250Kbps	-	20	-	mA
I _{VDD}	接收机低灵敏度时的电流@1M/250Kbps (该模式下灵敏度下降约 6dB)	-	18	-	mA

注: Typ.为常温测得的数据; Min.和 Max.为全温度, 全电压范围内测得的最小值和最大值。

附录4.3.2 通讯基本参数

符号	参数	Min.	Typ.	Max.	Units
F _{OP}	工作频段	2300	-	2500	MHz
PLL _{res}	PLL 可配置频率	2300	-	2500	MHz
F _{XTAL}	振荡器频率	12	12	16	MHz
Δ f _{1M}	频偏 @ 1Mbps	-	250	-	KHz
Δ f _{250K}	频偏 @ 250Kbps	-	250	-	KHz
R _{GFSK}	基带数据速率	250	-	1000	Kbps
F _{CH1M}	非重叠带间距 @ 1Mbps	-	1	-	MHz
F _{CH250K}	非重叠带间距 @ 250Kbps	-	0.25	-	MHz

附录4.3.3 发射机参数

符号	参数	Min.	Typ.	Max.	Units
P _{RF}	最大输出功率	-	8	-	dBm
P _{RFC}	RF 发射机输出功率可调范围	-40	-	8	dBm
P _{RFCR}	RF 发射机输出功率可调精度	-	1	2	dB

附录4.3.4 接收机参数

符号	参数	Min.	Typ.	Max.	Units
RX_{max}	BER<0.1%时最大接收信号能量	-10	-	10	dBm
RX_{SENS}	灵敏度 (0.1%BER) @1Mbps	-	-89	-	dBm
RX_{SENS}	灵敏度 (0.1%BER) @250Kbps	-	-93	-	dBm
C/I_{CO}	同频信号 C/I (@1Mbps)	-	-	10	dB
C/I_{1ST}	1 st 邻道抑制 C/I 1MHz	-25	-	-	dB
C/I_{2ND}	2 nd 邻道抑制 C/I 2MHz	-27	-	-	dB
C/I_{3RD}	3 rd 邻道抑制 C/I 3MHz	-36	-	-	dB
C/I_{CO}	同频信号 C/I (@250Kbps)	-	-	6	dB
C/I_{1ST}	1 st 邻道抑制 C/I 1MHz	-25	-	-	dB
C/I_{2ND}	2 nd 邻道抑制 C/I 2MHz	-27	-	-	dB
C/I_{3RD}	3 rd 邻道抑制 C/I 3MHz	-41	-	-	dB

附录4.3.5 振荡器参数

符号	参数	Min.	Typ.	Max.	Units
F_{xo}	晶振频率	12	12	16	MHz
ΔF	晶振频偏	-	± 10	± 60	ppm

附录4.3.6 IO端口DC参数

符号	参数	Min.	Typ.	Max.	Units
V_{IH}	IO 端口输入高电平	0.7VDD	-	-	V
V_{IL}	IO 端口输入低电平	-	-	0.4VDD	V
V_{OH}	IO 端口输出高电平($I_{OH}=4.0mA$)	VDD-0.6	-	-	V
V_{OL}	IO 端口输出低电平($I_{OL}=6.0mA$)	-	-	0.7	V

附录4.3.7 状态切换时间参数

符号	参数	Min.	Typ.	Max.	Units
T_{Stol}	芯片从 SLEEP 模式进入 IDLE 模式时间	-	5	-	μs
T_{Ptol}	芯片从 POWER DOWN 模式进入 IDLE 模式时间	-	900	-	μs
T_{AFSet}	芯片使能发送或接收后射频前端建立时间	-	250	-	μs
T_{TxtoRx}	芯片发送数据包完成后切换为接收 ACK 状态射频前端建立时间 (ACK 使能)	-	250	-	μs
T_{RxtoTx}	芯片接收数据包完成后切换为发送 ACK 状态射频前端建立时间 (ACK 使能)	-	250	-	μs