

8 位 MCU
HR7P153

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2021 年 9 月 18 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

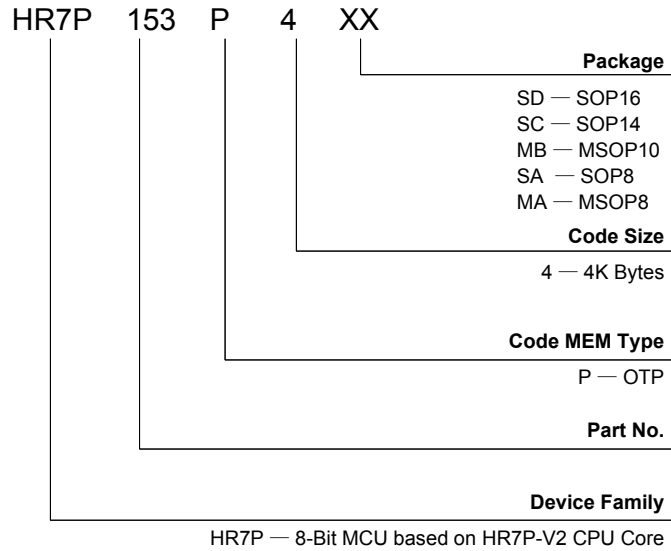
关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型号	OTP	RAM	I/O	Timer	PWM	ADC	LVD	封装类型
HR7P153P4SD	2K Words	64B	13+1INPUT	8-bit X 2	2	12-bit X 6ch	1	SOP16
HR7P153P4SC			11+1INPUT			12-bit X 6ch		SOP14
HR7P153P4MB			7+1INPUT			12-bit X 6ch		MSOP10
HR7P153P4SA			5+1INPUT			12-bit X 3ch		SOP8
HR7P153P4MA			5+1INPUT			12-bit X 5ch		MSOP8



地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：<http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2015-3-13	初版
V1.1	2015-5-21	<ol style="list-style-type: none"> 1. 添加 T8PnTRN 位的读写注意事项； 2. 修改外部中断选择寄存器 PINTS 的读写权限。
V1.2	2015-8-20	<ol style="list-style-type: none"> 1. 删除 BOR 模块配置字 BOREN<1:0>和软件控制位 SREN。 2. 更新 BOR 复位电压点和使能配置字 BORVS<1:0>。 3. 更新芯片工作电压 VDD 改为：2.1~5.5V。 4. 新增 SOP16 和 SOP14 相关信息。 5. 统一修改公司名称、logo 及网址等。
V1.3	2016-3-17	<ol style="list-style-type: none"> 1. 增加 PA/PB 端口大电流配置控制位 PLCS； 2. 增加 PWM 输出极性控制位 PWM20NS 和 PWM10NS； 3. 补充 PWM 平均精度描述； 4. 修改 T8Px 预分频和后分频的设置等；
V1.4	2016-08-16	增加了未引出的和未使用的 I/O 管脚处理以及 VPP 脚管脚电压要求
V1.5	2018-1-11	<ol style="list-style-type: none"> 1. 新增模拟小信号 ADC offset 特性表； 2. 新增 BOR 模块特性表和 LVD 模块特性表。
V1.6	2018-5-17	<ol style="list-style-type: none"> 1. 更新 PA3 无施密特触发输入相关内容； 2. 更新全局中断使能 GIE 清 0 和置 1 的操作注意事项。
V1.7	2019-1-10	电气特性部分新增芯片 ESD 特性。
V1.8	2019-3-4	<ol style="list-style-type: none"> 1. 添加芯片上电和下电工作条件表； 2. 增加 IAP 操作和中断时，使能位 GIE 的补充说明； 3. 增加了封装尺寸的补充说明； 4. 变更 Logo。
V1.9	2021-9-18	<ol style="list-style-type: none"> 1. 增加 SOP8 和 MSOP8 的相关内容； 2. 更新公司地址。

目 录

内容目录

第 1 章	芯片简介	11
1.1	概述	11
1.2	应用领域	12
1.3	结构框图	13
1.4	管脚分配图	13
1.4.1	16-pin	13
1.4.2	14-pin	14
1.4.3	10-pin	14
1.4.4	8-pin	14
1.5	管脚说明	15
1.5.1	管脚封装对照表	15
1.5.2	管脚复用说明	16
第 2 章	内核特性	18
2.1	CPU 内核概述	18
2.2	系统时钟和机器周期	18
2.3	指令集概述	18
2.4	特殊功能寄存器	19
第 3 章	存储资源	21
3.1	概述	21
3.2	程序存储器	21
3.2.1	概述	21
3.2.2	程序区地址映射示意图	21
3.2.3	程序计数器 (PC)	21
3.2.4	程序堆栈	22
3.3	IAP 访问 OTP 操作	23
3.3.1	OTP 存储器	23
3.3.2	查表指令	23
3.3.3	IAP 编程	24
3.3.4	特殊功能寄存器	24
3.4	数据存储器	26
3.4.1	概述	26
3.4.2	数据区地址映射	26
3.4.3	通用数据存储器	26
3.4.4	特殊功能寄存器	26
3.4.5	寻址方式	27
3.4.5.1	直接寻址	27
3.4.5.2	间接寻址	28
3.4.6	特殊功能寄存器	29
第 4 章	输入/输出端口	30
4.1	概述	30
4.2	结构框图	30

4.3	I/O 端口功能设置	31
4.3.1	I/O 端口输入/输出控制	31
4.3.2	I/O 端口弱上拉、弱下拉功能	32
4.3.3	I/O 端口大电流控制功能	32
4.3.4	I/O 端口模拟/数字类型选择功能	32
4.3.5	I/O 端口复用功能	32
4.4	端口中断	32
4.4.1	按键中断 (KINT)	32
4.4.2	外部端口中断 (PINT)	33
4.5	I/O 端口操作注意事项	33
4.6	特殊功能寄存器	34
第 5 章	特殊功能及操作特性	38
5.1	系统时钟与振荡器	38
5.1.1	概述	38
5.1.2	时钟源	38
5.1.2.1	外部时钟	39
5.1.2.2	内部高速 16MHz RC 振荡器模式(INTOSCH)	39
5.1.2.3	内部低速 32kHz RC 振荡器模式(INTOSCL)	39
5.1.3	系统时钟切换	40
5.1.3.1	系统上电时序	41
5.1.3.2	系统时钟切换时序	41
5.1.4	系统时钟分频	43
5.1.5	特殊功能寄存器	43
5.2	看门狗定时器	46
5.2.1	概述	46
5.2.2	内部结构图	46
5.2.3	WDT 定时器	46
5.2.4	特殊功能寄存器	47
5.3	复位模块	49
5.3.1	概述	49
5.3.2	上电复位	49
5.3.3	下电复位	49
5.3.4	外部 MRSTN 管脚复位	50
5.3.5	看门狗定时器溢出复位	51
5.3.6	RST 指令复位	52
5.3.7	特殊功能寄存器	53
5.4	低功耗操作	54
5.4.1	MCU 低功耗模式	54
5.4.2	低功耗模式配置	54
5.4.3	IDLE 唤醒方式配置	55
5.4.4	唤醒时序图	55
5.4.5	特殊功能寄存器	57
第 6 章	外设	58
6.1	8 位 PWM 时基定时器 (T8P1/T8P2)	58

6.1.1	概述	58
6.1.2	内部结构图	59
6.1.3	工作模式	59
6.1.4	预分频器和后分频器	59
6.1.5	工作模式	60
6.1.6	定时器模式	60
6.1.7	PWM 输出模式	61
6.1.8	PWM 平均精度扩展	63
6.1.9	PWM 复用输出端口	63
6.1.10	特殊功能寄存器	64
6.2	模/数转换器模块 (ADC)	68
6.2.1	概述	68
6.2.2	ADC 内部结构图	68
6.2.3	ADC 配置	69
6.2.4	ADC 转换步骤	70
6.2.5	AD 时序特征示意图	71
6.2.6	ADC 应用例程	71
6.2.7	特殊功能寄存器	72
6.3	低电压检测模块 (LVD)	74
6.3.1	概述	74
6.3.2	LVD 操作	74
6.3.3	特殊功能寄存器	74
第 7 章	中断处理	76
7.1	概述	76
7.2	内部结构	76
7.2.1	默认中断模式	76
7.3	中断现场保护	77
7.4	中断操作	77
7.4.1	中断使能位 GIE 的操作	77
7.4.2	外部中断	78
7.4.3	外部按键中断	78
7.4.4	T8Pn(T8P1/T8P2)定时中断	78
7.4.5	T8Pn(T8P1/T8P2)周期中断	78
7.4.6	ADC 中断	78
7.4.7	LVD 中断	79
7.4.8	中断操作注意事项	79
7.5	特殊功能寄存器	80
第 8 章	芯片配置字	84
第 9 章	芯片封装图	85
9.1	16-pin SOP 封装图	85
9.2	14-pin SOP 封装图	86
9.3	10-pin MSOP 封装图	87
9.4	8-pin SOP 封装图	88
9.5	8-pin MSOP 封装图	89

附录 1	指令集	90
附录 1.1	概述	90
附录 1.2	寄存器操作指令	90
附录 1.3	程序控制指令	90
附录 1.4	算术/逻辑运算指令	92
附录 2	特殊功能寄存器总表	94
附录 3	电气特性	100
附录 3.1	参数特性表	100
附录 3.2	参数特性图	106

图目录

图 1-2	SOP16 顶视图.....	13
图 1-3	SOP14 顶视图.....	14
图 1-5	SOP8 顶视图（背印）.....	14
图 1-6	MSOP8 顶视图（背印）.....	14
图 3-1	程序区地址映射.....	21
图 3-2	堆栈示意图.....	23
图 3-3	数据区地址映射示意图.....	26
图 3-4	特殊功能寄存器空间.....	27
图 3-5	普通直接寻址示意图.....	28
图 3-6	间接寻址示意图.....	28
图 4-4-1	输入/输出端口结构图——PA0~PA2, PA7, PB0~PB1.....	30
图 4-4-2	输入/输出端口结构图——PA4~PA6, PB2~PB5.....	31
图 4-4-3	输入端口结构图——PA3.....	31
图 5-1	系统时钟内部结构图.....	38
图 5-2	晶体/陶瓷振荡器模式（HS、XT、LP 模式）.....	39
图 5-3	系统上电时序图.....	41
图 5-4	INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟.....	41
图 5-5	INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟.....	42
图 5-6	低速 LP 时钟切换到 INTOSCH 时钟.....	42
图 5-7	INTOSCH 时钟切换到低速 LP 时钟.....	43
图 5-8	看门狗定时器内部结构图.....	46
图 5-9	芯片复位原理图.....	49
图 5-10	上电复位时序示意图.....	49
图 5-11	下电复位时序示意图.....	50
图 5-12	外部 MRSTN 管脚复位.....	50
图 5-13	MRSTN 复位参考电路图 1.....	51
图 5-14	MRSTN 复位参考电路图 2.....	51
图 5-15	看门狗溢出复位.....	52
图 5-16	RST 指令复位.....	52
图 5-17	HS/XT/INTOSCO/INTOSC 模式时，系统唤醒 IDLE0 时序图.....	56
图 5-18	LP 模式时，系统唤醒 IDLE0 时序图.....	56
图 5-19	HS/XT/INTOSCO/INTOSC/LP 模式时，系统唤醒 IDLE1 时序图.....	56
图 6-1	T8P1/T8P2 内部结构图.....	59
图 6-2	T8Pn 定时器模式时序图.....	61
图 6-3	T8Pn PWM 模式示意图.....	62
图 6-4	PWM 输出示意图.....	62
图 6-5	带死区互补 PWM 输出示意图.....	64
图 6-6	ADC 内部结构图.....	68
图 6-7	ADC 时序特征示意图.....	71
图 6-8	LVD 工作时序图.....	74
图 7-1	中断控制逻辑.....	76

表目录

表 1-1	管脚封装对照表.....	15
表 1-2	管脚说明.....	17
表 4-1	I/O 端口弱上拉	32
表 4-2	I/O 端口弱下拉	32
表 4-3	按键中断.....	33
表 4-4	外部端口中断	33
表 5-1	晶体振荡器电容参数参考表	39
表 5-2	振荡模式切换选择	41
表 5-3	下电复位电压点配置表.....	50
表 5-4	低功耗模式配置表	54
表 5-5	休眠唤醒表	55
表 5-6	休眠唤醒时间表.....	56
表 6-1	T8Pn 工作模式配置表	59
表 6-2	T8P1/T8P2 后分频器配置表	59
表 7-1	默认中断模式中断逻辑表	77
附录表 1-1	寄存器操作指令表.....	90
附录表 1-2	程序控制指令表	91
附录表 1-3	算术/逻辑运算指令表.....	93

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ HR7P RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 机器周期为 2 个系统时钟周期
 - ◇ 复位向量位于 000_H，中断向量位于 004_H
 - ◇ 支持中断处理，12 个中断源
 - ◇ CPU 最高工作频率
 - 2MHz (VDD=2.1~5.5V)
 - 20MHz (VDD=3.0~5.5V)
- ◆ 存储资源
 - ◇ 2K Words OTP 程序存储器，8 级程序堆栈
 - ◇ 64 Bytes SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址、相对寻址及查表读操作
 - ◇ 数据存储器支持直接寻址和间接寻址
- ◆ I/O 端口
 - ◇ 最多支持 13 个 I/O 和 1 个输入
 - PA 端口 (PA0~PA7)
 - PB 端口 (PB0~PB5)
 - ◇ 支持 4 个外部端口中断 PINT
 - ◇ 支持 1 个外部按键中断 KINT，最多支持 8 个输入端 (KIN0~KIN7)
 - ◇ 支持独立的可配置内部弱上/下拉输入端口
 - 常温下，弱上下拉电阻匹配精度在±3%以内 (VDD=5V)
 - ◇ 支持可配置大电流端口
- ◆ 复位及时钟
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌下电复位电路 BOR
 - ◇ 内嵌低电压检测中断电路
 - ◇ 支持外部复位
 - ◇ 支持独立硬件看门狗定时器
 - 支持 WDT 计数周期匹配寄存器
 - ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 支持内部分频选择，最低可分频至 32KHz
 - 出厂校准精度为±2% (常温 25℃)
 - ◇ 支持内部低频 32KHz RC 振荡器时钟源 (作为 WDT 时钟源，且可配置为系统时钟)

源)

- ◇ 支持外部振荡器时钟源
 - 支持时钟频率范围 32KHz~20MHz
- ◇ 支持高低速系统时钟切换
- ◆ 外设
 - ◇ 2路8位 PWM 时基定时器 T8P1/T8P2
 - 定时器模式
 - 支持可配置预分频器及可配置后分频器
 - 计数器的初值可配置
 - 支持最高9位 PWM 输出精度
 - 支持 PWM 互补输出, 且死区时间软件可配置
 - 支持中断产生
 - ◇ 模拟数字转换器 ADC
 - 支持12位数字转换精度
 - 支持6通道模拟输入端
 - 支持电源电压检测, 电源分压比可选
 - 支持外部参考源
 - 支持内部参考源 (参考源为 VDD/4V/3V/2.1V 可选)
 - 支持中断产生
- ◆ 低功耗特性
 - ◇ IDLE 电流
 - 2uA@5.0V, BOR/WDT 使能, 25°C, 典型值
 - ◇ 动态电流
 - 20uA@32KHz, 5.0V, 25°C, 典型值
 - 2mA@16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - ◇ 支持在线编程 (ISP) 接口
 - ◇ 支持编程代码加密保护
- ◆ 设计及工艺
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 10个管脚, 采用 MSOP 封装
 - ◇ 14/16个管脚, 采用 SOP 封装
 - ◇ 8个管脚, 采用 SOP/MSOP 封装
- ◆ 工作条件
 - ◇ 工作电压范围: 2.1V ~ 5.5V
 - ◇ 工作温度范围: -40°C ~ 85°C

1.2 应用领域

本芯片可用于移动电源、数显表、小家电等领域。

1.3 结构框图

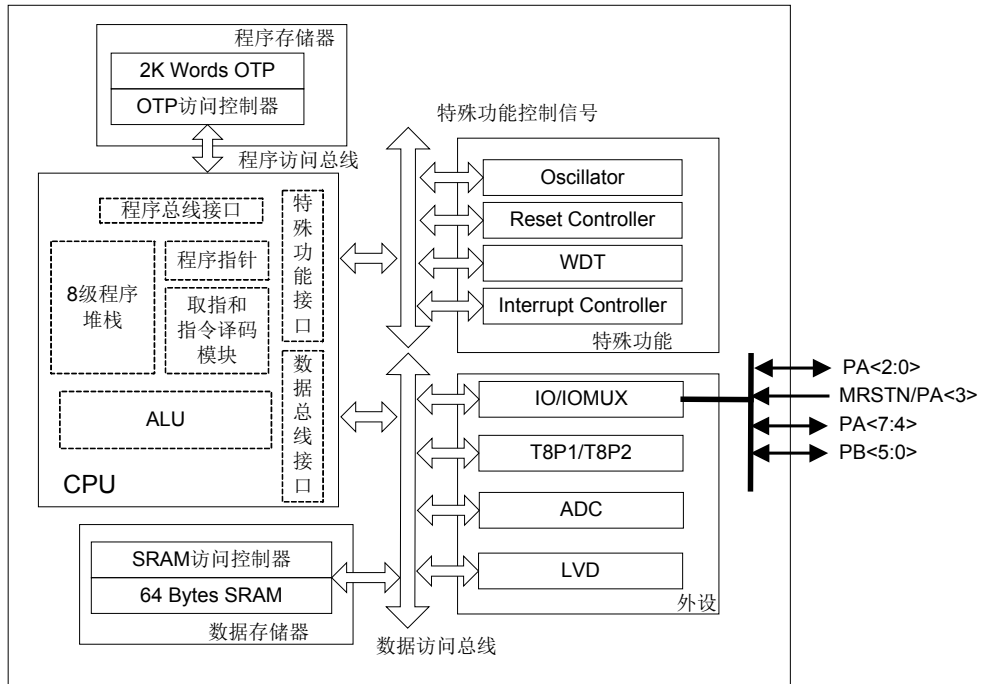


图 1-1 HR7P153 结构框图

1.4 管脚分配图

1.4.1 16-pin

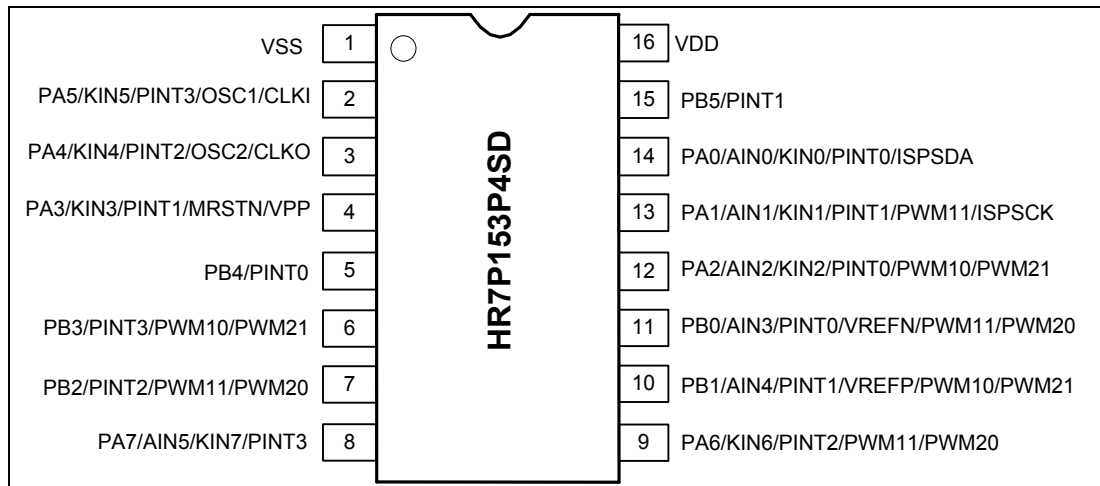


图 1-2 SOP16 顶视图

1.4.2 14-pin

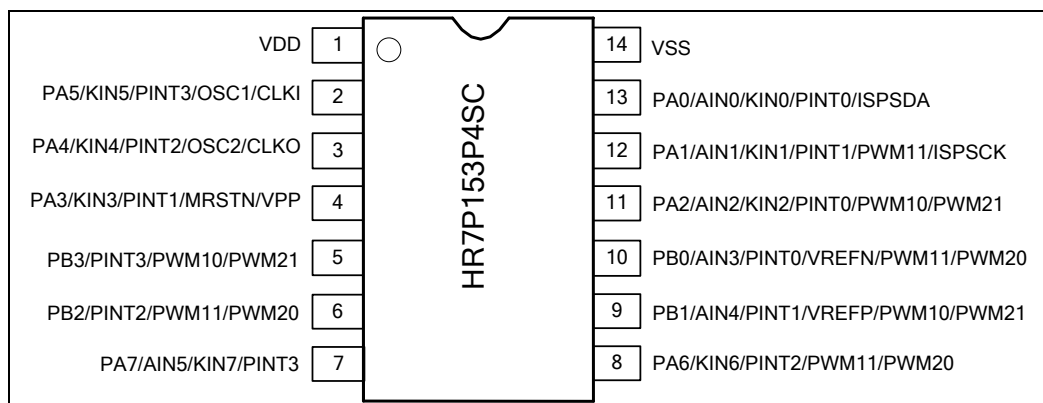


图 1-3 SOP14 顶视图

1.4.3 10-pin

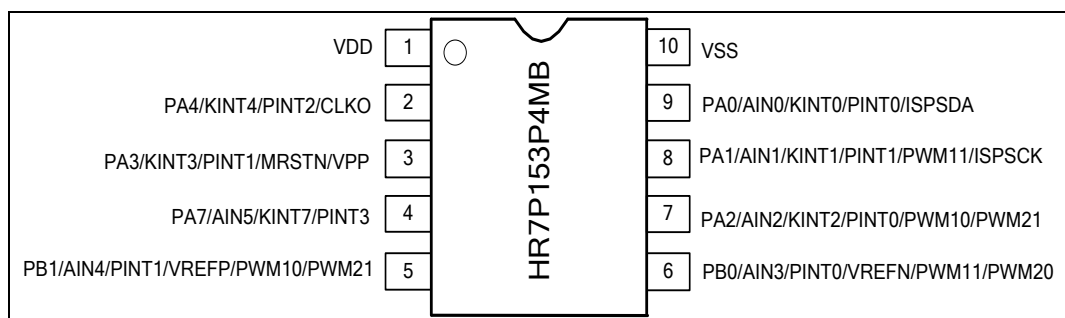


图 1-4 MSOP10 顶视图

1.4.4 8-pin

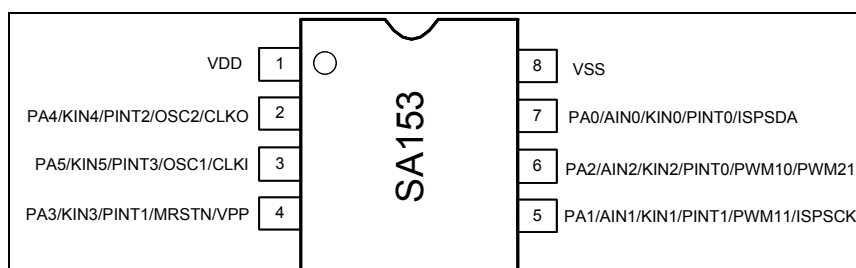


图 1-5 SOP8 顶视图（背印）

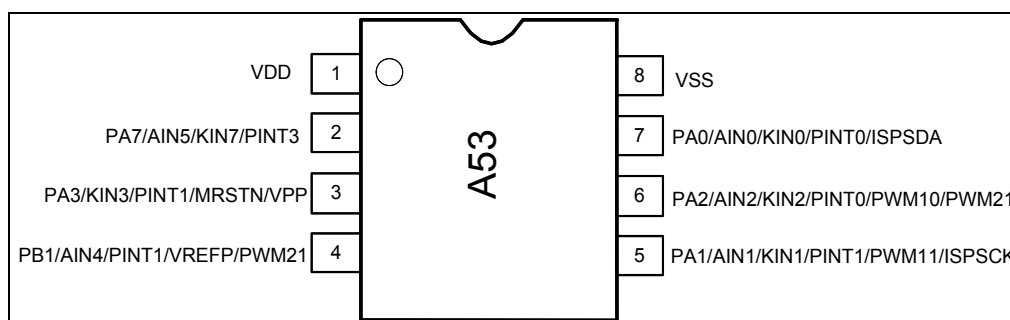


图 1-6 MSOP8 顶视图（背印）

注 1: MRSTN 表示低电平复位有效;

注 2: 如果产品封装引脚数小于最大引脚数, 则未引出的和未使用的 I/O 管脚都需设置为输出低电平。否则芯片功耗可能会出现异常, 芯片工作稳定性也容易因外界干扰而降低。

注 3: 用户系统必须保证 VPP 管脚电压低于芯片电源电压 VDD, 否则芯片可能进入异常工作模式。如果该管脚上电压存在过冲, 则用户系统必须限制该脉冲的电压不高于 VDD+0.5V, 脉冲宽度不超过 100us。

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	HR7P153				
	SOP16	SOP14	MSOP10	SOP8	MSOP8
PA0/AIN0/KIN0/PINT0/ISPSDA	14	13	9	7	7
PA1/AIN1/KIN1/PINT1/PWM11/ISPSCK	13	12	8	5	5
PA2/AIN2/KIN2/PINT0/PWM10/PWM21	12	11	7	6	6
PA3/KIN3/PINT1/MRSTN/VPP	4	4	3	4	3
PA4/KIN4/PINT2/OSC2/CLKO	3	3	2	2	—
PA5/KIN5/PINT3/OSC1/CLKI	2	2	—	3	—
PA6/KIN6/PINT2/PWM11/PWM20	9	8	—	—	—
PA7/AIN5/KIN7/PINT3	8	7	4	—	2
PB0/AIN3/PINT0/VREFN/PWM11/PWM20	11	10	6	—	—
PB1/AIN4/PINT1/VREFP/PWM10/PWM21	10	9	5	—	4
PB2/PINT2/PWM11/PWM20	7	6	—	—	—
PB3/PINT3/PWM10/PWM21	6	5	—	—	—
PB4/PINT0	5	—	—	—	—
PB5/PINT1	15	—	—	—	—
VDD	16	1	1	1	1
VSS	1	14	10	8	8

表 1-1 管脚封装对照表

1.5.2 管脚复用说明

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PA0/AIN0/KIN0/PINT0/ ISPSDA	PA0	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN0	—	—	A	ADC 模拟通道 0	
	KIN0	TTL	—	D	外部按键唤醒输入 0	
	PINT0	TTL	—	D	外部端口中断输入 0	
	ISPSDA	TTL	CMOS	D	串行编程数据输入输出	
PA1/AIN1/KIN1/PINT1/ PWM11/ISPSCK	PA1	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN1	—	—	A	ADC 模拟通道 1	
	KIN1	TTL	—	D	外部按键唤醒输入 1	
	PINT1	TTL	—	D	外部端口中断输入 1	
	PWM11	—	CMOS	D	T8P1 PWM 输出	
ISPSCK	TTL	—	D	串行编程时钟输入		
PA2/AIN2/KIN2/PINT0/P WM10/PWM21	PA2	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN2	—	—	A	ADC 模拟通道 2	
	KIN2	TTL	—	D	外部按键唤醒输入 2	
	PINT0	TTL	—	D	外部端口中断输入 0	
	PWM10	—	CMOS	D	T8P1 PWM 互补输出	
PWM21	—	CMOS	D	T8P2 PWM 输出		
PA3/KIN3/PINT1/MRSTN/ VPP	PA3	TTL	CMOS	D	通用 I	可单独使能 弱上拉
	KIN3	TTL	—	D	外部按键唤醒输入 3	
	PINT1	TTL	—	D	外部端口中断输入 1	
	MRSTN	TTL	—	D	主复位输入	
	VPP	Power	—	—	OTP 编程高压输入	
PA4/KIN4/PINT2/OSC2/ CLKO	PA4	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN4	TTL	—	D	外部按键唤醒输入 4	
	PINT2	TTL	—	D	外部端口中断输入 2	
	OSC2	—	CMOS	A	晶振/谐振器输出	
	CLKO	—	CMOS	D	Fosc/16 参考时钟输出	
PA5/KIN5/PINT3/OSC1/ CLKI	PA5	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN5	TTL	—	D	外部按键唤醒输入 5	
	PINT3	TTL	—	D	外部端口中断输入 3	
	OSC1	TTL	—	A	晶振/谐振器输入	
	CLKI	TTL	—	A/D	时钟输入	
PA6/KIN6/PINT2/PWM11/ PWM20	PA6	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN6	TTL	—	D	外部按键唤醒输入 6	
	PINT2	TTL	—	D	外部端口中断输入 2	
	PWM11	—	CMOS	D	T8P1 PWM 输出	
	PWM20	—	CMOS	D	T8P2 PWM 互补输出	
PA7/AIN5/KIN7/PINT3	PA7	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN5	—	—	A	ADC 模拟通道 5	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
	KIN7	TTL	—	D	外部按键唤醒输入 7	
	PINT3	TTL	—	D	外部端口中断输入 3	
PB0/AIN3/PINT0/VREFN/ PWM11/PWM20	PB0	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN3	—	—	A	ADC 模拟通道 3	
	PINT0	TTL	—	D	外部端口中断输入 0	
	VREFN	—	—	A	ADC 外部参考电压负端	
	PWM11	—	CMOS	D	T8P1 PWM 输出	
	PWM20	—	CMOS	D	T8P2 PWM 互补输出	
PB1/AIN4/PINT1/VREFP/ PWM10/PWM21	PB1	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN4	—	—	A	ADC 模拟通道 4	
	PINT1	TTL	—	D	外部端口中断输入 1	
	VREFP	—	—	A	ADC 外部参考电压正端	
	PWM10	—	CMOS	D	T8P1 PWM 互补输出	
	PWM21	—	CMOS	D	T8P2 PWM 输出	
PB2/PINT2/PWM11/PWM 20	PB2	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	PINT2	TTL	—	D	外部端口中断输入 2	
	PWM11	—	CMOS	D	T8P1 PWM 输出	
	PWM20	—	CMOS	D	T8P2 PWM 互补输出	
PB3/PINT3/PWM10/PWM 21	PB3	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	PINT3	TTL	—	D	外部端口中断输入 3	
	PWM10	—	CMOS	D	T8P1 PWM 互补输出	
	PWM21	—	CMOS	D	T8P2 PWM 输出	
PB4/PINT0	PB4	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	PINT0	TTL	—	D	外部端口中断输入 0	
PB5/PINT1	PB5	TTL	CMOS	D	通用 I/O	可单独使能 弱上拉
	PINT1	TTL	—	D	外部端口中断输入 1	
VDD	VDD	Power	—	—	电源	—
VSS	VSS	Power	—	—	地, 0V 参考点	—

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; MRSTN 表示低电平有效;

注 2: 除 PA3 外, 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动, PA3 为 TTL 输入;

注 3: T8P1 的 PWM 输出和互补输出可配置端口输出;

注 4: T8P2 的 PWM 输出和互补输出可配置端口输出。

第 2 章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - 高性能哈佛型 RISC CPU 内核
 - 79 条精简指令
 - 系统时钟工作频率最高为 20MHz
 - 机器周期为 2 个系统时钟周期
 - 支持中断处理，共 12 个中断源

2.2 系统时钟和机器周期

系统时钟频率（Fosc）最高支持 20MHz。两个系统时钟周期通过片内时钟生成器产生两个不重叠的正交时钟 phase1（p1），phase2（p2）。

两个不重叠的正交时钟周期组成一个机器周期。若系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

2.3 指令集概述

采用 HR7P 系列 79 条精简指令集系统。

除部分条件跳转与控制程序流程的指令为双（机器）周期指令外，其他指令均为单（机器）周期指令。具体指令集请参考《附录 1 指令集》。

2.4 特殊功能寄存器

CPU 相关寄存器包括 11-bit 程序计数器 PCRL/PCRH，程序状态字寄存器 PSW 和累加器 A 寄存器 AREG。其中程序状态寄存器 PSW 用于存放各个状态标志位，包括程序出栈/压栈溢出、负数标志位、溢出标志位、零标志位、半进位/半借位标志位，以及全进位或全借位标志位等。

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
POR	x	0	0	x	x	x	x	x

“x”：未知

- Bit 7 保留未用
- Bit 6 UF: 程序出栈溢出标志位
 0: 程序出栈未溢出
 1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
 0: 程序压栈未溢出
 1: 程序压栈溢出
- Bit 4 N: 负数标志位
 0: 有符号算术或逻辑运算结果为正数
 1: 结果为负数
- Bit 3 OV: 溢出标志位
 0: 有符号算术运算未发生溢出
 1: 发生溢出
- Bit 2 Z: 零标志位
 0: 算术或逻辑运算的结果不为零
 1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
 0: 低四位无进位或低四位有借位
 1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
 0: 无进位或有借位
 1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作，包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作，只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位，仅上电复位、复位指令和 MRSTN 复位会将其清零，其他复位不影响该两位标志位。

AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 AREG<7:0>: 累加器的值

PCRL: 程序计数器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCR<7:0>: 程序计数器低 8 位

PCRH: 程序计数器高 3 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	PCR<10:8>		
R/W	—	—	—	—	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~3 保留未用

Bit 2~0 PCR<10:8>: 程序计数器高 3 位

第 3 章 存储资源

3.1 概述

本芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◆ 2K Words OTP 程序存储器；
- ◆ 64 字节 SRAM

其中 OTP 程序存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

3.2 程序存储器

3.2.1 概述

OTP 程序存储器用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此 2K Words OTP 程序存储器被映射到程序寻址空间为 000H~7FFH，其中 7E0H~7FFH 为保留区。每个访问地址对应 16 位宽（2 个字节）的存储单元。通过 11 位程序计数器 PC 进行程序寻址访问。

复位向量位于 000H，中断向量入口地址位于 004H，支持 8 级硬件堆栈。

3.2.2 程序区地址映射示意图

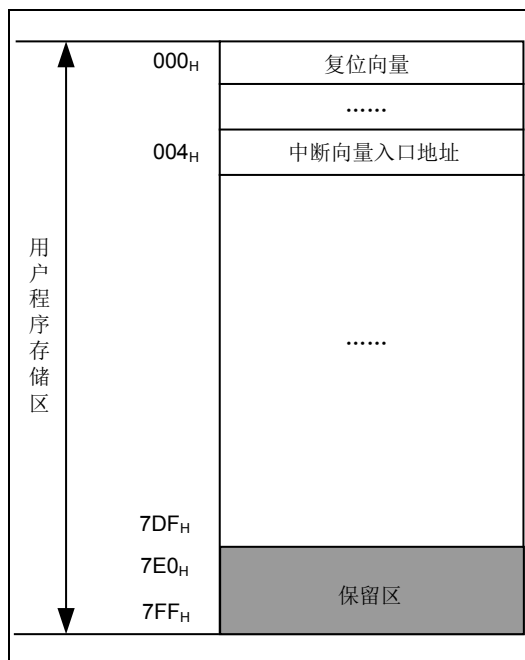


图 3-1 程序区地址映射

3.2.3 程序计数器 (PC)

程序计数器中存放的是要执行的下一条指令的地址。PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。11 位程序计数器 PC<10:0>，无实际物理地址，不可读写，可寻址 2K 程序存储空间 000H ~ 7FFH，超出地址范围会导致 PC 循环(又从 000H 开始访问)。

PC<7:0>可通过 PCRL 寄存器的读/写操作进行读/写，而 PC<10:8>通过 PCRH 寄存器来间接（如 RCALL、CALL、GOTO 等指令）赋值。

芯片复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<10:8>=PCRH<2:0>，因此，修改 PC 时，应先修改 PCRH<2:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<10:8>=PCRH<2:0>。
3. 执行 CALL，GOTO 指令时，PC<10:0>为指令中 11 位立即数 I（操作数）。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<10:0>被修改为该 16 位立即数 I 的值的低 11 位；同时 PCRH<2:0>被修改为 I<10:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<10:0> 被修改为该 16 位立即数 I 的值低 11 位，同时 PCRH<2:0>修改为 I<10:8>的值。
6. 执行 PAGE 指令时，PCRH<7:3>的值将被该指令的立即数 I 替换。（本芯片的程序存储器大小为 2K Words，因此 PCRH<7:3>被固定为全零，执行 PAGE 指令后 PC 值不受影响）
7. 执行其他指令时，PC 值自动加 1。

应用实例：以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVI    pageaddr
MOVA    PCRH        ; 设置表格页面地址
MOVI    tableaddr   ; 设置偏移量给 A 寄存器
CALL    TABLE      ; 调用子程序方式查表
.....
TABLE:
ADD     PCRL, F      ; PC 加上偏移量，指向访问的地址
RETIA   0X01
RETIA   0X02
RETIA   0X03
.....

```

3.2.4 程序堆栈

芯片内有 8 级程序堆栈（硬件堆栈），堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

程序堆栈只支持 8 级缓冲操作，即程序堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。芯片复位后，堆栈指针将重新指向堆栈顶部。

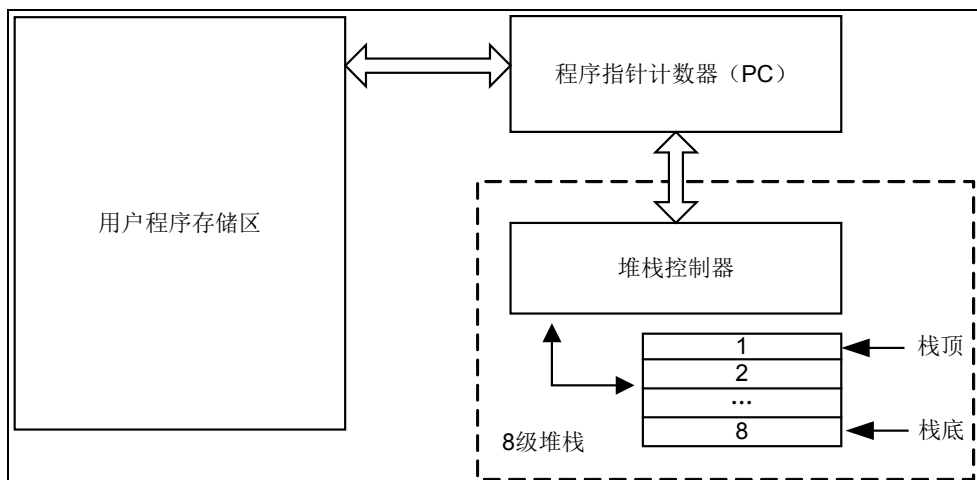


图 3-2 堆栈示意图

3.3 IAP访问OTP操作

3.3.1 OTP存储器

OTP 存储器是一次可编程存储器，在 VPP 复用端口施加高压 8.45V 时，可通过 IAP 对未编程过的 OTP 地址单元进行软件控制编程。IAP 写入操作以字 (Word) 为单位，通过 FRA (FRAH, FRAL) 寻址。当 OTP 存储器进行 IAP 写入操作时 CPU 内核暂停执行，需要软件关闭全局中断使能位 GIE (INTG<7>)，并判断 GIE 寄存器是否清零成功，如未被清零，则需再次执行软件清零操作，直到清零成功，外设可按预设状态继续运行，外设的中断请求将置位相应的中断标志。当 IAP 写入操作完成时，CPU 内核恢复执行，软件再使能全局中断使能位 GIE，进行相应的中断处理。

3.3.2 查表指令

HR7P 79 条指令集中包含 8 条查表指令。

查表读指令：

查表读指令用于将 FRA (FRAH, FRAL) 所指向的 OTP 地址单元中的一个字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

- ◆ TBR
- ◆ TBR#1
- ◆ TBR_1
- ◆ TBR1#

查表写指令：本芯片查表写指令保留未用。

- ◆ TBW
- ◆ TBW#1
- ◆ TBW_1
- ◆ TBW1#

查表指令的具体操作可参考《附录 1 指令集》

3.3.3 IAP编程

IAP 编程操作通过 IAPC 控制寄存器将 ROMD (ROMDH, ROMDL) 中的内容写入 FRA (FRAH, FRAL) 指向的 OTP 地址单元。IAP 编程访问地址空间范围 200H~7DFH。建议每个地址编程完成，查表读出验证是否成功，如果不成功需返回编程操作，直到读出验证成功后再编程后续地址空间。单地址编程，编程时间至少为 2ms。

应用例程 1: IAP 编程

```

MOVI    0x02                ; 将 55AAH 写入 OTP 的 0210H 地址单元
MOVA    FRAH
MOVI    0x10
MOVA    FRAL
MOVI    0xAA
MOVA    ROMDL
MOVI    0x55
MOVA    ROMDH
BCC     INTG, GIE           ; 关闭全局中断
JBC     INTG, GIE           ; 判断全局中断是否清零
GOTO    $-2
BSS     IAPC, IAPEN        ; 使能 IAP 操作
BSS     IAPC, IAPGO        ; 触发 IAP 操作
WAIT:
JBC     IAPC, IAPGO
GOTO    WAIT
BSS     INTG, GIE          ; 开全局中断
.....

```

应用例程 2: IAP 查表读

```

MOVI    0x02                ; 读取数据存储器 0210H 单元
MOVA    FRAH
MOVI    0x10
MOVA    FRAL
TBR                                ; 查表读指令，读取数据到 ROMDH/L 寄存器
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..

```

3.3.4 特殊功能寄存器

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 FRA<7:0>：查表地址低 8 位

FRAH：查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 FRA<15:8>：查表地址高 8 位

ROMDL：查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 ROMD<7:0>：查表数据低 8 位

ROMDH：查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 ROMD<15:8>：查表数据高 8 位

IAPC：IAP 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPEN	—	—	—	—	—	IAPGO	—
R/W	R/W	—	—	—	—	—	R/W	—
POR	0	0	0	0	0	0	0	0

“x”：未知

Bit 7 IAPEN：IAP 使能位

0：关闭

1：使能（仅在 VPP 输入高压时有效）

Bit 6~2 保留未用

Bit 1 IAPGO：IAP 编程启动位

0：未启动编程操作，或操作已完成

1：启动编程操作（软件置 1 启动操作，操作完成后硬件自动清零）（仅在 VPP 输入高压时有效）

Bit 0 保留未用

3.4 数据存储器

3.4.1 概述

- ◆ 数据存储器由 2 部分组成
 - 通用数据存储器 GPR
 - 特殊功能寄存器 SFR
- ◆ 通用数据存储器 GPR
 - 共 1 个存储体组
 - 64 字节，地址范围 00H~3FH
- ◆ 特殊功能寄存器 SFR
 - 128 个特殊寄存器
 - 地址范围 FF80H~FFFFH
- ◆ 支持 2 种寻址方式
 - 直接寻址
 - 间接寻址

3.4.2 数据区地址映射

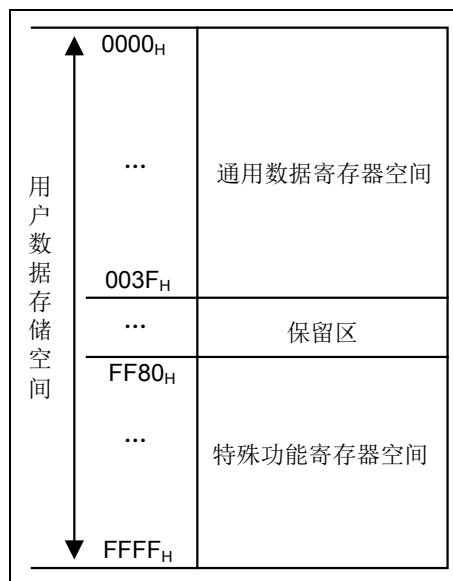


图 3-3 数据区地址映射示意图

3.4.3 通用数据存储器

通用数据存储器被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储器空间为 64 Bytes，地址范围为 0000H~003FH。通用数据存储器的内容在上电复位后是不确定的，未下电的其他复位后，将保存复位前的内容。

3.4.4 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本芯片支持 128 个特殊寄存器，地址范围 FF80H~FFFFH。大多数寄存器都是可以读写的，仅有少数部分寄存器不对外开放。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	INTG	FFC0 _H	T8P1PEX
FF81 _H	IAAL	FFA1 _H	LVDC	FFC1 _H	T8P2PEX
FF82 _H	IAAH	FFA2 _H	INTF1	FFC2 _H	—
FF83 _H	—	FFA3 _H	INTE1	FFC3 _H	—
FF84 _H	PSW	FFA4 _H	INTC1	FFC4 _H	—
FF85 _H	AREG	FFA5 _H	OSCCAL	FFC5 _H	—
FF86 _H	IAPC	FFA6 _H	WDTCAL	FFC6 _H	ADCCL
FF87 _H	FRAL	FFA7 _H	PWRC	FFC7 _H	ADCCH
FF88 _H	FRAH	FFA8 _H	OSCC	FFC8 _H	ADCRL
FF89 _H	ROMDL	FFA9 _H	WKDC	FFC9 _H	ADCRH
FF8A _H	ROMDH	FFAA _H	OSCP	FFCA _H	ADCTR
FF8B _H	PCRL	FFAB _H	WDTC	FFCB _H	—
FF8C _H	PCRH	FFAC _H	PWEN	FFCC _H	—
FF8D _H	—	FFAD _H	—	FFCD _H	—
FF8E _H	PA	FFAE _H	—	FFCE _H	—
FF8F _H	PAT	FFAF _H	—	FFCF _H	CALPROT
FF90 _H	PB	FFB0 _H	WDTP	FFD0 _H	—
FF91 _H	PBT	FFB1 _H	—	FFD1 _H	—
FF92 _H	—	FFB2 _H	T8P1	FFD2 _H	—
FF93 _H	—	FFB3 _H	T8P1C	FFD3 _H	—
FF94 _H	N_PAD	FFB4 _H	T8P1P	FFD4 _H	—
FF95 _H	N_PBD	FFB5 _H	T8P1R	FFD5 _H	—
FF96 _H	N_PAU	FFB6 _H	T8P1PMC
FF97 _H	N_PBU	FFB7 _H	T8P1OC		
FF98 _H	—	FFB8 _H	T8P2	FFF8 _H	—
FF99 _H	—	FFB9 _H	T8P2C	FFF9 _H	—
FF9A _H	—	FFBA _H	T8P2P	FFFA _H	—
FF9B _H	PINTS	FFBB _H	T8P2R	FFFB _H	—
FF9C _H	ANS	FFBC _H	T8P2PMC	FFFC _H	—
FF9D _H	INTF0	FFBD _H	T8P2OC	FFFD _H	—
FF9E _H	INTE0	FFBE _H	T8P1PDT	FFFE _H	—
FF9F _H	INTC0	FFBF _H	T8P2PDT	FFFF _H	—

注：“—”为保留空间，未使用

图 3-4 特殊功能寄存器空间

3.4.5 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址和间接寻址。

3.4.5.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 寻址。当指令中的 8 位地址信息 R<7:0> 小于 80_H 时，直接寻址 GPR 映射区。当 R<7:0> 大于或等于 80_H 时，直接寻址 SFR 映射区。

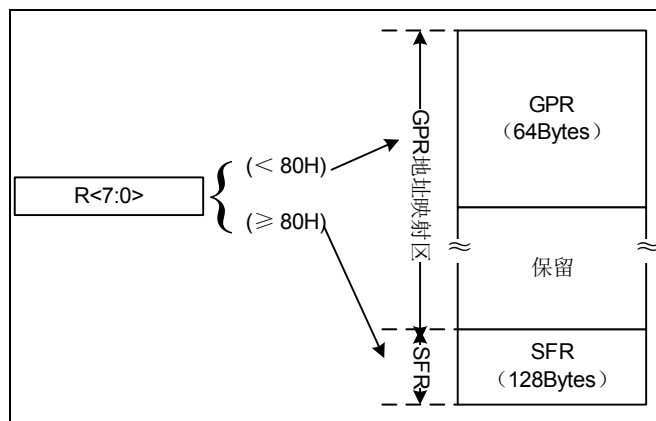


图 3-5 普通直接寻址示意图

3.4.5.2 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD 间接访问数据寻址空间中的存储单元，寻址空间为 0000_H~ FFFF_H。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

由于 IAD 寄存器本身也映射到数据寻址空间的 FF80H 地址，因此，当 IAA 存放的地址值为 FF80H 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出为 00H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接寻址寄存器 IAAH/IAAL 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

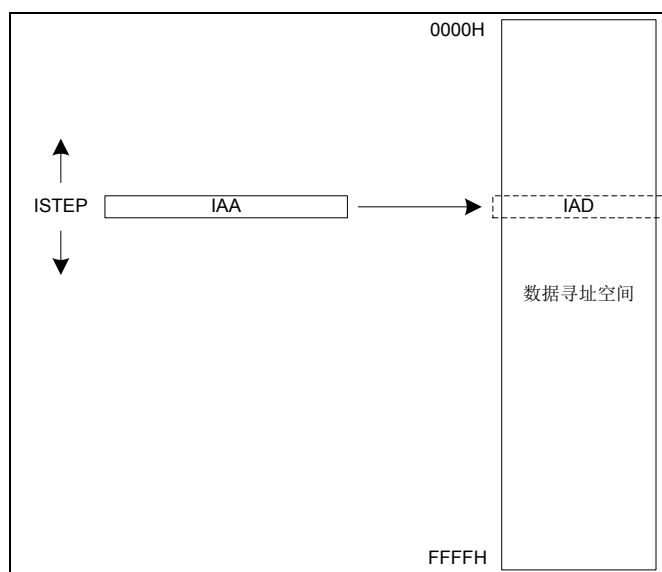


图 3-6 间接寻址示意图

应用例程：采用间接寻址将（020_H~02F_H）的寄存器清零。

```

.....
CLR   IAAH

MOVI  0X20      ; 对指针初始化

MOVA  IAAL      ; IAA 指向 RAM

NEXT1:
CLR   IAD      ; 清零 IAD 寄存器

ISTEP 0X01      ; 指针 IAA 内容加 1

JBS   IAAL, 4   ;

GOTO  NEXT1     ; 未完成，循环到下一个单元清零

CONTINUE:      ; 已经完成，继续执行后面的程序
.....

```

3.4.6 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<15:8>: 间接寻址索引高 8 位

第 4 章 输入/输出端口

4.1 概述

输入/输出端口是芯片的最基本组成部分，本芯片最多支持 13 个 I/O 端口和 1 个输入端口。一个输入端口 PA3 是 TTL 输入，其它所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。

◆PA 输入/输出端口功能组件

- 7 位双向输入/输出和 1 位输入端口
- TTL/SMT 输入和 CMOS 输出驱动
- 端口输入/输出控制寄存器 (PAT)
- 端口弱上拉控制寄存器 (N_PAU)
- 端口弱下拉控制寄存器 (N_PAD)
- PA0~PA7 支持外部按键中断功能
- PA0~PA2, PA7 I/O 端口数模选择寄存器 (ANS)

◆PB 输入/输出端口功能组件

- 6 位双向输入/输出端口
- TTL/SMT 输入和 CMOS 输出驱动
- 端口输入/输出控制寄存器 (PBT)
- 端口弱上拉控制寄存器 (N_PBU)
- 端口弱下拉控制寄存器 (N_PBD)
- PB0~PB5 支持外部端口中断功能
- PB0~PB1 I/O 端口数模选择寄存器 (ANS)

注 1: 当端口设置为输出、外部振荡器时钟端口时，内部弱上/下拉自动禁止。

4.2 结构框图

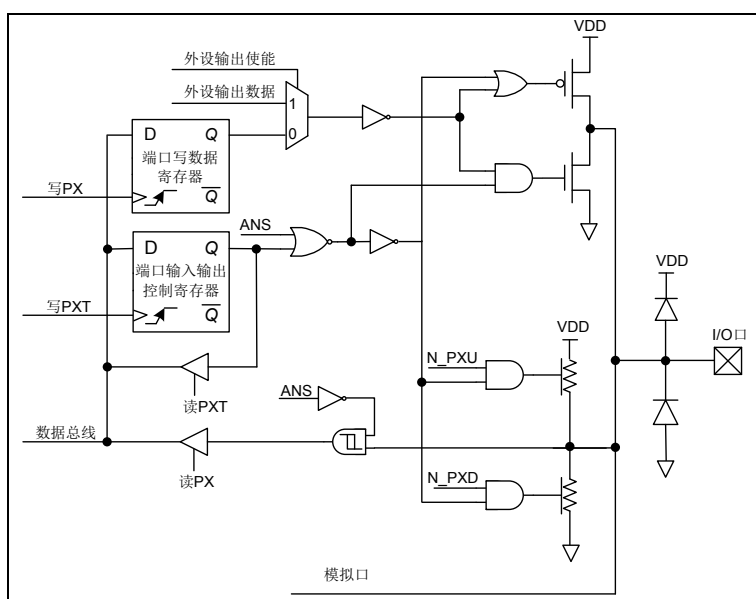


图 4-4-1 输入/输出端口结构图——PA0~PA2, PA7, PB0~PB1

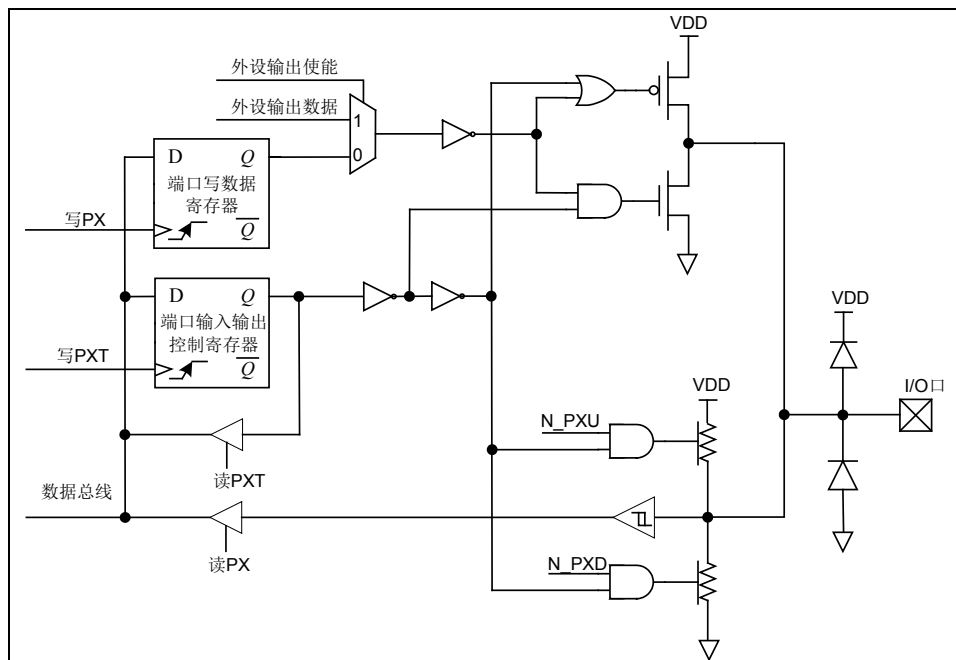


图 4-4-2 输入/输出端口结构图——PA4~PA6, PB2~PB5

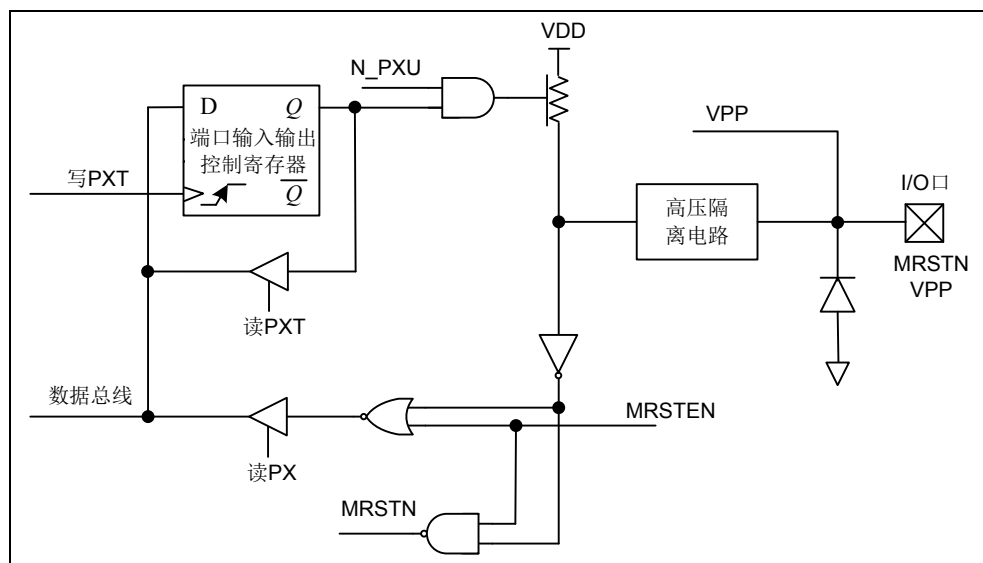


图 4-4-3 输入端口结构图——PA3

注 1: PA3 端口对应的 PAT 控制位始终为 1, 即 PA3 只能作输入用。

注 2: 除 ISP/IAP 操作外, PA3/MRSTN/VPP 管脚电压不能高于芯片电源电压。

4.3 I/O端口功能设置

4.3.1 I/O端口输入/输出控制

除 PA3 外, 芯片中的所有 I/O 端口都具有输入/输出的能力, 端口控制寄存器 PxT 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时, I/O 端口输出 Px 寄存器内容, 即相应 I/O 端口电平状态, 读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端

口设置为数字输入状态时，读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O端口弱上拉、弱下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。本芯片中只有 PA3 端口默认弱上拉使能，其它所有端口均提供独立的弱上、下拉功能，可通过软件独立配置。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	-	-

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	-	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	-	-	-

表 4-2 I/O 端口弱下拉

4.3.3 I/O端口大电流控制功能

寄存器 N_PBD<5> (PLCS) 可控制端口 PA (PA7-4, PA2-0), PB (PB5-0) 的电流驱动能力。

4.3.4 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片中 PA0~PA2, PA7, PB0~PB1 端口均具有独立的模拟/数字信号选择功能，由 ANS 寄存器控制选择。当端口被配置为模拟端口时，读相应 Px 寄存器始终读到“0”。

4.3.5 I/O端口复用功能

为了使资源合理利用最优化，本芯片大部分的 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

4.4 端口中断

4.4.1 按键中断 (KINT)

本芯片外部端口支持 1 组外部按键中断。按键中断支持最多 8 个按键输入端 KIN<7:0>，8 个按键共用一个按键中断使能位 KIE (INTE0<0>) 及按键中断标志位 KIF (INTF0<0>)，每个输入端可以由相应的按键屏蔽位 KMSKx (INTC0<7:0>) 屏蔽，任何其中一个按键中断产生将影响中断标志 KIF。

当 KINn 复用端口被配置为数字输入端口，且 1 组中任何一个端口输入信号发生电平变化时，将产生按键中断 KINT。使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。外部按键电平比较，是比较按键输入端口电平与锁存器上的最后输入值。清除按键中断标志位前，必须对相应复用端口进行一次读/写操作，否则按键中断标志位无法被清除。在按键中断使能 (KMSKn=1, KIE=1) 前，先对端口寄存器进行读或者写的操

作，清除中断标志位，以免误产生中断。此中断能将芯片从睡眠状态唤醒。

管脚名	端口输入	按键屏蔽	中断使能	中断标志
PA0	KIN0	KMSK0	KIE	KIF
PA1	KIN1	KMSK1		
PA2	KIN2	KMSK2		
PA3	KIN3	KMSK3		
PA4	KIN4	KMSK4		
PA5	KIN5	KMSK5		
PA6	KIN6	KMSK6		
PA7	KIN7	KMSK7		

表 4-3 按键中断

4.4.2 外部端口中断 (PINT)

本芯片外部端口支持 4 个外部端口中断，外部中断源由外部中断选择位 PINT3S~PINT0S (PINTS<7:0>) 选择。外部端口中断由相应的 PIE3~PIE0 (INTE1<3:0>) 使能，通过 PEG3~PEG0 (INTC1<3:0>) 选择上升沿触发还是下降沿触发。当 PINTn 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTn 外部端口中断，中断产生将影响相应的中断标志 PIFn (INTF1<3:0>)。此中断能将芯片从睡眠状态唤醒。

管脚名	中断源选择位	端口输入	边沿选择	中断名	中断使能	中断标志
PA0 PA2 PB0 PB4	PINT0S<1:0>	PINT0	PEG0	PINT0	PIE0	PIF0
PA1 PA3 PB1 PB5	PINT1S<1:0>	PINT1	PEG1	PINT1	PIE1	PIF1
PA6 PA4 PB2	PINT2S<1:0>	PINT2	PEG2	PINT2	PIE2	PIF2
PA7 PA5 PB3	PINT3S<1:0>	PINT3	PEG3	PINT3	PIE3	PIF3

表 4-4 外部端口中断

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的操作（除位操作指令）时，芯片实际执行读-修改-写过程，即先读取该组全部 I/O 端口的电平，修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位，不会影响同组其它 I/O 端口。因此建议用户对单个 I/O 的修改采用位操作指令。此外用户在对 I/O 端口的复用功能使能和关闭时，应充分考虑当前 I/O 端口

的输出寄存器值，并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

输入/输出端口的设置包括一系列的寄存器控制，PX 寄存器用于显示 PX 端口的电平状态，PXT 寄存器用于设置 PX 端口的输入输出状态，N_PXU / N_PXD 用于设置 PX 端口的弱上拉 / 弱下拉电阻的连接状况。ANS 用于设置 PX 端口的数据类型。

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 PA<7:0>: PA 端口电平状态
0: 低电平
1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~6 PAT<7:6>: PA<7:6>端口输入输出状态选择位
0: 输出状态
1: 输入状态

Bit 5~4 PAT<5:4>: PA<5:4>端口输入输出状态选择位（复用为外部振荡端口时，为模拟端口，此两位硬件固定为 1）
0: 输出状态
1: 输入状态

Bit 3 PAT3: 硬件固定为 1，该端口只能用作输入

Bit 2~0 PAT<2:0>: PA<2:0>端口输入输出状态选择位
0: 输出状态
1: 输入状态

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PB5	PB4	PB3	PB2	PB1	PB0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	x	x	x	x	x	x

“x”: 未知

Bit 7~6 保留未用

Bit 5~0 PB<5:0>: PB 端口电平状态
0: 低电平

1: 高电平

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7~6 保留未用

Bit 5~0 PBT<5:0>: PB 端口输入输出状态选择位

0: 输出状态

1: 输入状态

N_PAU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAU7	N_PAU6	N_PAU5	N_PAU4	N_PAU3	N_PAU2	N_PAU1	N_PAU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	1	1

Bit 7~0 N_PAU <7:0>: PA 端口内部弱上拉控制位

0: 使能

1: 禁止

N_PBU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBU5	N_PBU4	N_PBU3	N_PBU2	N_PBU1	N_PBU0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7~6 保留未用

Bit 5~0 N_PBU <5:0>: PB 端口内部弱上拉控制位

0: 使能

1: 禁止

N_PAD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAD7	N_PAD6	N_PAD5	N_PAD4	—	N_PAD2	N_PAD1	N_PAD0
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~4 N_PAD <7:4>: PA 端口内部弱下拉控制位

0: 使能

1: 禁止

Bit 3 保留未用

Bit 2~0 N_PAD <2:0>: PA 端口内部弱下拉控制位

0: 使能

1: 禁止

N_PBD: PB 端口弱下拉/大电流控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PLCS	N_PBD4	N_PBD3	N_PBD2	N_PBD1	N_PBD0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7~6 保留未用

Bit 5 PLCS: 大电流驱动端口 PA (PA7-4, PA2-0) /PB (PB5-0) 控制位

0: 禁止

1: 使能

Bit 4~0 N_PBD <4:0>: PB 端口内部弱下拉控制位

0: 使能

1: 禁止

注: PB5 端口弱下拉硬件固定为禁止。

ANS: I/O 端口数模选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PWM20NS	PWM10NS	ANPA7	ANPB1	ANPB0	ANPA2	ANPA1	ANPA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWM20NS: PWM20 输出极性控制位

0: 和 PWM21 输出反相

1: 和 PWM21 输出同相

Bit 6 PWM10NS : PWM10 输出极性控制位

0: 和 PWM11 输出反相

1: 和 PWM11 输出同相

Bit 5 ANPA7: PA7 端口数模选择位(AIN5)

0: 模拟端口

1: 数字端口

Bit 4 ANPB1: PB1 端口数模选择位(AIN4)

0: 模拟端口

1: 数字端口

Bit 3 ANPB0: PB0 端口数模选择位(AIN3)

0: 模拟端口

1: 数字端口

Bit 2 ANPA2: PA2 端口数模选择位(AIN2)

0: 模拟端口

1: 数字端口

Bit 1 ANPA1: PA1 端口数模选择位(AIN1)

0: 模拟端口

1: 数字端口

Bit 0 ANPA0: PA0 端口数模选择位(AIN0)

0: 模拟端口

1: 数字端口

第 5 章 特殊功能及操作特性

5.1 系统时钟与振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有三种：外部晶体/陶瓷振荡器XTAL、内部高速RC振荡器(16MHz)和内部低速RC振荡器(32KHz)。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。外部LP振荡器和内部低速RC振荡器除了作为系统时钟源外，还可以为看门狗定时器等提供所需要的时钟源。

- ◆ 振荡器模式
 - 外部振荡器 (HS/XT/LP)
 - 内部 16MHz RC 振荡器 (可配置为 INTOSC 和 INTOSCO)
 - 内部 32KHz RC 振荡器
- ◆ 内部 16MHz RC 振荡器
 - 8 位校准寄存器 (OSCCAL)
 - 出厂前，在常温下已经校准到精度为±2%
 - 支持多种分频时钟
- ◆ 内部 32KHz RC 振荡器
 - 8 位校准寄存器 (WDTCAL)
- ◆ 系统时钟切换
 - HS/XT/INTOSCH 16MHz 振荡时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 外部低速 LP 振荡时钟与内部高速 INTOSCH 16MHz 时钟切换
- ◆ 振荡和暂停
 - 在 IDLE0 模式下，振荡器暂停振荡
 - 在 IDLE1 模式下，振荡器保持振荡，系统时钟暂停

5.1.2 时钟源

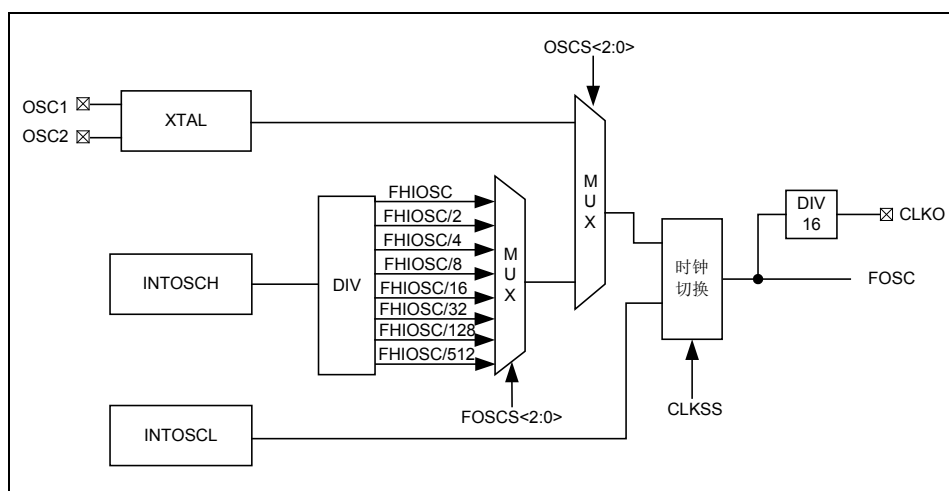


图 5-1 系统时钟内部结构图

5.1.2.1 外部时钟

外部时钟包括晶体/陶瓷振荡器模式 (HS/XT/LP)。对于晶体/陶瓷振荡器而言，只要简单地将晶体连接至 OSC1 和 OSC2 管脚间，就会产生振荡所需的相移及反馈。为保证振荡频率更精准，需连接两个小容量电容 C1 和 C2 到 VSS，具体数值与所使用的晶体/陶瓷振荡器有关，电容参考取值范围为 15~33pF。根据所选择的振荡器频率，可分为三种模式：HS 模式、XT 模式和 LP 模式。当芯片配置字 OSCS<2:0> = 000 时，选择 LP 模式；当 OSCS<2:0> = 010 时，选择 HS 模式；当芯片配置字 OSCS<2:0> = 100 时，选择 XT 模式。芯片配置字 OSCS<2:0> 客户通过编程界面选择。

◇ 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

HS/XT 晶振起振稳定时间为 512 个系统时钟。LP 晶振设计为低功耗振荡，起振稳定时间约一秒左右。

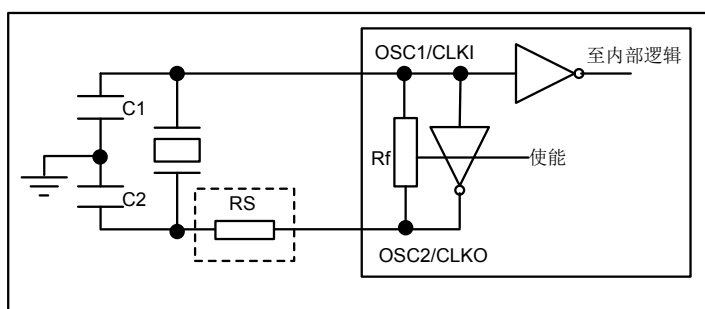


图 5-2 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	20MHz		

表 5-1 晶体振荡器电容参数参考表

注*：此数据可根据晶振频率大小、外围电路的不同作微调。

5.1.2.2 内部高速 16MHz RC振荡器模式(INTOSCH)

芯片内置 16MHz RC 时钟振荡器，不需要外接其它外部器件。当配置字中的 OSCS<2:0>=000/110/111 且寄存器 OSCC 中的 CLKSS=1 时，选择内部 16MHz RC 作为系统时钟源，此时 PA2 和 PA3 管脚复用为通用 I/O 端口。INTOSCH 16MHz 最低可分频至 32KHz，出厂前，内置 16MHz RC 时钟振荡器已在常温下校准。芯片上电时，会自动加载校准值，客户不需要对校准寄存器 OSCCAL 进行任何操作。

5.1.2.3 内部低速 32kHz RC振荡器模式(INTOSCL)

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT 计数时钟源，也可配置为主系统时钟源。当配置字中的 OSCS<2:0>=010/100/110/111 且寄存器 OSCC 中的

CLKSS=0时，选择内部32KHz RC作为系统时钟源，此时PA2和PA3管脚复用为通用I/O端口。芯片上电时，会自动加载校准值，客户不需要对校准寄存器WDTCAL进行任何操作。

5.1.3 系统时钟切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。系统可软件设置寄存器位 CLKSS (OSCC<7>)，选择高、低速系统时钟。系统上电时，寄存器 CLKSS 的值默认为 0，工作在低速系统时钟模式下。

系统支持四种时钟切换：

- ◇ 内部低速 INTOSCL 32KHz 时钟切换到内部高速 INTOSCH/外部高速 HS/XT 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=010/100/110/111;
 - 设置 OSCC 寄存器中的 CLKSS=1;
 - 检测 OSCC 寄存器中的 HSOSCF 位，直到检测到 HSOSCF=1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_HS 位，直到检测到 SW_HS=1;
- ◇ 内部高速 INTOSCH/外部高速 HS/XT 时钟切换到内部低速 INTOSCL 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=010/100/110/111;
 - 设置 OSCC 寄存器中的 CLKSS=0;
 - 检测 OSCC 寄存器中的 WDTOSCF 位，直到检测到 WDTOSCF =1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_WDT 位，直到检测到 SW_WDT =1;
- ◇ 外部低速 LP 时钟切换到 INTOSCH 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=000;
 - 设置 OSCC 寄存器中的 CLKSS=1;
 - 检测 OSCC 寄存器中的 HSOSCF 位，直到检测到 HSOSCF=1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_HS 位，直到检测到 SW_HS=1;
- ◇ 内部高速 INTOSCH 时钟切换到外部低速 LP 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=000;
 - 设置 OSCC 寄存器中的 CLKSS=0;
 - 检测 OSCC 寄存器中的 LPOSCF 位，直到检测到 LPOSCF =1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_LP 位，直到检测到 SW_LP =1;

系统时钟来源	OSCS<2:0>位	CLKSS 位
LP	000	0
HS	010	1
XT	100	1
INTOSCH	000	1
	110	1
	111	1
INTOSCL	010	0

系统时钟来源	OSCS<2:0>位	CLKSS 位
	100	0
	110	0
	111	0

表 5-2 振荡模式切换选择

5.1.3.1 系统上电时序

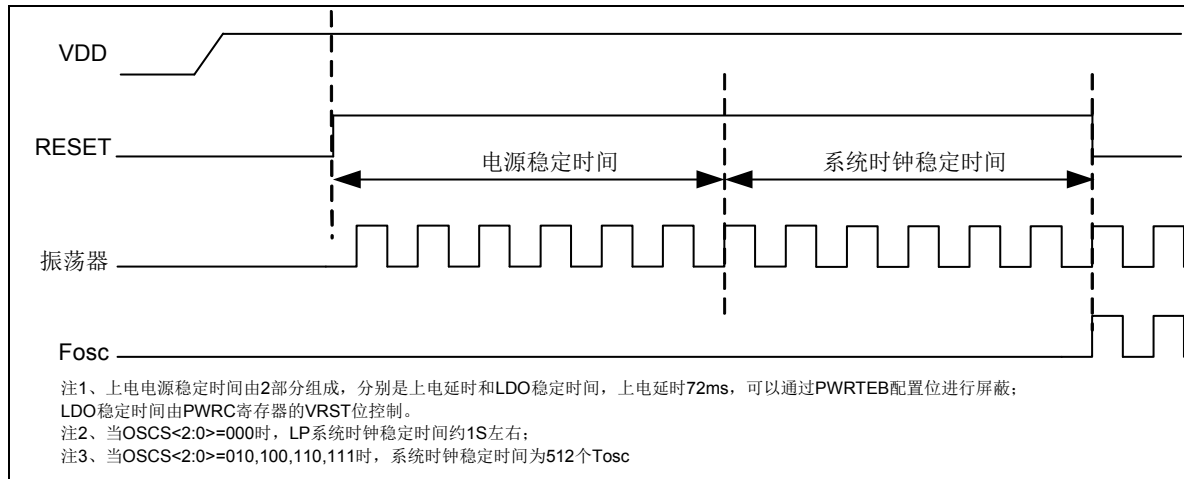


图 5-3 系统上电时序图

5.1.3.2 系统时钟切换时序

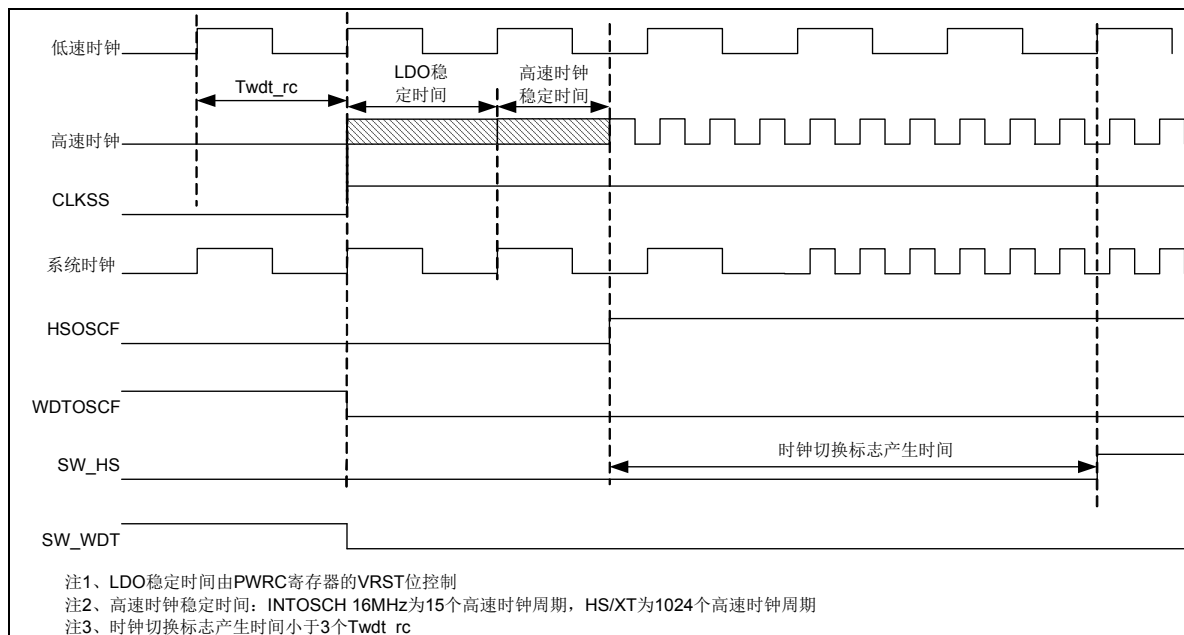


图 5-4 INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟

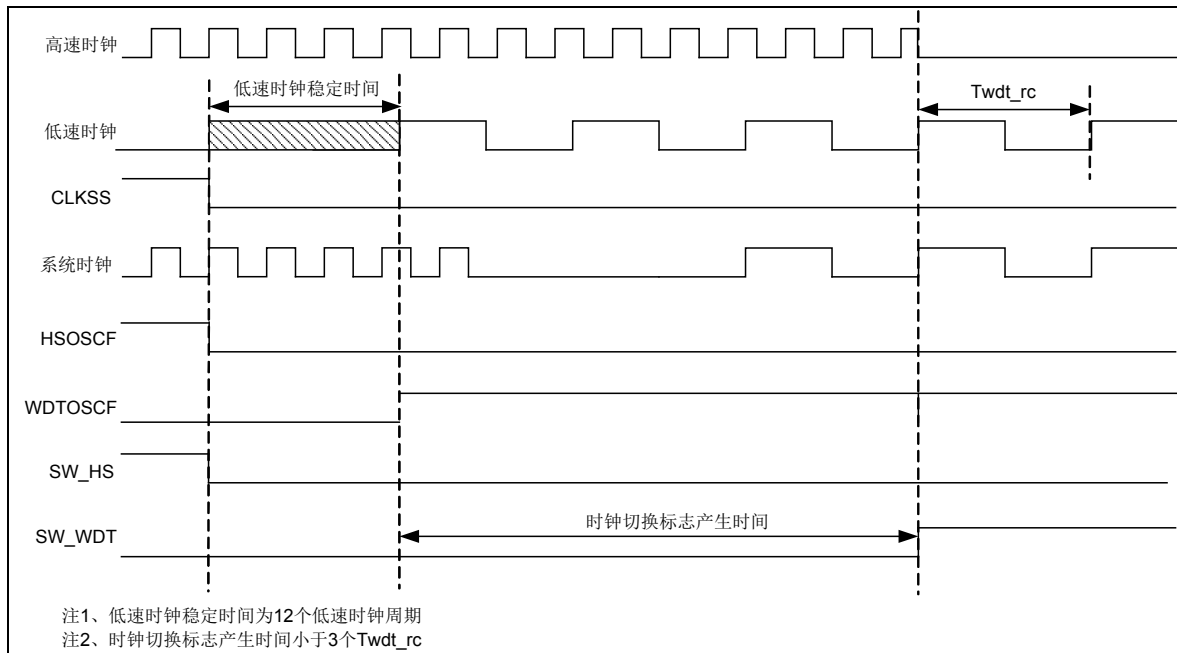


图 5-5 INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟

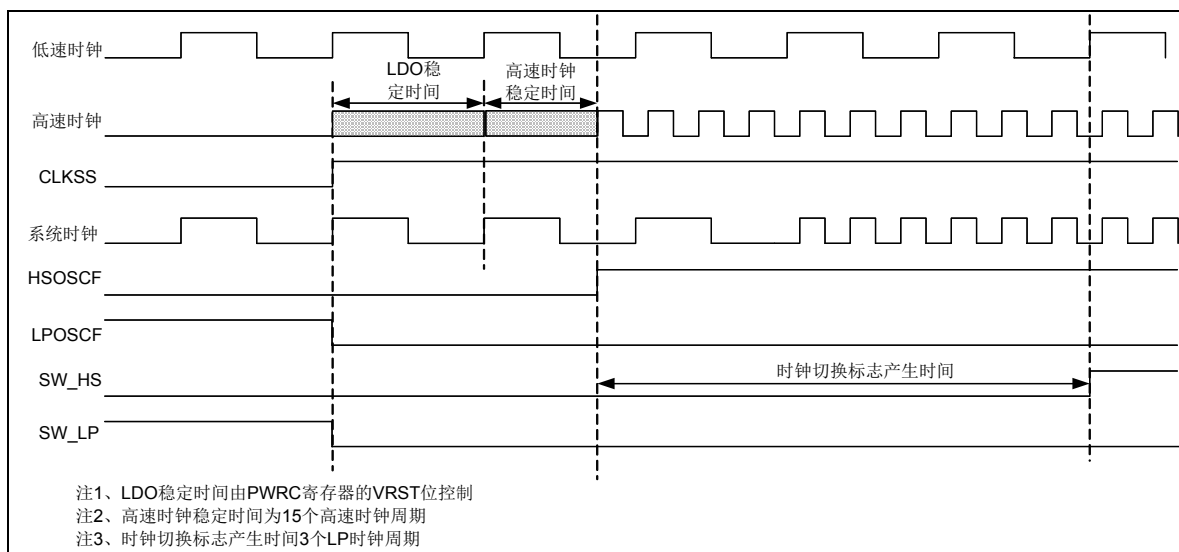


图 5-6 低速 LP 时钟切换到 INTOSCH 时钟

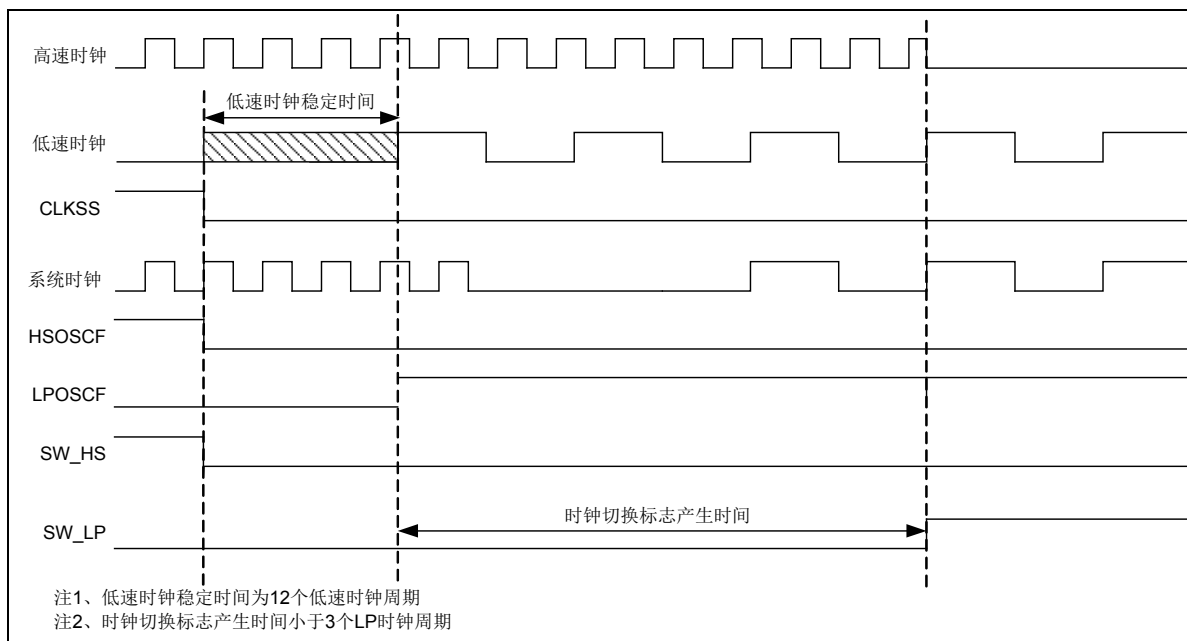


图 5-7 INTOSCH 时钟切换到低速 LP 时钟

5.1.4 系统时钟分频

当系统时钟来源于内部高频时钟 INTOSCH 16MHz 时，系统时钟支持 1 个最大分频比为 1:512 的分频器，最低可分频至 32KHz，可通过 OSSC 寄存器中的 FOSCS<2:0>位进行选择分频比。

5.1.5 特殊功能寄存器

CALPROT: 校准值保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	CALPROT0
R/W	—	—	—	—	—	—	—	R/W
POR	0	0	0	0	0	0	0	1

Bit 7~1 保留未用

Bit 0 CALPROT0: 校准值保护位

1: 校准值处于保护状态

0: 校准值处于去除保护状态

当 CALPROT 寄存器写入 55h 时，去除保护位，其他任何写入都是使能保护位。

注：CALPROT 保护的校准值寄存器为 OSCCAL、WDTCAL。

OSCCAL: 内部 16MHz 时钟校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	1	0	1	0	0	1

Bit 7~0 OSCCAL<7:0>: 内部 16MHz 时钟频率调节位

注：此寄存器受 CALPROT 寄存器保护。OSCCAL 寄存器主要是调整内部 16MHz 时钟的精度。在常温条件下，出厂时已经校准到 16MHz。如果没有特别需求，用户不需要设置此寄存器，以免覆盖芯片默认的时钟校准值。

OSCC：时钟控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	CLKSS	FOSCS<2:0>			—	WDTOSCF	HSOSCF	LPOS CF
R/W	R/W	R/W	R/W	R/W	—	R	R	R
POR	0	1	1	0	0	1	0	x

- Bit 7** CLKSS：低速时钟与高速时钟切换选择位
 当 OSCS<2:0>=000 时：
 0：外部低速 LP 32KHZ 时钟源
 1：内部高速 INTOSCH 16MHz 时钟源
 当 OSCS<2:0>=010/100/110/111 时：
 0：内部低速 INTOSCL 32KHZ 时钟源
 1：内部高速 INTOSCH 16MHz 或者外部高速 HS/XT 时钟源
- Bit 6~4** FOSCS<2:0>：内部系统时钟频率选择位
 000：32KHZ
 001：125KHZ
 010：500KHz
 011：1MHz
 100：2MHz
 101：4MHz
 110：8MHz
 111：16MHz
- Bit 3** 保留未用
- Bit 2** WDTOSCF：内部 32KHz 稳定标志位
 0：未稳定
 1：稳定
- Bit 1** HSOSCF：高速时钟稳定标志位
 0：未稳定
 1：稳定
- Bit 0** LPOS CF：外部 LP 晶振稳定标志位
 0：未稳定
 1：稳定

OSCP：时钟控制写保护寄存器

Bit	7	6	5	4	3	2	1	0
Name	OSCP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

- Bit 7~0** OSCP<7:0>：时钟控制写保护位
 OSCP 为 55h 时，可以改变 FOSCS 和 CLKSS 位。当 FOSCS 和 CLKSS 被写时，OSCP 自动复位为 FFh。
 OSCP 不为 55h 时，对 FOSCS 和 CLKSS 的写操作将被忽略。

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	SW_WDT	SW_HS	SW_LP	—	—	RCEN	—
R/W	—	R	R	R	—	—	R/W	—
POR	0	1	0	0	0	0	1	1

- Bit 7,3~2 保留未用
- Bit 6 SW_WDT: 切换到内部低速 32KHz 时钟标志位
0: 切换未完成
1: 切换完成
- Bit 5 SW_HS: 切换到 HS/XT/INTOSCH 16MHz 高速时钟标志位
0: 切换未完成
1: 切换完成
- Bit 4 SW_LP: 切换到外部低速 LP 晶振时钟标志位
0: 切换未完成
1: 切换完成
- Bit 1 RCEN: WDT 内部 RC 时钟使能位 (软件设置 RCEN 为 1 使能)
当 CLKSS=1, 且在 IDLE 模式时:
0: 关闭 WDT 内部 RC 时钟
1: 使能 WDT 内部 RC 时钟
(非 IDLE 模式下, 和 RCEN 无关, RC 时钟一直使能)
当 CLKSS=0 时:
RCEN 固定为 1, 不可写
- Bit 0 保留未用

注 1: 建议客户软件设置 RCEN 为 1, 使能 WDT 内部 RC 时钟。

注 2: 如果需要频繁进行高、低速系统时钟切换, 必须进行相应切换完成标志位 SW_LP、SW_HS 和 SW_WDT 的判断。

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它的功能在于在发生软件故障时，通过器件复位将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◆ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- WDT 计数周期匹配寄存器（WDTP）
- 唤醒功能
- 复位功能

◆ 内部 WDT RC 振荡器

- 定时器时钟源为内部 32KHz RC 时钟或外部 LP 振荡时钟
- 8 位 WDT 时钟校准寄存器（WDTCAL）
- 出厂前，在常温下已经将频率校准在±15%以内，其高低温频偏对 WDT 计数溢出周期的影响，见《电气特性》章节的描述

5.2.2 内部结构图

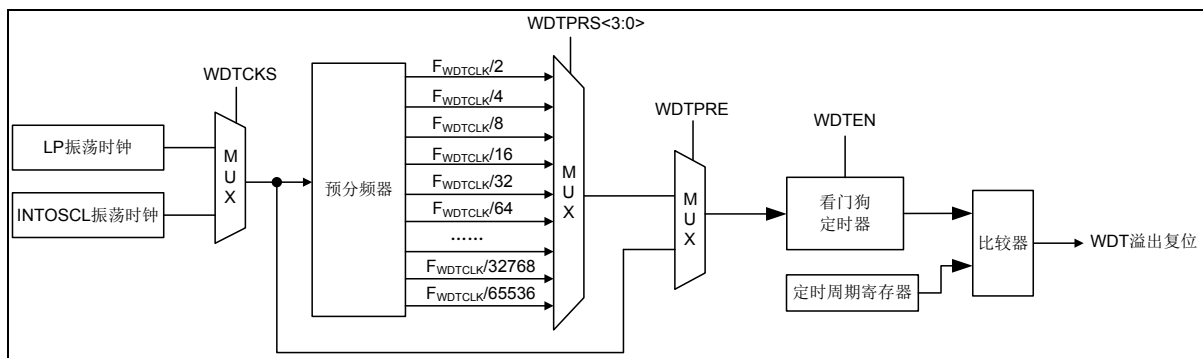


图 5-8 看门狗定时器内部结构图

5.2.3 WDT 定时器

芯片提供8位WDT定时计数器，通过芯片配置字WDTCN可使能硬件看门狗WDT。当芯片配置字WDTCN使能时，WDT定时器计数使能；当WDTCN关闭时，WDT定时器计数禁止。客户通过编程界面选择。

当配置字 OSCS<2:0>位配置为 LP 模式时，WDT 的计数时钟源有两种选择：内部 32KHz RC 时钟和外部 LP 振荡时钟。如果 WDTCKS=0 时，WDT 的计数时钟为 WDT RC 时钟；当 WDTCKS=1 时，WDT 的计数时钟为 LP 振荡时钟。

WDT 支持一个预分频器，可通过 WDTC 寄存器中的 WDTPRS<3:0>位设置 WDT 时钟源

的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。当 WDTPRE (WDTC<4>) 清零，禁止预分频器，WDT 时钟为 32KHz；当 WDTPRE (WDTC<4>) 置 1，使能预分频器。

WDT 支持一组可读/写的定时周期寄存器 WDTP，当看门狗计数到定时周期时，超时溢出。在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；此外，WDT 计数溢出会复位芯片。为了避免不必要的复位，可使用 CWDT 指令适时清零 WDT 计数器。

在预分频器分频比为 1:2，且周期寄存器 WDTP 设置为 FF_H 时，WDT 使用内部 WDT 时钟进行计数，常温下时钟频率约为 32KHz，计数溢出时间约为 16ms。当禁止预分频器时，WDT 的计数溢出时间约为 8ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

值得注意的是，当 WDT 内部 RC 时钟使能位 RCEN=0 时，只在 IDLE 模式下看门狗禁止，其它工作模式下 WDT 的 RC 时钟一直打开，不受 RCEN 的影响。

注 1: WDT 定时器工作时，RCEN (PWEN<1>) 必须置 1。

5.2.4 特殊功能寄存器

WDT 的功能控制由 WDTC 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字控制，而 WDT 的时钟源选择、WDT 预分频器的使能控制以及 WDT 预分频器的分频比选择则由 WDTC 寄存器设置。此外，WDTP 寄存器用于设置 WDT 计数周期值，WDTCAL 寄存器用于内部 32KHz 时钟校准。

WDTCAL: 内部 32KHz 时钟校准寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	0	0	1	0	0

Bit 7~0 WDTCAL<7:0>: 内部 32KHz 时钟频率调节位

注: 此寄存器受 CALPROT 寄存器保护。WDTCAL 寄存器主要是调整内部 32KHz 时钟的精度。在芯片出厂前，已经设置好校准值，禁止用户程序改写该寄存器，否则会导致芯片对应的功能模块工作异常。

WDTC: WDT 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTCKS	—	—	WDTPRE	WDTPRS<3:0>			
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	0	1	1	1

Bit 7 WDTCKS: WDT 计数时钟源选择位

- 0: 内部 WDT RC 时钟
- 1: 外部 LP 振荡时钟

Bit 6~5 保留未用

Bit 4 WDTPRE: WDT 预分频器使能位

- 0: 禁止

1: 使能

Bit 3~0 WDTPRS <3:0>: WDT 预分频器分频比选择位

0000: 1:2
 0001: 1:4
 0010: 1:8
 0011: 1:16
 0100: 1:32
 0101: 1:64
 0110: 1:128
 0111: 1:256 (默认)
 1000: 1:512
 1001: 1:1024
 1010: 1:2048
 1011: 1:4096
 1100: 1:8192
 1101: 1:16384
 1110: 1:32768
 1111: 1:65536

WDTP: WDT 计数周期匹配寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 WDTP<7:0>: WDT 计数周期值

5.3 复位模块

5.3.1 概述

复位功能是所有芯片中基本的部分，该芯片支持五种复位方式：

- ◇ 上电复位 POR
- ◇ 下电复位 BOR
- ◇ 外部端口 MRSTN 复位，低电平复位有效
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

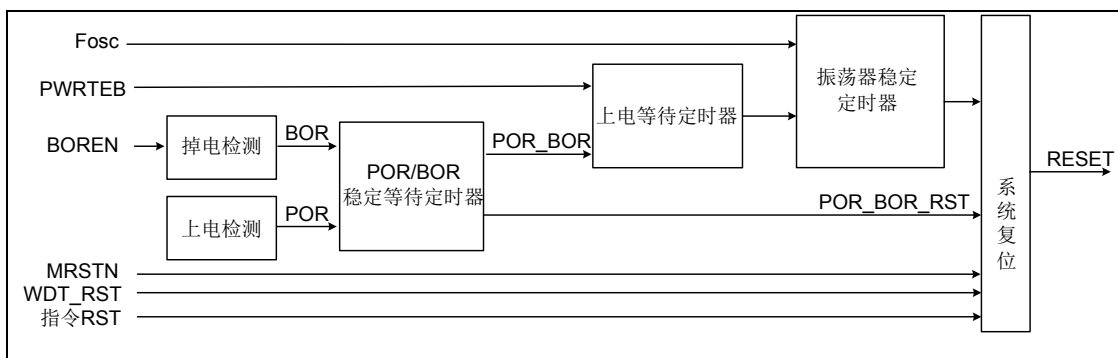


图 5-9 芯片复位原理图

5.3.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

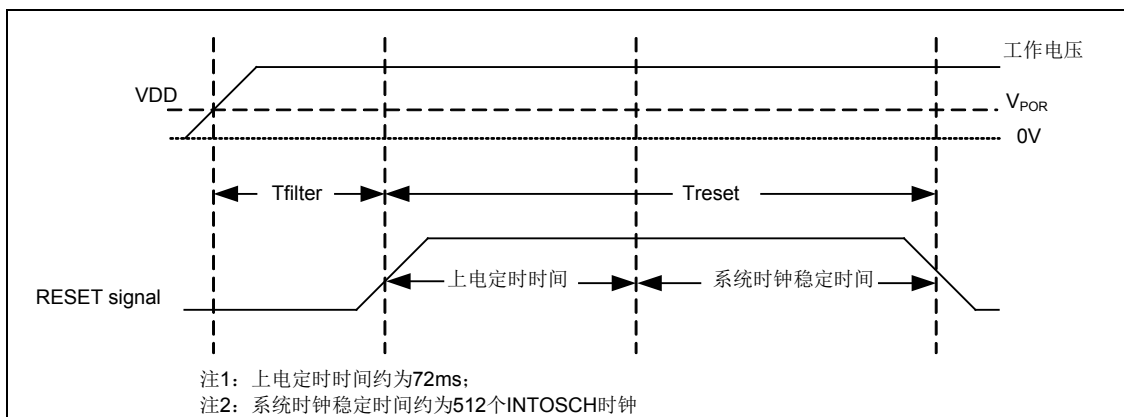


图 5-10 上电复位时序示意图

5.3.3 下电复位

下电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），下电复位可能会引起系统工作状态不正常或程序执行错误。

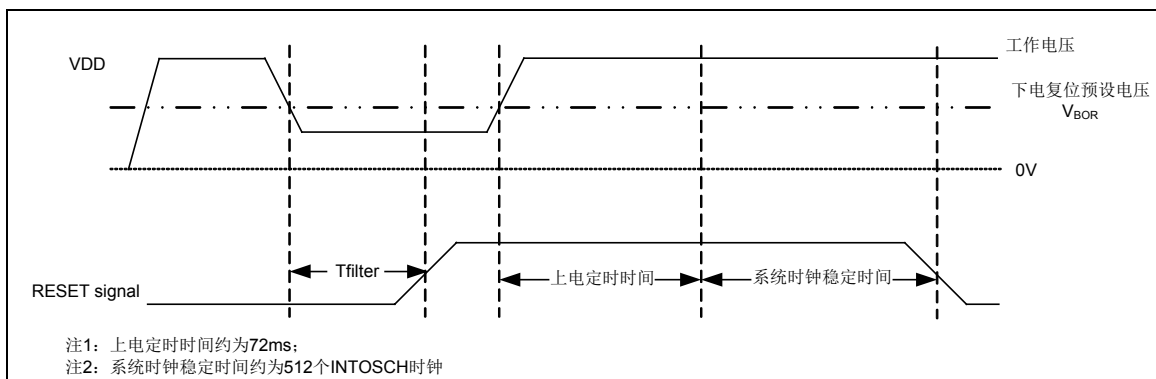


图 5-11 下电复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

注 2: 当配置为 HS/XT/INTOSCH 16MHz 模式时，晶振稳定时间为 512 x Tosc;

当配置为 LP 模式时，晶振稳定时间大约为 1S 左右。

芯片下电复位使能和下电复位电压点可通过配置字 BORVS<1:0>位配置。

BORVS<1:0>	下电复位电压点配置	下电复位使能
11	低于 3.4V 时芯片复位	使能
10	低于 2.7V 时芯片复位	使能
01	低于 2.2V 时芯片复位	使能
00	—	禁止

表 5-3 下电复位电压点配置表

5.3.4 外部MRSTN管脚复位

芯片提供外部 MRSTN 管脚，当 CFG_WD<5> (MRSTEN) 为 1 时，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。另外，需要特别注意的是，禁止将 MRSTN 管脚直接连接到 VDD 上；禁止 MRSTN 管脚上的电压高于 VDD 电压。

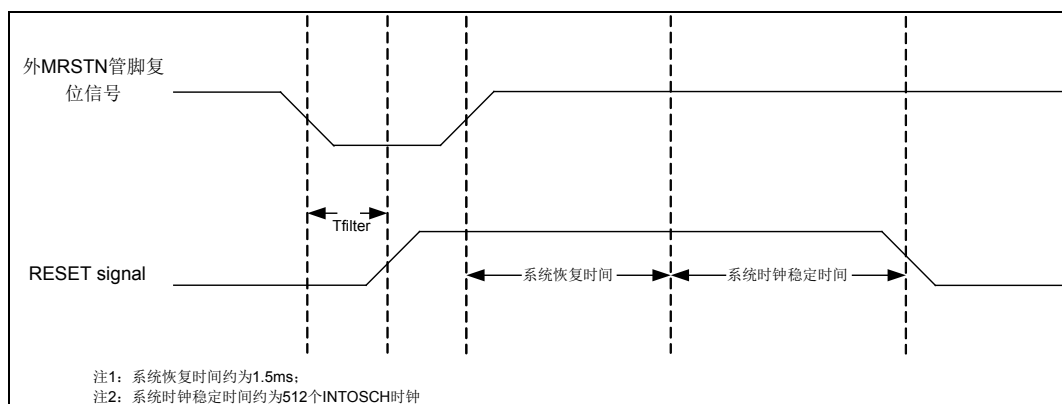


图 5-12 外部 MRSTN 管脚复位

外部 MRSTN 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

1. RC 复位

RC 复位电路是外部 MRSTN 脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

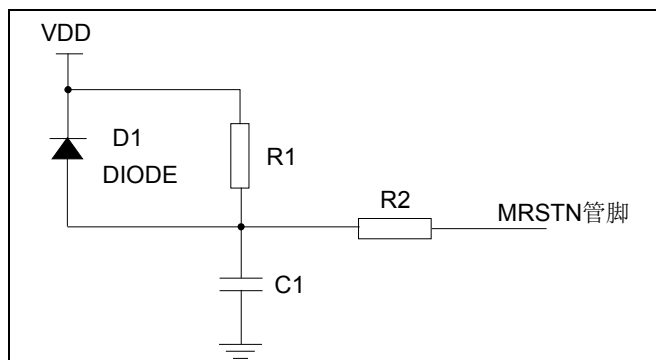


图 5-13 MRSTN 复位参考电路图 1

注：采用 RC 复位，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 μF)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

2. PNP 三极管复位

PNP 三极管复位电路适用于对电源干扰较强的场合。

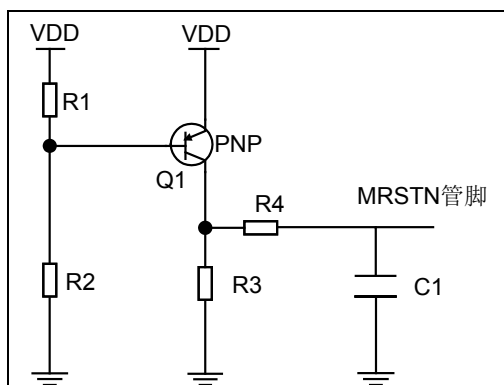


图 5-14 MRSTN 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μF) 接地，C1 另一端作为 MRSTN 输入。

5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

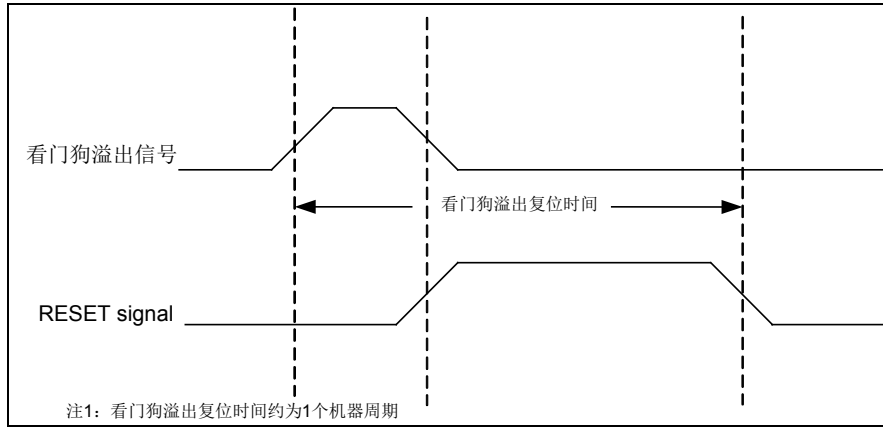


图 5-15 看门狗溢出复位

5.3.6 RST指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部状态位都将被影响。

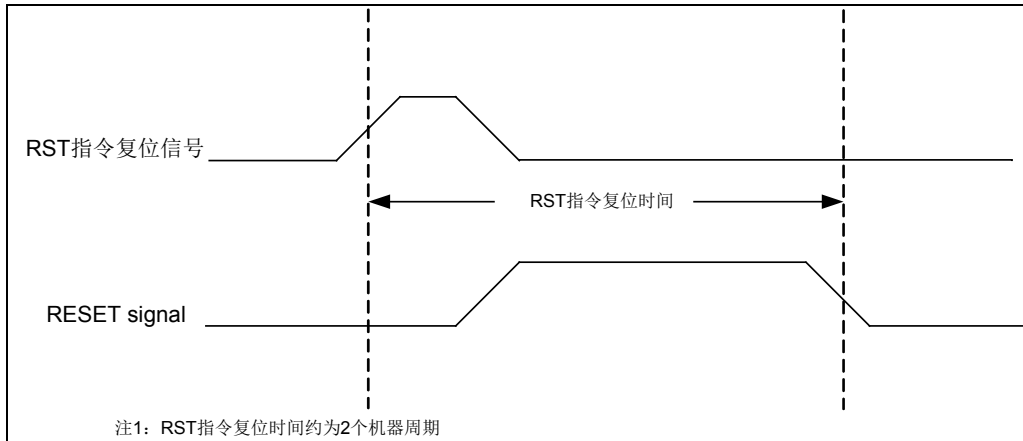


图 5-16 RST 指令复位

5.3.7 特殊功能寄存器

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
POR	0	1	0	1	1	1	0	x

“x”: 未知

- Bit 7 LPM: 休眠模式选择位
 0: IDLE0 模式
 1: IDLE1 模式
- Bit 6~5 VRST<1:0>: LDO 稳定时间控制寄存器
 当 CLKSS=1 时:
 00: LDO 稳定时间为 16 个内部 32KHz 时钟周期
 01: LDO 稳定时间为 32 个内部 32KHz 时钟周期
 10: LDO 稳定时间为 64 个内部 32KHz 时钟周期
 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
 当 CLKSS=0 时:
 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
 其它: LDO 稳定时间为 64 个内部 32KHz 时钟周期
- Bit 4 N_RSTI: 复位指令标志位
 0: 执行复位指令 (必须用软件置位)
 1: 未执行复位指令
- Bit 3 N_TO: WDT 溢出标志位
 0: WDT 计数溢出时被清零
 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2 N_PD: 低功耗标志位
 0: 执行 IDLE 指令后清零
 1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 N_POR: 上电复位状态位
 0: 上电复位发生 (上电复位后, 必须软件置位)
 1: 无上电复位发生
- Bit 0 N_BOR: 下电复位状态位
 0: 下电复位发生 (下电复位后, 必须软件置位)
 1: 无下电复位发生

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电。

5.4 低功耗操作

5.4.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式，通过设置 PWRC 寄存器位 LPM (PWRC<7>) 进行选择。

◆支持 IDLE0 模式

- 当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式：
- 时钟源停振（32KHz RC 时钟源除外），主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◆支持 IDLE1 模式

- 当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式：
- 时钟源保持运行，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

5.4.2 低功耗模式配置

两种低功耗模式 IDLE0 和 IDLE1 模式的选择由 PWRC 寄存器中的 LPM 位控制。当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式；当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式。

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 5-4 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，MRSTN 管脚必须处于逻辑高电平。如果产品封装引脚数小于最大引脚数，则未引出的和未使用的 I/O 管脚都需设置为输出低电平。

5.4.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒源	中断屏蔽	中断使能	中断模式	备注
1	MRSTN	-	-	-	外部复位
2	WDT	-	-	-	WDT 溢出
3	KINT0	KMSK0	KIE	默认	外部按键中断
	KINT1	KMSK1			
	KINT2	KMSK2			
	KINT3	KMSK3			
	KINT4	KMSK4			
	KINT5	KMSK5			
	KINT6	KMSK6			
4	PINT0	-	PIE0	默认	外部端口中断 0
5	PINT1	-	PIE1	默认	外部端口中断 1
6	PINT2	-	PIE2	默认	外部端口中断 2
7	PINT3	-	PIE3	默认	外部端口中断 3

表 5-5 休眠唤醒表

注 1: 低功耗唤醒与全局中断使能无关，只需相应中断源使能位置位为“1”即可。在低功耗模式时，若外设产生中断信号，即使全局中断使能 GIE 为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

注 2: 关于外部按键中断使用，当开启中断使能和中断屏蔽位使能前，先对端口寄存器进行读或者写的操作，然后清除中断标志位，以免误产生中断。

5.4.4 唤醒时序图

当唤醒事件发生后，芯片根据配置字 OSCS<2:0>的配置执行下述操作：

- ◇ 当 OSCS<2:0>配置为 HS/XT/INTOSCO/INTOSC 模式时：
 - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（由 VRST (PWRC<6:5>) 设定），此时间称为 LDO 稳定时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可通过 WKDC 寄存器设置；
 - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 时间。
- ◇ 当 OSCS<2:0>配置为 LP 模式时：
 - 在 IDLE0 模式 (LPM=0) 下，芯片需要先等待 VRwkdly 时间（由 VRST (PWRC<6:5>) 设定），此时间称为 LDO 稳定时间，接着芯片等待 LPwkdly 时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可通过 WKDC 寄存器设置；
 - 在 IDLE1 模式 (LPM=1) 下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 和 LPwkdly 时间。

OSCS 配置	低功耗模式	计算公式
所有模式	IDLE1 模式	$(WKDC[7:0]+1) \times 2 T_{osc}$
非 LP 模式	IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 T_{osc}$
LP 模式		$VRwkdly + LPwkdly + (WKDC[7:4] + 1) \times 16 \times 2 T_{osc}$

表 5-6 休眠唤醒时间表

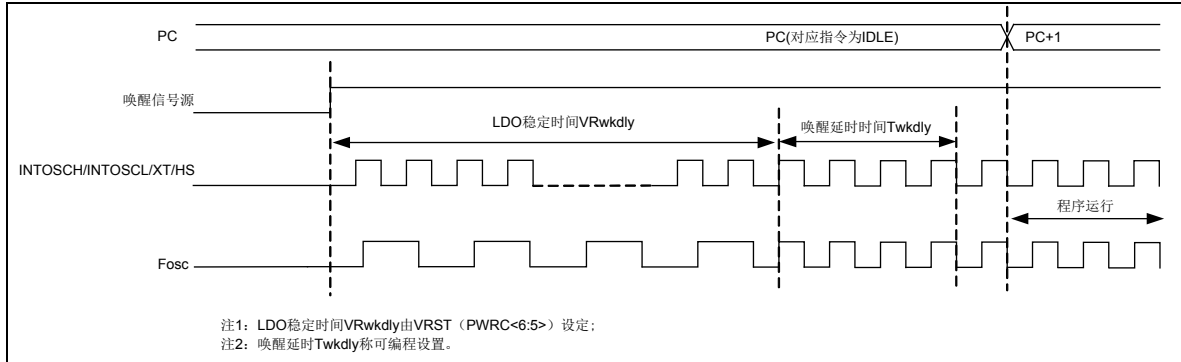


图 5-17 HS/XT/INTOSCO/INTOSC 模式时，系统唤醒 IDLE0 时序图

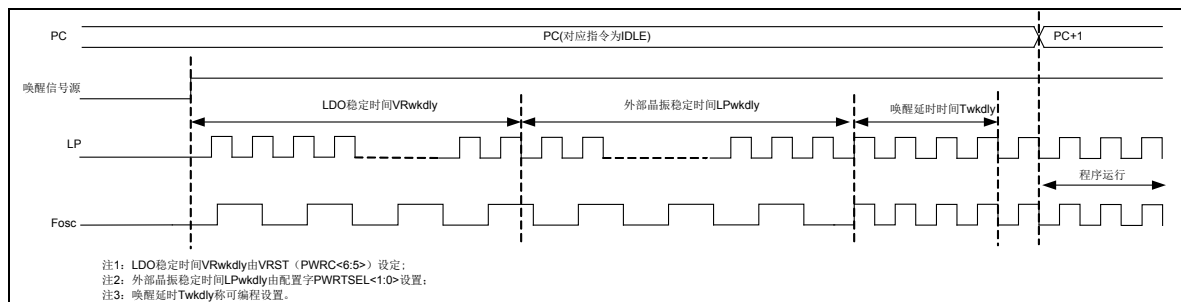


图 5-18 LP 模式时，系统唤醒 IDLE0 时序图

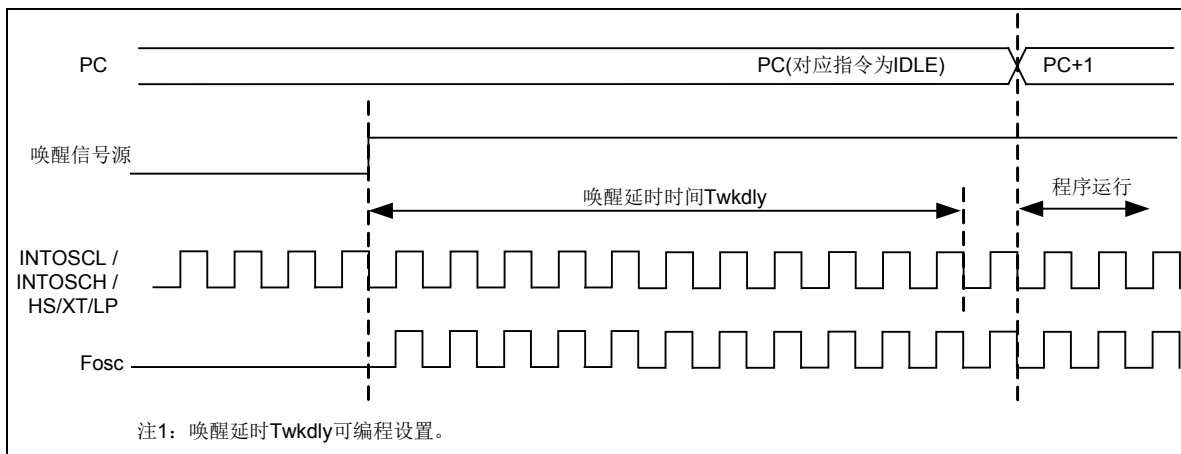


图 5-19 HS/XT/INTOSCO/INTOSC/LP 模式时，系统唤醒 IDLE1 时序图

5.4.5 特殊功能寄存器

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>: 唤醒延时时间设置位
 00H: 延时最短

 FFH: 延时最长

第 6 章 外设

6.1 8 位 PWM 时基定时器 (T8P1/T8P2)

6.1.1 概述

本芯片包含 2 组 PWM 时基定时器 (T8P1/T8P2)，支持两种工作模式，定时器模式和 PWM 模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。PWM 模式用于 PWM 输出。

- ◆ T8Pn 支持两种工作模式（时钟源为系统时钟 2 分频 (Fosc/2)）
 - 定时器模式
 - PWM 模式，支持最高 11 位 PWM 平均输出精度，支持 PWM 带死区互补输出，且死区时间软件可配置
- ◆ T8Pn 支持以下功能组件
 - 4 位的预分频器和 8 位后分频器（无实际物理地址，软件不可读写）
 - 8 位计数器 (T8Pn)
 - 8 位精度寄存器 (T8PnR)
 - 8 位周期寄存器 (T8PnP)
 - 8 位周期缓冲器 (PRDBUF，无实际物理地址，软件不可读写)
 - 8 位精度缓冲器 (RESBUF，无实际物理地址，软件不可读写)
 - 8 位 T8Pn PWM 死区控制寄存器 (T8PnPDT)
 - 控制寄存器 (T8PnC)
 - T8PnPEX 后分频比扩展寄存器 (T8P1PEX/T8P2PEX)
 - T8Pn 周期匹配控制寄存器 (T8P1PMC/T8P2PMC)
 - T8Pn 输出控制寄存器 (T8P1OC)
 - 8 位 T8Pn PWM 死区控制寄存器 (T8PnPDT)
- ◆ 中断和暂停
 - 支持匹配中断标志 (T8PnTIF) 和周期中断 (T8PnPIF)
 - 支持中断处理
 - 在 IDLE 模式下，T8Pn 暂停工作

6.1.2 内部结构图

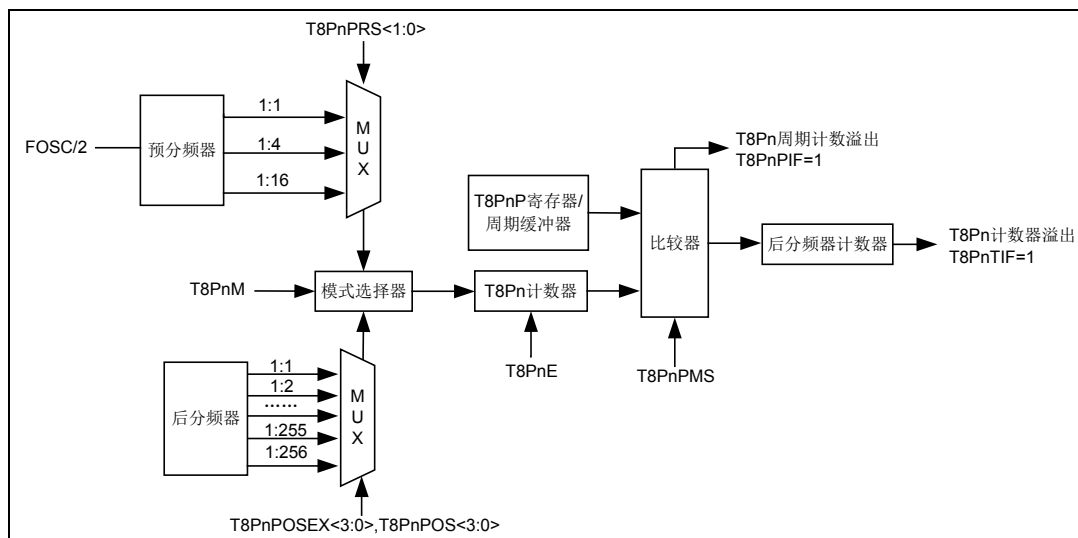


图 6-1 T8P1/T8P2 内部结构图

6.1.3 工作模式

8 位 PWM 时基定时器共有两个模式：定时器模式和 PWM 模式，通过 T8PnC 寄存器中的 T8PnM 位进行设置选择。

T8PnM	工作模式
0	定时器模式
1	PWM 模式

表 6-1 T8Pn 工作模式配置表

6.1.4 预分频器和后分频器

预分频器和后分频器可以提供一个更长的溢出和中断周期。T8Pn 模块计数器支持可配置的 4 位预分频器和可配置的 8 位后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Pn 的控制寄存器或计数器都会把预分频器和后分频器清零，但不改变分频比设置。预分频器的分频比可通过 T8PnC 寄存器中的 T8PnPRS<1:0>位进行设置，预分频比范围为 1:1~1:16。后分频器的分频比可通过 T8PnC 寄存器中的 T8PnPOS<3:0>位和后分频比扩展寄存器 T8PnPEX 中的 T8PnPOSEX<3:0>进行设置，后分频比范围为 1:1~1:256。

T8PnPRS<1:0>	T8PnPOSEX<3:0>,T8PnPOS<3:0>	T8Pn 匹配中断
00	00000000	计数器与周期寄存器匹配 1 次
00	00000001	计数器与周期寄存器匹配 2 次
00	00000010	计数器与周期寄存器匹配 3 次
00	00000011	计数器与周期寄存器匹配 4 次
00
00	11111110	计数器与周期寄存器匹配 255 次
00	11111111	计数器与周期寄存器匹配 256 次
其它值	—	—

表 6-2 T8P1/T8P2 后分频器配置表

6.1.5 工作模式

T8P1/T8P2 有两种工作模式，定时器模式和 PWM 模式，通过 T8PnM 寄存器进行模式选择。两种模式均支持预分频器和后分频器。两种模式下，T8Pn 计数器的时钟源均为系统时钟 2 分频（Fosc/2）。

6.1.6 定时器模式

当 T8PnM=0 且 T8PnE=1 时，T8Pn 工作在定时器模式。

在定时器模式下，T8Pn 计数器的时钟源为系统时钟 2 分频（Fosc/2），可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

在定时器模式下，当 T8PnPMS=0 时，不更新周期缓冲器 PRDBUF，T8Pn 的计数值与周期寄存器 T8PnP 进行比较匹配；当 T8PnPMS=1 时，更新周期寄存器 T8PnP 的值至周期缓冲器 PRDBUF，T8Pn 的计数值与周期缓冲器 PRDBUF 进行比较匹配。

当 T8Pn 的计数值与周期寄存器 T8PnP（当 T8PnPMS=0）或与周期缓冲器 PRDBUF（当 T8PnPMS=1）匹配相等时，将周期中断标志 T8PnPIF 置 1，该中断标志需要软件清零。同时 T8Pn 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时中断标志 T8PnTIF 置 1，该中断标志需要软件清零。

在定时器模式下，周期缓冲器 PRDBUF 的更新：

在定时器模式起始周期，为了能将周期寄存器 T8PnP 的值更新至周期缓冲器 PRDBUF，需满足以下顺序：先设置 T8PnM=0 且 T8PnPMS=1，再使能 T8PnE=1。

起始周期结束后，每次 T8Pn 的计数值与周期缓冲器 PRDBUF 匹配相等后，将自动更新周期缓冲器。

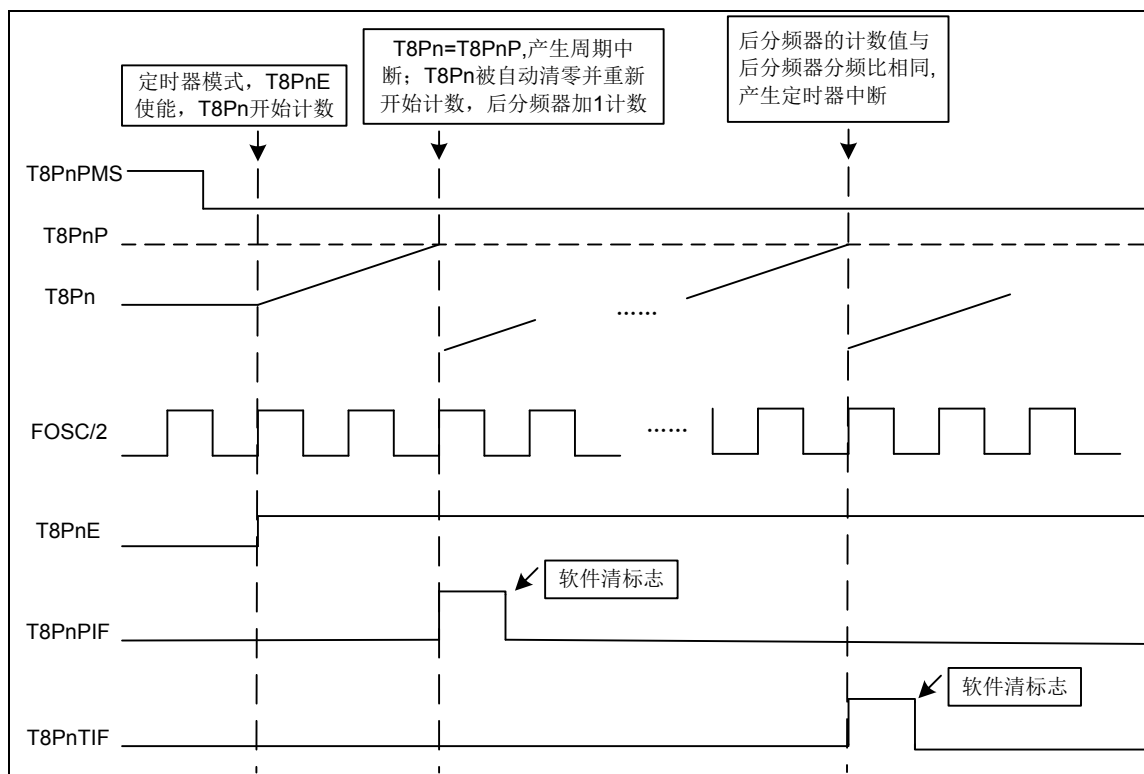


图 6-2 T8Pn 定时器模式时序图

6.1.7 PWM输出模式

当 $T8PnM=1$ 且 $T8PnE=1$ 时， $T8Pn$ 工作在 PWM 模式。

计数时钟源为系统时钟二分频 $Fosc/2$ ，并支持预分频器。后分频器的设置不影响 PWM 输出周期和占空比，只影响匹配中断 $T8PnTIF$ 中断标志位的产生，详见《T8Pn 后分频器配置表》。

在 PWM 模式下，PWM 输出由寄存器 $T8PnTRN$ 位控制。

当 $T8PnTRN=1$ 时，PWM 输出始终为 0，且不会更新 $T8PnP$ 和 $T8PnR$ 寄存器的值至周期缓冲器 $PRDBUF$ 和精度缓冲寄存器 $RESBUF$ 。

当 $T8PnTRN=0$ 时，PWM 输出波形才能启动，且 PWM 输出起始为 1，同时分别将 $T8PnP$ 和 $T8PnR$ 寄存器的内容更新至周期缓冲器 $PRDBUF$ 和精度缓冲寄存器 $RESBUF$ （缓冲器软件不可读写），随后 $T8Pn$ 从零开始递增计数，当 $T8Pn$ 与 $RESBUF$ 的值相等时，PWM 输出改变为 0，并继续递增计数。当 $T8Pn$ 的计数值与 $PRDBUF$ 相等时，PWM 输出恢复为 1，同时 $PRDBUF$ 和 $RESBUF$ 再次分别载入 $T8PnP$ 和 $T8PnR$ 寄存器的值，并产生周期中断 $T8PnPIF$ 中断标志，该中断标志需要软件清零。同时 $T8Pn$ 被自动清零并重新开始计数，后分频器加 1 计数。至此一个完整的 PWM 周期完成，随后继续循环新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时中断标志 $T8PnTIF$ 置 1，该中断标志需要软件清零。

在 PWM 模式下，精度缓冲器 $RESBUF$ 和周期缓冲器 $PRDBUF$ 的更新：

在 PWM 模式起始周期，为了能将 $T8PnP$ 和 $T8PnR$ 寄存器的值至周期缓冲器 $PRDBUF$ 和精度缓冲寄存器 $RESBUF$ ，需满足以下顺序：先设置 $T8PnM=1$ ， $T8PnPMS=1$ 和 $T8PnE=1$ ，

再设置 PWM 输出使能 T8PnTRN=0。

起始周期结束后，每次 T8Pn 的计数值与周期缓冲器 PRDBUF 匹配相等后，将自动更新周期缓冲器和精度寄存器。

- 注 1: 若精度缓冲器 RESBUF 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；
若精度缓冲寄存器 RESBUF 的值不小于 PRDBUF，则当前 PWM 周期内 PWM 输出始终为 1。
- 注 2: 在读取 T8PnTRN 位的状态时，读出此位的值为写入此位值的反逻辑，即，当此位写入 0 时，读出的值为 1；
当此位写入 1 时，读出的值为 0。
- 注 3: 若 T8PnTRN=1，则 PWM 输出 0，且周期缓冲器不更新（要么保持初始值 0xFF，要么为 T8PnTRN=0 时，最后一次更新过的值）。

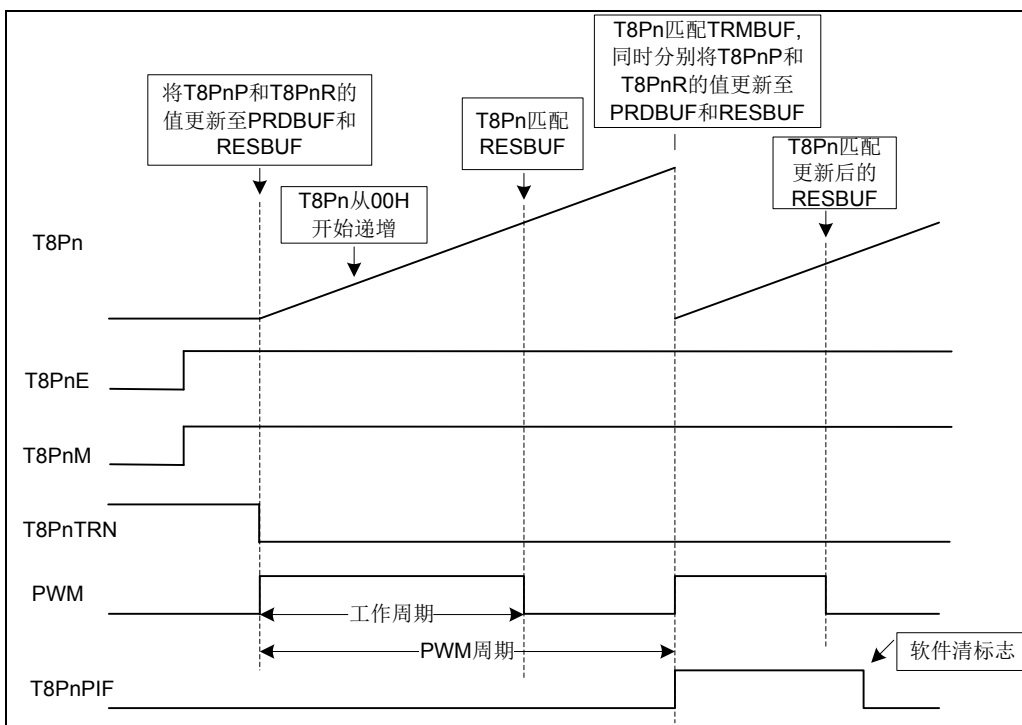


图 6-3 T8Pn PWM 模式示意图

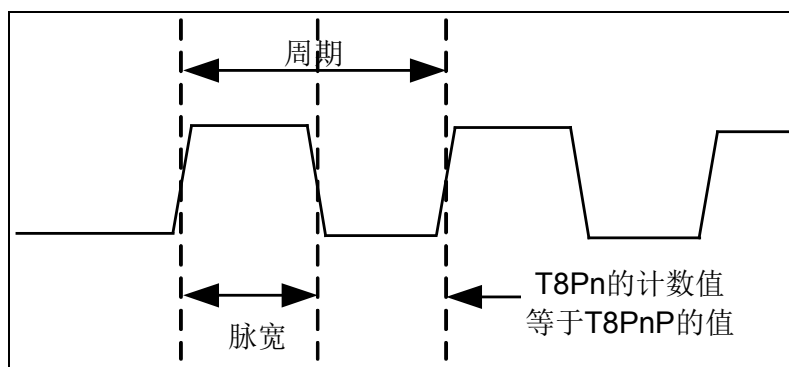


图 6-4 PWM 输出示意图

PWM 计算公式如下:

$$\text{PWM 周期} = [(T8PnP)+1] \times 2 \times T_{osc} \times (T8Pn \text{ 预分频倍数})$$

$$\text{PWM 频率} = 1/(\text{PWM 周期})$$

当选择 9 位 PWM 精度输出时:

$$\text{PWM 脉宽} = (\text{T8PnR} \times 2 + 1 + \text{T8PnREX}) \times \text{Tosc} \times (\text{T8Pn 预分频倍数})$$

PWM 精度寄存器 T8PnR 为 8 位寄存器, 同时增加 1 位 T8PnREX 作为 T8PnR 的最低位扩展, 脉宽控制基于系统时钟 Fosc 经过预分频器。

当选择 8 位 PWM 精度输出时:

$$\text{PWM 脉宽} = (\text{T8PnR} + 1) \times 2 \times \text{Tosc} \times (\text{T8Pn 预分频倍数})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的最大分辨率计算公式:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * [\text{预分频倍数}]}\right)}{\log 2}$$

注 1: $\text{Tosc} = 1/F_{osc}$, $F_{pwm} = 1/(\text{PWM 周期})$

6.1.8 PWM 平均精度扩展

PWM 的最大分辨率可达 9 位, 进一步细化 PWM 输出精度, 可通过设置扩展精度位 T8PxRE<1:0> (T8PxOC<5:4>) 进行 PWM 平均精度扩展。此应用模式原理是采用对连续输出波形脉宽进行间隔地加 1 (加 1 个 LSB, 即脉宽增加了 1 个 $\text{Tosc} \times [\text{预分频倍数}]$ (见 PWM 计算公式)), 实现 PWM 波形占空比的平均值细化。

扩展精度位可设置 0, 1/4, 2/4, 3/4 共 4 个精度扩展值, 相当于将 PWM 平均精度扩展 2 位。

例如, 当扩展精度设置为 2/4, 即 4 个 PWM 脉宽中有 2 个脉宽的宽度增加 1 个 LSB, 且增加 1 个 LSB 的脉宽均匀分布在 4 个脉宽中, 如下图所示, 假设脉宽宽度为 n, 则 4 个开关周期 (PWM 周期) 的平均脉宽为 $n+1/2$, 从而在不提高时钟频率的情况下, 等效实现了较高分辨率的 PWM。

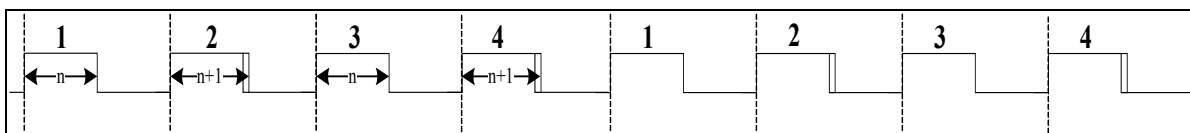


图 6-1 PWM 精度扩展示意图

6.1.9 PWM 复用输出端口

T8Pn 各支持一对互补的 PWM 输出端口, PWMn0 和 PWMn1, 支持可调死区时间配置, 死区时间可由 T8PnPDT 寄存器设置。

PWM 死区延时时间计算公式: $\text{T8PnPDT} < 7:0 > \times \text{Tosc}$ 。

通过设置 T8PnOC 寄存器中的 T8PnPEN<1:0>和 T8PnNEN<1:0>, 选择 T8Pn 的 PWMn0 和 PWMn1 与 I/O 复用的输出管脚。

PWMn0 的输出极性可通过寄存器 ANS<7:6> (PWM20NS, PWM10NS) 进行设置。

值得注意的是, 在使能 PWM 输出前, 需先将与 PWM 复用的相应 I/O 端口的控制寄存器位 PxT 设置为输出状态, 否则将无 PWM 波形输出。

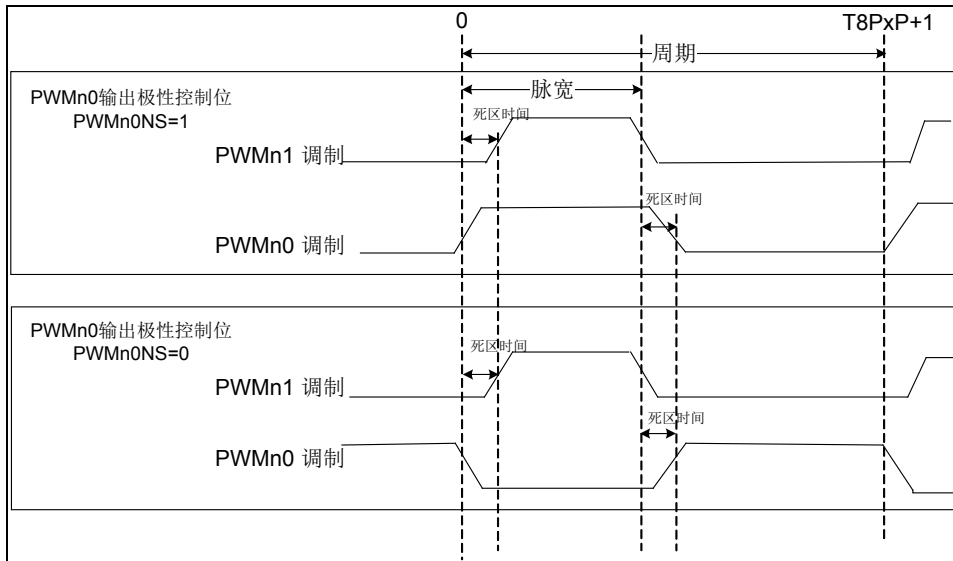


图 6-5 带死区互补 PWM 输出示意图

6.1.10 特殊功能寄存器

T8Pn: T8Pn 计数器(T8P1/T8P2)								
Bit	7	6	5	4	3	2	1	0
Name	T8Pn <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8Pn <7:0>: 8 位 T8Pn 计数值, 00H~FFH

T8PnP: T8Pn 周期寄存器(T8P1P/T8P2P)								
Bit	7	6	5	4	3	2	1	0
Name	T8PnP <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T8PnP <7:0>: PWM 周期值

T8PnR: T8Pn 精度寄存器 (T8P1R/T8P2R)								
Bit	7	6	5	4	3	2	1	0
Name	T8PnR <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PnR <7:0>: 8 位精度寄存器

T8PnC: T8Pn 控制寄存器(T8P1C/ T8P2C)									
Bit	7	6	5	4	3	2	1	0	
Name	T8PnM	T8PnPOS<3:0>				T8PnE	T8PnPRS<1:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	0	0	0	0	0	0	0	0	

Bit 7 T8PnM: T8Pn 工作模式选择位

0: 定时器模式

1: PWM 模式

Bit 6~3 T8PnPOS<3:0>: T8Pn 后分频器分频比选择位

0000: 分频比为 1:1

0001: 分频比为 1:2

0010: 分频比为 1:3

...

1111: 分频比为 1:16

8 位后分频器的分频比可通过后分频比扩展寄存器 T8PnPEX 中的后分频比高 4 位扩展位 T8PnPOSEX<3:0>与后分频比低 4 位选择位 T8PnPOS<3:0>设置, 分频比范围为 1:1~1:256。

Bit 2 T8PnE: T8Pn 模块使能位

0: 关闭

1: 使能

Bit 1~0 T8PnPRS<1:0>: T8Pn 预分频器分频比选择位

00: 分频比为 1:1

01: 分频比为 1:4

1x: 分频比为 1:16

T8PnPEX: T8Pn 后分频器后分频比扩展寄存器 (T8P1PEX/T8P2PEX)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T8PnPOSEX<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 T8PnPOSEX<3:0>: 后分频比高 4 位扩展位

T8PnPMC: T8Pn 周期匹配控制寄存器 (T8P1PMC/T8P2PMC)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	T8PnRS	T8PnPMS
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~2 保留未用

Bit 1 T8PnRS: PWM 输出精度选择位

1: 9 位 PWM 输出精度

0: 8 位 PWM 输出精度

Bit 0 T8PnPMS: 定时器模式下周期匹配选择位

- 0: T8Pn 计数值与周期寄存器 T8PnP 进行匹配
- 1: T8Pn 计数值与周期缓冲器 PRDBUF 进行匹配

T8P1OC: T8P1 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8P1TRN	T8P1REX	T8P1RE<1:0>		T8P1NEN<1:0>		T8P1PEN<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P1TRN: PWM 输出使能位
 1: 停止 (波形复位, 计数器复位)
 0: 使能 (波形产生)
- Bit 6 T8P1REX: PWM 模式扩展精度位
- Bit 5~4 T8P1RE<1:0>: T8P1 的 PWM1 平均精度扩展位
 00: 0
 01: 1/4
 10: 2/4
 11: 3/4
- Bit 3~2 T8P1NEN<1:0>: T8P1 的 PWM1 互补输出管脚选择位
 00: PWM10 输出关闭
 01: PA2 输出 PWM10
 10: PB1 输出 PWM10
 11: PB3 输出 PWM10
- Bit 1~0 T8P1PEN<1:0>: T8P1 的 PWM1 输出管脚选择位
 00: PA1 输出 PWM11
 01: PB0 输出 PWM11
 10: PA6 输出 PWM11
 11: PB2 输出 PWM11

T8P2OC: T8P2 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8P2TRN	T8P2REX	T8P2RE<1:0>		T8P2NEN<1:0>		T8P2PEN<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P2TRN: PWM 输出使能位
 1: 停止 (波形复位, 计数器复位)
 0: 使能 (波形产生)
- Bit 6 T8P2REX: PWM 模式扩展精度位
- Bit 5~4 T8P2RE<1:0>: T8P2 的 PWM2 平均精度扩展位
 00: 0
 01: 1/4
 10: 2/4
 11: 3/4
- Bit 3~2 T8P2NEN<1:0>: T8P2 的 PWM2 互补输出管脚选择位
 00: PWM20 输出关闭

- 01: PB0 输出 PWM20
- 10: PA6 输出 PWM20
- 11: PB2 输出 PWM20
- Bit 1~0 T8P2PEN<1:0>: T8P2 的 PWM2 输出管脚选择位
 - 00: PA2 输出 PWM21
 - 01: PB1 输出 PWM21
 - 10: PB3 输出 PWM21
 - 11: PWM21 输出关闭

T8PnPDT: T8Pn PWM 死区控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8PnPDT <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PnPDT <7:0>: PWM 死区延时时间 T8PnPDT x Tosc

6.2 模/数转换器模块 (ADC)

6.2.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。该芯片支持 12-bit 6+2 通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◆ 模/数转换器特性

- 12 位 ADC 采样精度
- 6 个模拟输入+2 个电源电压检测通道可选
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 支持外部或内部参考电压可选择
- 支持电源电压检测，电源分压比可选，常温条件下电源分压比精度为±1%
- 支持可配置 A/D 转换时钟
- 时钟源来自系统时钟 Fosc

◆ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCCL, ADCCH)
- 端口类型选择寄存器 (ANS)
- ADC 自动触发寄存器 (ADCTR)

◆ 中断和暂停

- 支持 A/D 转换中断 (ADIE/ADIF)

6.2.2 ADC内部结构图

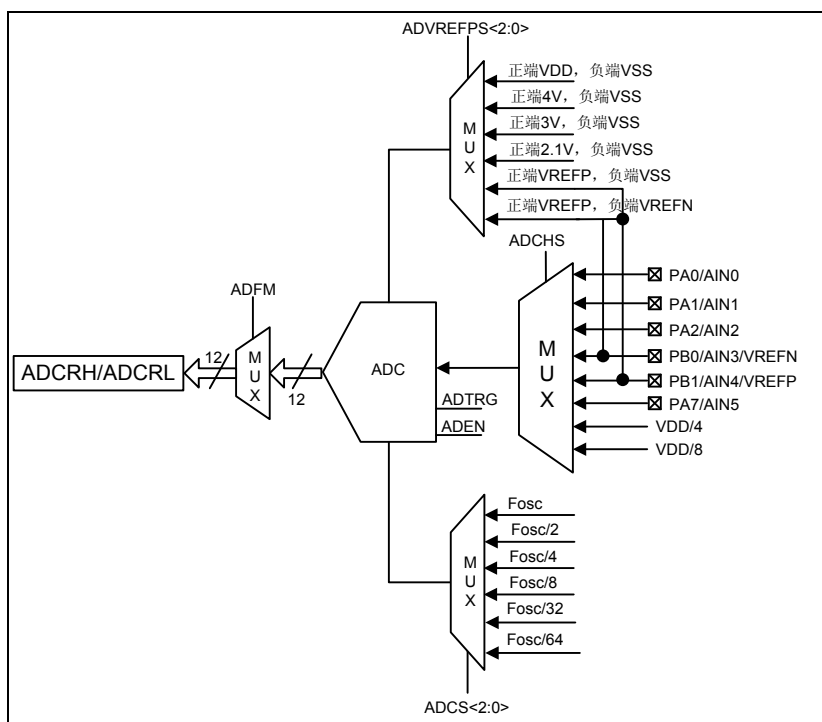


图 6-6 ADC 内部结构图

6.2.3 ADC配置

ADC 电路使用前,需根据需要对以下几个方面进行正确的配置,才可得到需要的正确转换结果。

时钟选择

ADC 电路所需要的时钟有 7 组可选, $F_{osc} \sim F_{osc}/64$, 可通过 ADCCH 寄存器选择所需要的时钟。

参考电压选择

ADC 电路分别使用一个正参考电压和一个负参考电压,对应外部参考电压输入脚分别为 VREFP 和 VREFN。由于该两个外部输入脚分别与 PB1/AIN4、PB0/AIN3 复用,在使用这两个外部参考电压输入时,需先通过 ANS 寄存器正确设置复用端口的类型。正参考电压可通过 ADVREFS <2:0>位选择 VDD、4V、3V、2.1V 或者是 VREFP 复用端口,负参考电压对应地选择 VSS 或者是 VREFN 复用端口。在正端参考电压选择 2.1V 时,需先根据 VDD 电压通过 AD2VCALS 位 (ADCTR<0>) 正确设置 A/D 2.1V 参考电压调校信息。

采样时间选择

本芯片支持 ADC 电路的采样时间可选,可通过 ADCCH 寄存器中的 ADST <3:0>位选择大约 1~15 个 Tadc 共 15 种选项。

复用端口类型选择

本芯片中 ADC 电路的所有模拟输入通道 AINn、参考电压外部输入脚均和 PA/PB 端口复用,在使用 ADC 电路转换前,须先将所使用的管脚通过 ANS 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前,需先选择 A/D 模拟通道。本芯片 ADC 电路支持 6 个外部通道和 2 个电源电压检测通道可选,外部通道分别为 AIN0~AIN5,两个电源电压检测通道分别为 VDD/4 和 VDD/8。A/D 模拟通道选择哪个通道可通过 ADCCL 寄存器中的 ADCHS <2:0>位选择。

对齐方式选择

本芯片 ADC 电路转换的结果支持两种对齐方式,低位对齐和高位对齐,可通过 ADCCH 寄存器中的 ADFM 位进行选择。

ADC 模块转换触发方式选择

本芯片 ADC 模块支持两种 A/D 转换触发方式:软件触发和 PWM 自动触发。

在 ADC 模块转换使能位 ADEN (ADCCL<0>) 使能后,通过软件将 ADC 转换状态位 ADTRG (ADCCL<1>) 置“1”,ADC 模块开始进行转换,此为软件触发 A/D 转换;在 ADC 模块转换使能位 ADEN (ADCCL<0>) 和 PWM 自动触发 ADC 使能位 TRIGEN (ADCTR<4>) 都使能后,由 PWM 边沿触发信号致使 ADTRG 位自动置为“1”,ADC 模块开始进行转换,此种为 PWM 自动触发。

PWM 自动触发源可选择来自 PWMn1 信号,通过自动触发源选择位 TRIGS (ADCTR<6>) 进行选择,PWM 自动触发边沿可通过 TRIGPEG 位 (ADCTR<5>) 选择 PWM 上升沿或下降沿触发。

值得注意的是,在使用 PWM 自动触发 ADC 时,建议先查询 ADTRG 位的当前状态。若

查询到 ADTRG 位为“1”时,此段时间的 PWM 边沿自动触发信号都将被忽略,直至 ADTRG 位的状态恢复为“0”后,系统再次检测到 PWM 边沿自动触发信号,才会响应 PWM 自动触发 ADC 模块进行转换。

6.2.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 选择 ADC 转换时钟,通过 ADCCH 寄存器中的 ADCS <2:0>选择 ADC 转换时钟。

Step 2: 选择正负参考电压,通过 ADCCL 寄存器中的 ADVREFNS 位进行选择。

Step 3: ADC 采样时间选择,通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST <3:0> 设定。

Step 4: 设置复用端口设为模拟类型,即选择哪些管脚作为 ADC 转换输入管脚,由端口类型选择寄存器 ANS 控制选择。

Step 5: 选择模拟信号输入通道 AINx,通过 ADCCL 寄存器中的 ADCHS <2:0>选择 ADC 模拟通道。

Step 6: 设置转换结果对齐方式,通过 ADCCH 寄存器中的 ADFM 位选择高位对齐放置还是低位对齐放置。

Step 7: 如果要使用中断,则中断控制寄存器需要正确地设置,以确保 A/D 中断功能被正确激活。在中断模式时,需将全局中断使能位 GIE 置位为“1”和 ADC 中断使能位置位为“1”。

Step 8: 使能 ADC 电路,将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 9: 选择 ADC 模块转换触发方式为软件触发还是 PWM 自动触发。若选择软件触发,将 ADCCL 寄存器中的 ADC 转换启动位 ADTRG 位设置为“1”,开始进行 ADC 转换;若选择 PWM 自动触发,需先设置 TRIGS 位选择自动触发源和 TRIGPEG 位选择 PWM 自动触发边沿,设置 PWM 自动触发 ADC 使能位 TRIGEN 为“1”。在 PWM 自动触发 ADC 模块转换设置完成后,自动边沿触发信号会自动将 ADTRG 位置为“1”,开始进行 ADC 转换。

Step 10: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位,确定此次 A/D 转换是否完成。

Step 11: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

6.2.5 AD时序特征示意图

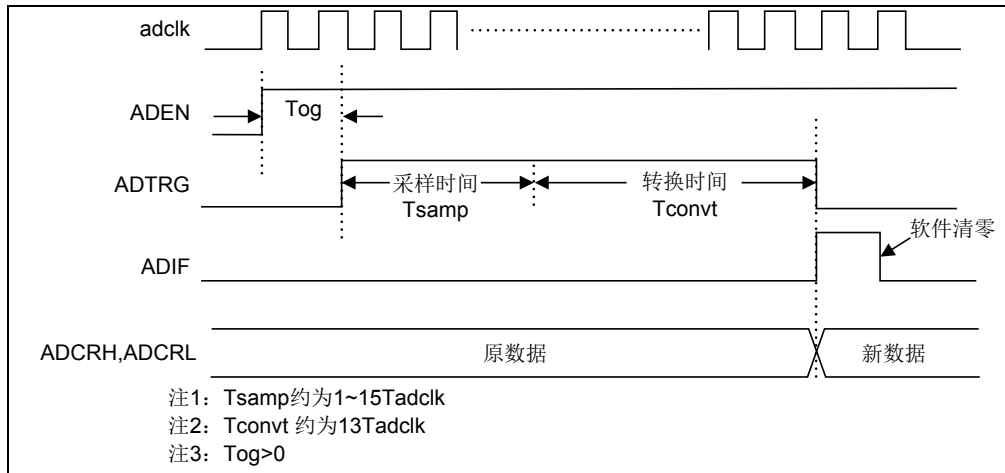


图 6-7 ADC 时序特征示意图

6.2.6 ADC应用例程

应用例程：对模拟输入通道 0 (AIN0 进行模数转换)

```

BCC    ANS,0           ; AIN0 所在端口配置为模拟端口
BCC    ADCCH, ADFM     ; 转换结果高位对齐放置
MOVI   0X01
MOVA   ADCCL           ; 使能 ADC 转换器，选中通道 0
BSS    ADCCL, ADTRG    ; 触发 ADC 转换
AD_WAIT:
JBC    ADCCL, ADTRG    ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH, 0        ; 读取高 8 位转换结果
... ..
MOV    ADCRL, 0        ; 读取低 4 位转换结果
... ..
    
```

6.2.7 特殊功能寄存器

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	ADCR<11:8>				ADCR<7:0>							
0	ADCR<11:4>								ADCR<3:0>				—	—	—	—

ADCR<11:0>: A/D 转换结果

ADCCL: ADC 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADVREFS<2:0>			ADCHS<2:0>			ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 ADVREFS <2:0>: 参考电压源选择位

- 000: ADC 参考电压正端为 VDD, 负端为 VSS
- 001: ADC 参考电压正端为 4.0V, 负端为 VSS
- 010: ADC 参考电压正端为 3.0V, 负端为 VSS
- 011: ADC 参考电压正端为 2.1V, 负端为 VSS
- 100: ADC 参考电压正端为外部 VREFP, 负端为 VSS
- 101: ADC 参考电压正端为外部 VREFP, 负端为 VREFN
- 其他: 保留

Bit 4~2 ADCHS <2:0>: A/D 模拟通道选择位

- 000: 通道 0 (AIN0)
- 001: 通道 1 (AIN1)
- 010: 通道 2 (AIN2)
- 011: 通道 3 (AIN3)
- 100: 通道 4 (AIN4)
- 101: 通道 5 (AIN5)
- 110: VDD/4
- 111: VDD/8

Bit 1 ADTRG: ADC 转换状态位

- 0: ADC 未进行转换, 或 A/D 转换已完成
- 1: ADC 转换正在进行, 该位置 1 启动 A/D 转换

Bit 0 ADEN: ADC 使能位

- 0: 关闭
- 1: 使能

ADCCH: ADC 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCS<2:0>			ADST<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	0	0	0

- Bit 7 ADFM: ADC 转换数据格式选择位
 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)
- Bit 6~4 ADCS <2:0>: ADC 时钟选择位
 000: Fosc
 001: Fosc/2
 010: Fosc/4
 011: Fosc/8
 100: Fosc/16
 101: Fosc/32
 110: Fosc/64
 111: 保留
- Bit 3~0 ADST <3:0>: A/D 采样时间选择位
 0000: 禁止使用
 0001~1111: ADC 采样时间分别对应 1~15 个 ADC 时钟(默认值为 8)

ADCTR: ADC 自动触发寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	TRIGS	TRIGPEG	TRIGEN	—	—	—	AD2VCALS
R/W	—	R/W	R/W	R/W	—	—	—	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7, 3~1 保留未用
- Bit 6 TRIGS: 自动触发源选择位
 0: PWM11
 1: PWM21
- Bit 5 TRIGPEG: PWM 自动触发 ADC 边沿选择位
 0: PWM 上升沿
 1: PWM 下降沿
- Bit 4 TRIGEN: PWM 自动触发 ADC 使能位
 0: 禁止
 1: 使能
- Bit 0 AD2VCALS: A/D 正端参考电压 2.1V 调校信息选择位
 0: VDD=5V 时的 A/D 正端参考电压 2.1V 调校值
 1: VDD=3V 时的 A/D 正端参考电压 2.1V 调校值

6.3 低电压检测模块 (LVD)

6.3.1 概述

芯片内置一组低电压检测模块，支持低电压检测功能，即 LVD，该功能使能用于监测电源电压 VDD。在供电电源不稳定的情况下，像外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈振荡。在目标电压未稳定时，可能就会低于工作电压。若所需检测的电压低于一定值可提供一个警告信号。低电压检测也可产生中断信号。

6.3.2 LVD操作

LVD 功能的禁止使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零，LVD 功能禁止。当 LVDEN 位置高，LVD 功能使能。LVD 模块将电源电压 VDD 与预置电压进行比较，比较结果通过 LVDC 寄存器的 LVDLS 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDV<1:0>配置，预置电压范围为 2.1V~3.6V。当目标电压低于预置电压值时，LVDLS 位被置为高，表明检测到低电压产生，产生 LVD 中断标志。当 LVD 中断使能开启时产生 LVD 中断请求。

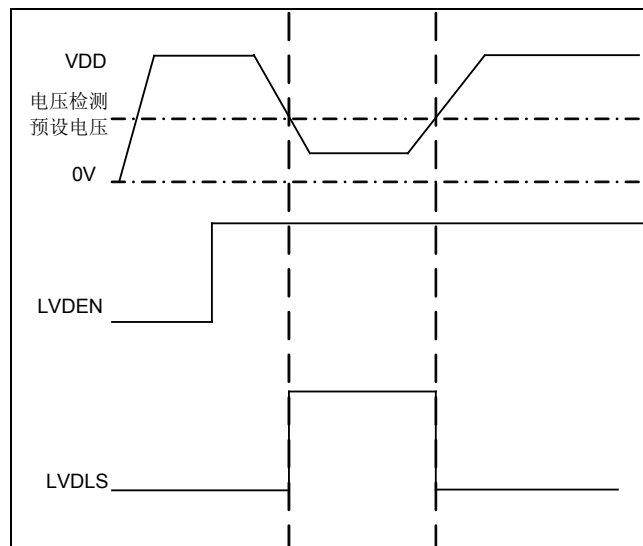


图 6-8 LVD 工作时序图

6.3.3 特殊功能寄存器

LVDC: LVD 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDLS	—	—	LVDEN	—	—	LVDV<1:0>	
R/W	R	—	—	R/W	—	—	R/W	R/W
POR	0	0	0	1	0	0	0	0

Bit 7 LVDLS: LVD 电压检测状态位

0: 电源电压高于预设电压

1: 电源电压低于预设电压

Bit 6~5,3~2 保留未用

Bit 4	LVDEN: LVD 使能位
	0: 禁止
	1: 使能
Bit 2~0	LVDV<1:0>: LVD 电压检测选择位
	00: 2.1V
	01: 2.4V
	10: 3.0V
	11: 3.6V

第 7 章 中断处理

7.1 概述

中断是芯片一个重要功能。它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片仅支持默认中断模式，最多可支持 12 个中断源，1 个软件中断和 11 个硬件中断。

7.2 内部结构

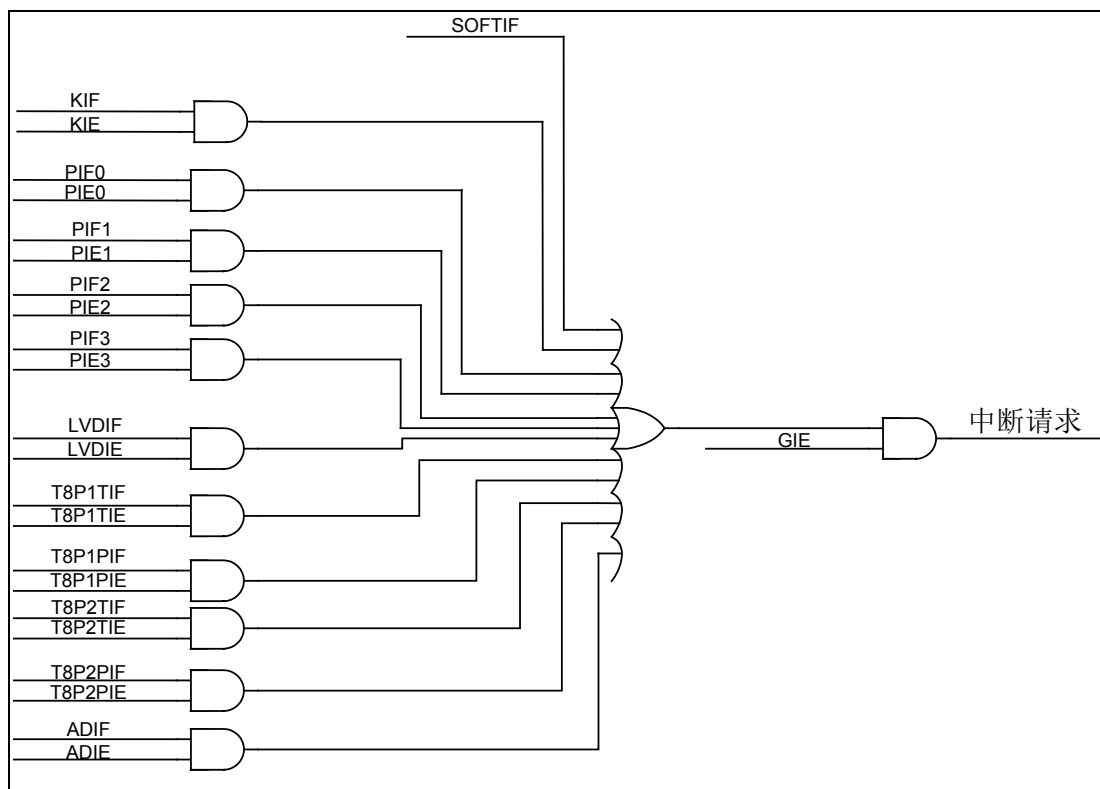


图 7-1 中断控制逻辑

7.2.1 默认中断模式

本芯片仅支持默认中断模式，所有中断向量的入口地址均位于 004_H。用户需通过中断子程序判断各中断源的标志位及使能位区分是由哪个中断源引起的中断，从而执行相应的中断服务子程序。

序号	中断名	中断标志	中断屏蔽	中断使能	全局使能	中断入口地址
1	软中断	SOFTIF	-	-	GIE	004H
2	KINT0	KIF	KMASK0	KIE	GIE	
	KINT1		KMASK1			
	KINT2		KMASK2			
	KINT3		KMASK3			
	KINT4		KMASK4			

序号	中断名	中断标志	中断屏蔽	中断使能	全局使能	中断入口地址
	KIN5		KMSK5			
	KIN6		KMSK6			
	KIN7		KMSK7			
3	PINT0	PIF0	-	PIE0	GIE	
4	PINT1	PIF1	-	PIE1	GIE	
5	PINT2	PIF2	-	PIE2	GIE	
6	PINT3	PIF3	-	PIE3	GIE	
7	LVDINT	LVDIF	-	LVDIE	GIE	
8	T8P1TINT	T8P1TIF	-	T8P1TIE	GIE	
9	T8P1PINT	T8P1PIF	-	T8P1PIE	GIE	
10	T8P2TINT	T8P2TIF	-	T8P2TIE	GIE	
11	T8P2PINT	T8P2PIF	-	T8P2PIE	GIE	
12	ADINT	ADIF	-	ADIE	GIE	

表 7-1 默认中断模式中中断逻辑表

7.3 中断现场保护

中断现场保护是中断程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以用来实现中断的数据保存。可以保存的数据包括：累加器 A 寄存器、程序状态字寄存器 PSW、IAA 寄存器和 PCRH 寄存器。其它数据寄存器的保护需采用其它指令实现。可以连续进行 2 次 PUSH，第 3 次 PUSH 会使得第一次 PUSH 的数据丢失。同样，超过 2 次的连续 POP，第 3 次 POP 恢复的数据不可预期。

7.4 中断操作

7.4.1 中断使能位GIE的操作

每个硬件中断源都有各自的中断使能和中断标志位，因此初始化相应的硬件中断时，需要先清除中断标志位，再使能当前中断。若使能前不先清除中断标志，则有可能发生误进中断的情况。除了每个中断支持中断使能外，本芯片还提供了一个全局中断。因此在初始化所有需要的中断后，请使能全局中断。

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应服务地址执行需满足以下条件：

1. 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务地址执行。
2. 当全局中断使能位 GIE 为“0”，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”，程序将跳至中断服务地址执行。

为确保对寄存器 GIE 的软件写操作成功，需按如下步骤进行：

1. 对 GIE 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIE 位清 0；或在 GIE 位清 0 操作后，查询 GIE 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；

对 GIE 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 GIE 位置 1。

7.4.2 外部中断

当 PINTn 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTn 外部端口中断，相应的中断标志 PIFn 被置“1”。当全局中断控制位 GIE 和外部端口中断控制位 PIEn 都被置为“1”，则向 CPU 发出 PINTn 外部端口中断请求。当中断条件允许，系统将进入中断服务程序入口地址，进行中断程序处理。

值得注意的是，相应中断标志位 PIFn 和中断使能位 PIEn 都需通过软件清除，INTC1 寄存器中的 PEGn 位用于配置触发条件，可分别配置为上升沿触发或下降沿触发。

7.4.3 外部按键中断

当 KINn 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 位使能后，则向 CPU 发出外部按键中断请求。当外部按键中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKn=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤：

- 1) 对端口寄存器进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

7.4.4 T8Pn(T8P1/T8P2)定时中断

8 位 PWM 时基定时器 T8Pn 处于定时器模式和 PWM 模式时，对计数时钟进行递增计数，当 T8Pn 后分频器的计数值与后分频器分频比相同时，将中断标志 T8PnTIF 位置“1”。当 T8Pn 定时中断使能位 T8PnTIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 T8Pn 定时中断请求。当 T8Pn 定时中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，T8Pn 定时中断标志位 T8PnTIF 和中断使能位 T8PnTIE 都需通过软件清除。

7.4.5 T8Pn(T8P1/T8P2)周期中断

8 位 PWM 时基定时器 T8Pn 处于定时器模式和 PWM 模式时，都可以产生周期中断。当 T8Pn 计数器与 T8PnP 寄存器的值相等时（PWM 模式时，T8Pn 从零开始递增计数），将产生 T8Pn 周期中断，中断标志 T8PnPIF 被置“1”。如果中断使能位 T8PnPIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 T8Pn 周期中断请求。当 T8Pn 周期中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，T8Pn 周期中断标志位 T8PnPIF 和中断使能位 T8PnPIE 都需通过软件清除。

7.4.6 ADC中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断控制位 ADIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 ADC 中断请求。当 ADC 中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.4.7 LVD中断

当 VDD 电压小于 LVDC 寄存器设置阈值电压时，低电压产生，LVDLS 上升沿或下降沿触发后，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 LVD 中断请求。当 LVD 中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.4.8 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

7.5 特殊功能寄存器

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	T8P2PIF	T8P1PIF	ADIF	LVDIF	—	T8P2TIF	T8P1TIF	KIF
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P2PIF: T8P2 周期中断标志位
 0: T8P2 计数器计数未发生匹配
 1: T8P2 计数器计数发生匹配 (必须软件清零)
- Bit 6 T8P1PIF: T8P1 周期中断标志位
 0: T8P1 计数器计数未发生匹配
 1: T8P1 计数器计数发生匹配 (必须软件清零)
- Bit 5 ADIF: ADC 中断标志位
 0: 未启动 ADC 转换, 或转换正在进行
 1: ADC 转换已完成 (必须软件清零)
- Bit 4 LVDIF: LVD 中断标志位
 0: 检测电压不曾低于预设值
 1: 检测电压低于预设值 (必须软件清零)
- Bit 3 保留未用
- Bit 2 T8P2TIF: T8P2 定时中断标志位
 0: T8P2 计数器计数未发生匹配
 1: T8P2 计数器计数发生匹配 (必须软件清零)
- Bit 1 T8P1TIF: T8P1 定时中断标志位
 0: T8P1 计数器计数未发生匹配
 1: T8P1 计数器计数发生匹配 (必须软件清零)
- Bit 0 KIF: 外部按键中断标志位
 0: 外部按键端口无电平变化
 1: 外部按键端口有电平变化 (必须软件清零)

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	T8P2PIE	T8P1PIE	ADIE	LVDIE	—	T8P2TIE	T8P1TIE	KIE
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P2PIE: T8P2 周期中断使能位
 0: 禁止 T8P2 中断
 1: 使能 T8P2 中断
- Bit 6 T8P1PIE: T8P1 周期中断使能位
 0: 禁止 T8P1 中断
 1: 使能 T8P1 中断
- Bit 5 ADIE: ADC 中断使能位
 0: 禁止 ADC 中断

- 1: 使能 ADC 中断
- Bit 4 LVDIE: LVD 中断使能位
 - 0: 禁止 LVD 中断
 - 1: 使能 LVD 中断
- Bit 3 保留未用
- Bit 2 T8P2TIE: T8P2 定时中断使能位
 - 0: 禁止 T8P2 中断
 - 1: 使能 T8P2 中断
- Bit 1 T8P1TIE: T8P1 定时中断使能位
 - 0: 禁止 T8P1 中断
 - 1: 使能 T8P1 中断
- Bit 0 KIE: 外部按键中断使能位
 - 0: 禁止 KIN0-7 按键中断
 - 1: 使能 KIN0-7 按键中断

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PIF3	PIF2	PIF1	PIF0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 保留未用
- Bit 3 PIF3: PINT3 端口中断标志位
 - 0: PINT3 端口上无中断信号
 - 1: PINT3 端口上有中断信号 (必须软件清零)
- Bit 2 PIF2: PINT2 端口中断标志位
 - 0: PINT2 端口上无中断信号
 - 1: PINT2 端口上有中断信号 (必须软件清零)
- Bit 1 PIF1: PINT1 端口中断标志位
 - 0: PINT1 端口上无中断信号
 - 1: PINT1 端口上有中断信号 (必须软件清零)
- Bit 0 PIF0: PINT0 端口中断标志位
 - 0: PINT0 端口上无中断信号
 - 1: PINT0 端口上有中断信号 (必须软件清零)

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PIE3	PIE2	PIE1	PIE0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 保留未用
- Bit 3 PIE3: PINT3 端口中断使能位
 - 0: 禁止 PINT3 端口中断
 - 1: 使能 PINT3 端口中断
- Bit 2 PIE2: PINT2 端口中断使能位

- 0: 禁止 PINT2 端口中断
- 1: 使能 PINT2 端口中断
- Bit 1 PIE1: PINT1 端口中断使能位
 - 0: 禁止 PINT1 端口中断
 - 1: 使能 PINT1 端口中断
- Bit 0 PIE0: PINT0 端口中断使能位
 - 0: 禁止 PINT0 端口中断
 - 1: 使能 PINT0 端口中断

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	KMSKn<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 KMSKn<7:0>: KINn 按键输入屏蔽位
 - 0: 屏蔽
 - 1: 不屏蔽

INTC1: 中断控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PEG3	PEG2	PEG1	PEG0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 保留未用
- Bit 3 PEG3: PINT3 触发边沿选择位
 - 0: PINT3 下降沿触发
 - 1: PINT3 上升沿触发
- Bit 2 PEG2: PINT2 触发边沿选择位
 - 0: PINT2 下降沿触发
 - 1: PINT2 上升沿触发
- Bit 1 PEG1: PINT1 触发边沿选择位
 - 0: PINT1 下降沿触发
 - 1: PINT1 上升沿触发
- Bit 0 PEG0: PINT0 触发边沿选择位
 - 0: PINT0 下降沿触发
 - 1: PINT0 上升沿触发

PINTS: 外部中断选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PINT3S<1:0>		PINT2S<1:0>		PINT1S<1:0>		PINT0S<1:0>	
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 PINT3S<1:0>: PINT3 中断源选择位

- 00: PA7
- 01: PA5
- 10: PB3
- 11: 保留
- Bit 5~4 PINT2S<1:0>: PINT2 中断源选择位
 - 00: PA6
 - 01: PA4
 - 10: PB2
 - 11: 保留
- Bit 3~2 PINT1S<1:0>: PINT1 中断源选择位
 - 00: PA1
 - 01: PA3
 - 10: PB1
 - 11: PB5
- Bit 1~0 PINT0S<1:0>: PINT0 中断源选择位
 - 00: PA0
 - 01: PA2
 - 10: PB0
 - 11: PB4

注：此寄存器只可写，不可读；因此，此寄存器赋值需使用 MOVA、MOVAR 指令。

INTG: 中断全局寄存器

Bit	7	6	5	4	3	2	1	0
Name	GIE	—	—	—	—	—	SOFTIF	—
R/W	R/W	—	—	—	—	—	R/W	—
POR	0	0	0	0	0	0	0	0

- Bit 7 GIE: 全局中断使能位
 - 0: 禁止所有的中断
 - 1: 使能所有未屏蔽的中断
- Bit 6~2,0 保留未用
- Bit 1 SOFTIF: 软件中断标志位
 - 0: 无软件中断
 - 1: 启动软件中断

注：软件清零 GIE 位时，需判断 GIE 是否清零成功，如未被清零，则需再次执行软件清零操作，直到清零成功。

第 8 章 芯片配置字

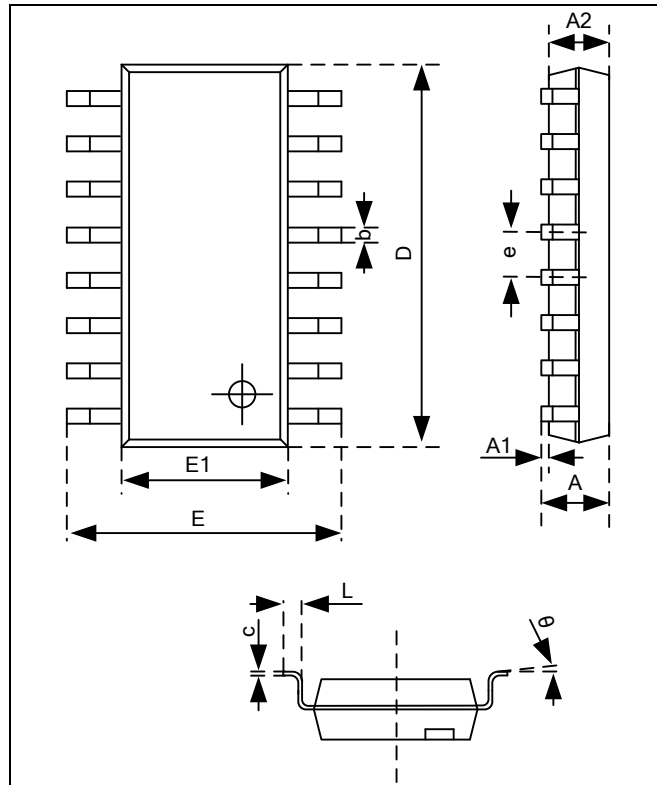
寄存器名称	芯片配置字 (CFG_WD)	
地址	7F2 _H	
OSCS<2:0>	bit2-0	振荡器选择位 000: LP 晶振/谐振器连接到 PA4 和 PA5 001: 保留未用 010: HS 模式: 晶体振荡器连接到 PA4 和 PA5 011: 保留未用 100: XT 模式: 晶体振荡器连接到 PA4 和 PA5 101: 保留未用 110: INTOSCO 模式: CLKO 从 PA4 输出, PA5 为 I/O 111: INTOSC 模式: PA4 为 I/O, PA5 为 I/O
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电定时器使能位 0: 使能 1: 禁止
MRSTEN	bit5	MRSTN 管脚功能选择位 0: 管脚用于数字输入 1: 管脚用于外部复位
—	bit7-6	保留, 默认为 1
BORVS<1:0>	bit9-8	下电复位使能和电压点选择位 00: 禁止 01: 使能, 复位电压为 2.2V 10: 使能, 复位电压为 2.7V 11: 使能, 复位电压为 3.4V
-	bit10	保留, 默认为 1
-	bit15-11	保留, 默认为 0

注 1: CLKO 为系统时钟的 16 分频输出。

注 2: 常温下, 在 VDD 上升时, BOR 档位误差在+0.4V 以内, 在 VDD 下降时, BOR 档位误差在+/-0.2V 以内。

第 9 章 芯片封装图

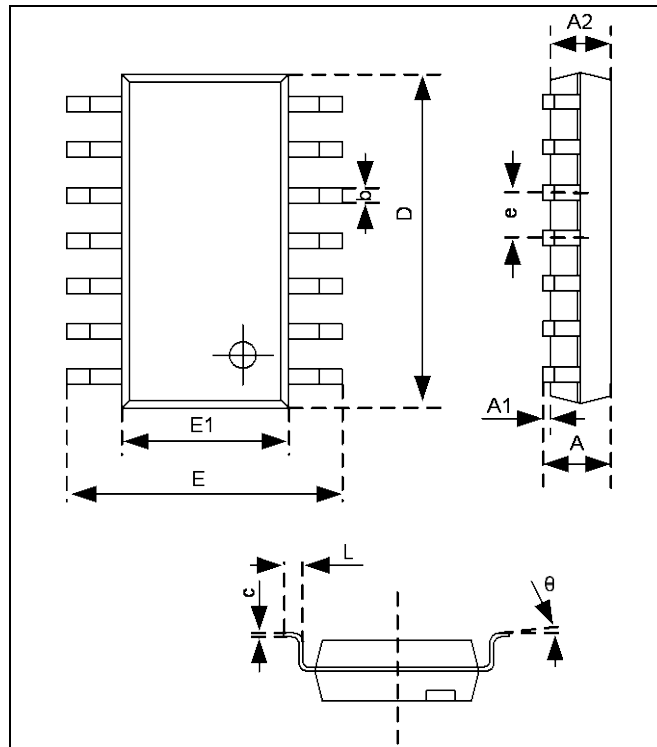
9.1 16-pin SOP封装图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.77
A1	0.08	0.18	0.28
A2	1.20	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.26
D	9.70	9.90	10.20
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27 (BSC)		
L	0.40	0.65	1.27
θ	0°	—	8°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

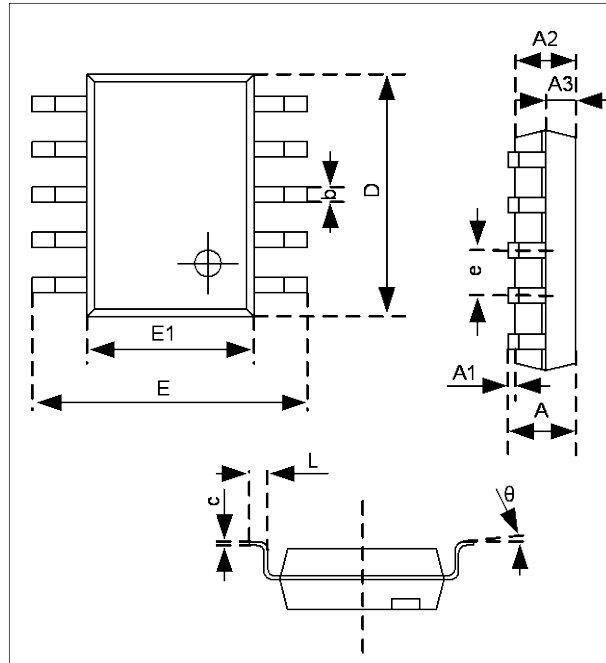
9.2 14-pin SOP封装图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.05	—	0.25
A2	1.18	1.38	1.58
b	0.31	—	0.51
c	0.10	—	0.26
D	8.45	8.65	8.85
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	—	1.27	—
L	0.40	—	1.27
θ	0°	—	8°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

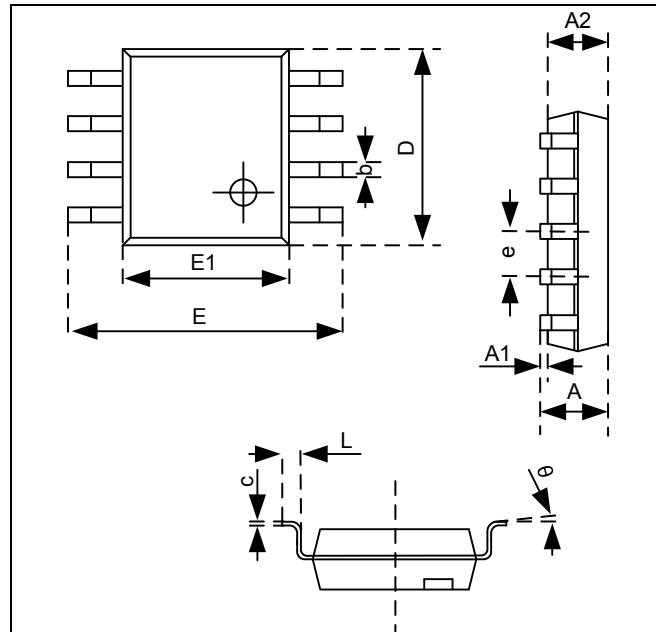
9.3 10-pin MSOP封装图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.10
A1	—	—	0.15
A2	0.75	0.85	0.95
b	0.18	—	0.33
c	0.09	—	0.23
D	2.90	3.00	3.10
E	4.70	4.90	5.10
E1	2.90	3.00	3.10
e	0.50 (BSC)		
L	0.40	—	0.80
θ	0°	—	8°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

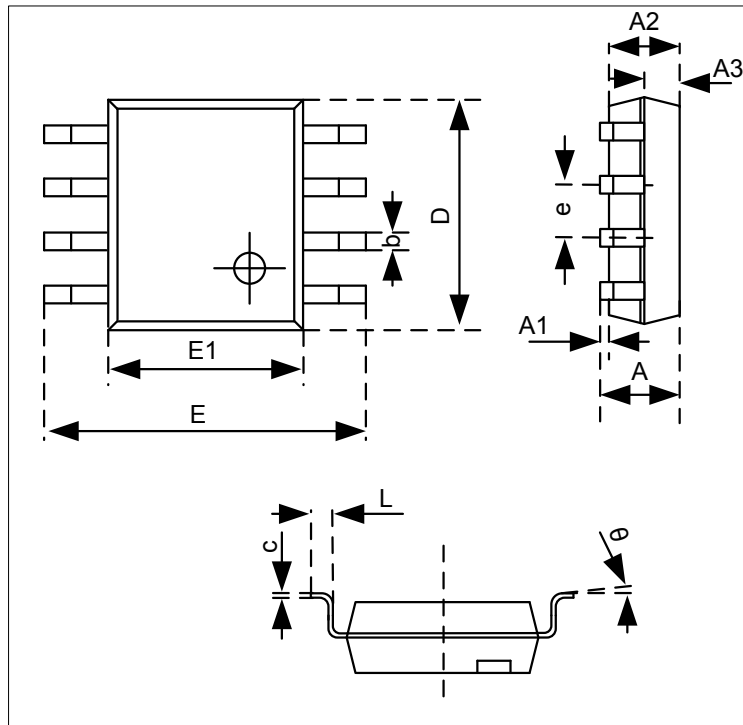
9.4 8-pin SOP封装图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.05	—	0.25
A2	1.30	1.40	1.55
b	0.33	—	0.51
c	0.17	—	0.25
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.40	—	1.27
θ	0°	—	8°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

9.5 8-pin MSOP封装图



标号	尺寸 (mm)		
	MIN	NOM	MAX
A	—	—	1.10
A1	0.05	—	0.15
A2	0.75	0.85	0.95
A3	0.30	0.35	0.40
b	0.25	—	0.38
c	0.09	—	0.23
D	2.90	3.00	3.10
E	4.70	4.90	5.10
E1	2.90	3.00	3.10
e	0.65BSC		
L	0.40	—	0.80
θ	0°	—	8°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响 状态位	机器周期	操作
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	-	1	(A)->(R)
7	MOVAR	R<10:0>	-	1	(A)->(R)
8	MOVRA	R<10:0>	-	1	(R)->(A)

附录表 1-1 寄存器操作指令表

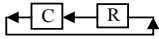



附录1.3 程序控制指令

序号	指令		影响 状态位	机器周期	操作
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<9:0>->PC<9:0> I<9:8>->PCRH<1:0>
11	GOTO	I<10:0>	-	2	I<9:0>->PC<9:0>，
12	CALL	I<10:0>	-	2	PC+1->TOS,I<9:0>->PC<9:0>
13	LCALL	I<19:0>	-	2	PC+1->TOS,I<9:0>->PC<9:0> I<9:8>->PCRH<1:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R)→PC<7:0>， PCRH<1:0>→PC<9:8>，
15	JBC	R<7:0>， B<2:0>	-	2 或 1	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>，	-	2 或 1	当 R = 1 时跳过下一条指令

序号	指令		影响状态位	机器周期	操作
		B<2:0>			
17	JCAIE	I<7:0>	-	2 或 1	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2 或 1	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2 或 1	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2 或 1	当(R) = (A) 时跳过下一条指令
21	JCRAG	R<7:0>	-	2 或 1	当(R) > (A) 时跳过下一条指令
22	JCRAL	R<7:0>	-	2 或 1	当(R) < (A) 时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	-	2 或 1	当 C = R(B) 时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	-	2 或 1	当 C > R(B) 时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	-	2 或 1	当 C < R(B) 时跳过下一条指令
26	JDEC	R<7:0>, F	-	2 或 1	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	-	2 或 1	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A, PSWS->PSW, PCRHS->PCRH
30	PUSH	-	-	1	A->AS, PSW->PSWS, PCRH->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I->(A), TOS->PC
33	RETIE	-	-	2	TOS->PC, 1->GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO, N_PD	1	00H->WDT, 0->WDT Prescaler, 1-> N_TO, 0-> N_PD

附录表 1-2 程序控制指令表

附录1.4 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
37	ADD	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C, DC, Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C, DC, Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	-	1	0->R
44	BSS	R<7:0>,B<2:0>	-	1	1->R
45	BTT	R<7:0>,B<2:0>	-	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	-	1	FF _H ->(R)
48	NEG	R<7:0>	C, DC, Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	-	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C, DC, Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C, DC, Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	 C<< R<7:0> (R带C向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7> << R<7:0> (R不带C向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	 C>> R<7:0> (R带C向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7:0> >> R<0> (R不带C向右循环移位)
60	SUB	R<7:0>,F	C, DC,	1	(R)-(A)->(目标)

序号	指令		影响 状态位	机器周期	操作
			Z,OV,N		
61	SUBC	R<7:0>,F	C,DC, Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C,DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C,DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C,DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C,DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	-	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	-	-	2	Pmem(FRA)->ROMD
70	TBR#1	-	-	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	-	-	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	-	-	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	-	-	2	本芯片不支持该条指令
74	TBW#1	-	-	2	本芯片不支持该条指令
75	TBW_1	-	-	2	本芯片不支持该条指令
76	TBW1#	-	-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

附录表 1-3 算术/逻辑运算指令表

注：指令集说明

1. i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
2. C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0， 则目标寄存器为寄存器 A； 如果 F = 1， 则目标寄存器为寄存器 R。
5. 79 条指令中另有一条 NOP 指令未在上表中描述。
6. 部分指令中， PC 的位数以及 PCRU 寄存器， 视实际芯片而定。对 HR7P153 芯片， PC 的位数是 11 位， 没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位 值
FF80 _H	IAD	间接寻址数据寄存器	IAD<7:0>								0000 0000
FF81 _H	IAAL	间接寻址索引寄存器低 8 位	IAA<7:0>								0000 0000
FF82 _H	IAAH	间接寻址索引寄存器高 8 位	IAA<15:8>								0000 0000
FF83 _H	—	—	—								—
FF84 _H	PSW	程序状态字寄存器	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A 寄存器	AREG<7:0>								xxxx xxxx
FF86 _H	IAPC	IAP 控制寄存器	IAPEN	—	—	—	—	—	IAPGO	—	0000 0000
FF87 _H	FRAL	程序存储器查表地址寄存器低 8 位	FRA<7:0>								xxxx xxxx
FF88 _H	FRAH	程序存储器查表地址寄存器高 8 位	FRA<15:8>								xxxx xxxx
FF89 _H	ROMDL	程序存储器查表数据寄存器低 8 位	ROMD<7:0>								xxxx xxxx
FF8A _H	ROMDH	程序存储器查	ROMD<15:8>								xxxx

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
		表数据寄存器高 8 位									xxxx
FF8B _H	PCRL	程序计数器低 8 位	PCR<7:0>								0000 0000
FF8C _H	PCRH	程序计数器高 3 位	—	—	—	—	—	PCR<10:8>			0000 0000
FF8D _H	-	—	—								—
FF8E _H	PA	PA 端口电平状态寄存器	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FF8F _H	PAT	PA 端口输入输出控制寄存器	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FF90 _H	PB	PB 端口电平状态寄存器	—	—	PB5	PB4	PB3	PB2	PB1	PB0	00xx xxxx
FF91 _H	PBT	PB 端口输入输出控制寄存器	—	—	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	0011 1111
FF92 _H	—	—	—								—
FF93 _H	—	—	—								—
FF94 _H	N_PAD	PA 端口弱下拉控制寄存器	N_PAD7	N_PAD6	N_PAD5	N_PAD4	—	N_PAD2	N_PAD1	N_PAD0	1111 1111
FF95 _H	N_PBD	PB 端口弱下拉控制寄存器	—	—	PLCS	N_PBD4	N_PBD3	N_PBD2	N_PBD1	N_PBD0	0011 1111
FF96 _H	N_PAU	PA 弱上拉控制寄存器	N_PAU7	N_PAU6	N_PAU5	N_PAU4	N_PAU3	N_PAU2	N_PAU1	N_PAU0	1111 0111
FF97 _H	N_PBU	PB 弱上拉控制寄存器	—	—	N_PBU5	N_PBU4	N_PBU3	N_PBU2	N_PBU1	N_PBU0	0011 1111

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FF98 _H	—	—	—								—
FF99 _H	—	—	—								—
FF9A _H	—	—	—								—
FF9B _H	PINTS	外部中断选择寄存器	PINT3S<1:0>		PINT2S<1:0>		PINT1S<1:0>		PINT0S<1:0>		0000 0000
FF9C _H	ANS	IO 端口数模选择寄存器	PWM20NS	PWM10NS	ANPA7	ANPB1	ANPB0	ANPA2	ANPA1	ANPA0	0000 0000
FF9D _H	INTF0	中断标志寄存器 0	T8P2PIF	T8P1PIF	ADIF	LVDIF	—	T8P2TIF	T8P1TIF	KIF	0000 0000
FF9E _H	INTE0	中断使能寄存器 0	T8P2PIE	T8P1PIE	ADIE	LVDIE	—	T8P2TIE	T8P1TIE	KIE	0000 0000
FF9F _H	INTC0	中断控制寄存器 0	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FFA0 _H	INTG	中断全局寄存器	GIE	—	—	—	—	—	SOFTIF	—	0000 0000
FFA1 _H	LVDC	LVD 检测寄存器	LVCLS	—	—	LVDEN	—	—	LVDV<1:0>		0001 0000
FFA2 _H	INTF1	中断标志寄存器 1	—	—	—	—	PIF3	PIF2	PIF1	PIF0	0000 0000
FFA3 _H	INTE1	中断使能寄存器 1	—	—	—	—	PIE3	PIE2	PIE1	PIE0	0000 0000
FFA4 _H	INTC1	中断控制寄存器 1	—	—	—	—	PEG3	PEG2	PEG1	PEG0	0000 0000
FFA5 _H	OSCCAL	内部 16MHz 时钟校准寄存器	OSCCAL<7:0>								1010 1001

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFA6 _H	WDTCAL	内部 32KHz 时钟校准寄存器	WDTCAL<7:0>								1000 0100
FFA7 _H	PWRC	电源状态控制寄存器	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR	0101 110x
FFA8 _H	OSCC	时钟控制寄存器	CLKSS	FOSCS<2:0>			—	WDTOSCF	HSOSCF	LPOSCF	0110 010x
FFA9 _H	WKDC	唤醒延时控制寄存器	WKDC <7:0>								1111 1111
FFAA _H	OSCP	时钟控制写保护寄存器	OSCP<7:0>								1111 1111
FFAB _H	WDTC	WDT 控制寄存器	WDTCKS	—	—	WDTPRE	WDTPRS<3:0>				0001 0111
FFAC _H	PWEN	功耗控制寄存器	—	SW_WDT	SW_HS	SW_LP	—	—	RCEN	—	0100 0011
FFAD _H	—	—	—								—
FFAE _H	—	—	—								—
FFAF _H	—	—	—								—
FFB0 _H	WDTP	WDT 计数周期匹配寄存器	WDTP<7:0>								1111 1111
FFB1 _H	—	—	—								—
FFB2 _H	T8P1	T8P1 计数器	T8P1<7:0>								0000 0000
FFB3 _H	T8P1C	T8P1 控制寄存器	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFB4 _H	T8P1P	T8P1 周期寄存	T8P1P<7:0>								1111

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位 值	
		器									1111	
FFB5 _H	T8P1R	T8P1 精度寄存器	T8P1R<7:0>									0000 0000
FFB6 _H	T8P1PMC	T8P1 周期匹配控制寄存器	—	—	—	—	—	—	T8P1RS	T8P1PMS	0000 0000	
FFB7 _H	T8P1OC	T8P1 输出控制寄存器	T8P1TRN	T8P1REX	T8P1RE<1:0>		T8P1NEN<1:0>		T8P1PEN<1:0>		0000 0000	
FFB8 _H	T8P2	T8P2 计数器	T8P2<7:0>									0000 0000
FFB9 _H	T8P2C	T8P2 控制寄存器	T8P2M	T8P2POS<3:0>				T8P2E	T8P2PRS<1:0>		0000 0000	
FFBA _H	T8P2P	T8P2 周期寄存器	T8P2PL<7:0>									1111 1111
FFBB _H	T8P2R	T8P2 精度寄存器	T8P2RL<7:0>									0000 0000
FFBC _H	T8P2PMC	T8P2 周期匹配控制寄存器	—	—	—	—	—	—	T8P2RS	T8P2PMS	0000 0000	
FFBD _H	T8P2OC	T8P2 输出控制寄存器	T8P2TRN	T8P2REX	T8P2RE<1:0>		T8P2NEN<1:0>		T8P2PEN<1:0>		0000 0000	
FFBE _H	T8P1PDT	T8P1 PWM 死区控制寄存器	T8P1PDT<7:0>									0000 0000
FFBF _H	T8P2PDT	T8P2 PWM 死区控制寄存器	T8P2PDT<7:0>									0000 0000
FFC0 _H	T8P1PEX	T8P1 后分频比扩展寄存器	—	—	—	—	T8P1POSEX<3:0>				0000 0000	

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位 值	
FFC1 _H	T8P2PEX	T8P2 后分频比 扩展寄存器	—	—	—	—	T8P2POSEX<3:0>				0000 0000	
FFC2 _H	—	—	—									—
FFC3 _H	—	—	—									—
FFC4 _H	—	—	—									—
FFC5 _H	—	—	—									—
FFC6 _H	ADCCL	ADC 控制寄存 器	ADVREFS<2:0>			ADCHS<2:0>			ADTRG	ADEN	0000 0000	
FFC7 _H	ADCCH	ADC 控制寄存 器	ADFM	ADCS<2:0>			ADST<3:0>				0000 1000	
FFC8 _H	ADCRL	ADC 转换结果 寄存器<7:0>	ADCRL<7:0>									xxxx xxxx
FFC9 _H	ADCRH	ADC 转换结果 寄存器<15:8>	ADCRH<7:0>									xxxx xxxx
FFCA _H	ADCTR	ADC 自动触发 寄存器	—	TRIGS	TRIGPEG	TRIGEN	—	—	—	AD2VCALS	0000 0000	
FFCB _H	—	—	—									—
FFCC _H	—	—	—									—
FFCD _H	—	—	—									—
FFCE _H	—	—	—									—
FFCF _H	CALPROT	校准值保护寄 存器	—	—	—	—	—	—	—	CALPROT0	0000 0001	
FFD0 _H ~FFFF _H	—	—	—									—

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.1 ~ 5.5V	-40 ~ 85	°C

◆ 芯片上电和下电工作条件表 (-40 ~ 85°C)

参数	符号	最小值	最大值	单位
VDD 上电初始电压	V _{start}	0	0.2	V
VDD 上升速率	T _{VDD}	10	—	us/V
VDD 下降速率		20	—	us/V



◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.1	-	5.5	V	F _{osc} ≤ 2MHz; -40°C ~ 85°C
		3.0	-	5.5	V	F _{osc} ≤ 20MHz; -40°C ~ 85°C
芯片静态电流	I _{DD}	-	200	-	μA	25°C, VDD = 5V, 内部时钟模式, 所有的 I/O 端口输入低电平, MRSTN = 0, OSC1 = 0, OSC2 = 0。
IDLE0 休眠模式下芯片电流	I _{PD1}	-	2	-	μA	25°C, VDD = 5V, BOR 和 WDT 使能。
		-	3	-	μA	25°C, VDD = 5V, BOR 和 WDT, LVD 使能。
IDLE1 休眠模式下芯片电流 (高速时钟模式)	I _{PD2}	-	400	-	μA	25°C, VDD = 5V, BOR 和 WDT, LVD 使能。
IDLE1 休眠模式下芯片电流 (低速时钟模式)	I _{PD3}	-	25	-	μA	25°C, VDD = 5V, BOR 和 WDT 使能
正常运行模式芯片电流 (高速时钟模式)	I _{OP1}	-	2	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载, ADC 关闭。

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行模式 芯片电流（高速 时钟模式）	I_{OP2}	-	610	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟 (内部 16MHz RC 时钟的 8 分频), I/O 端口输出固定电平, 无负载, ADC 关闭。
正常运行模式 芯片电流（低速 时钟模式）	I_{OP3}	-	20	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR 和 LVD 使能, I/O 端口输出固定电平, 无负载, ADC 关闭。
VDD 管脚的 最大输入电流	I_{MAXVDD}	-	-	55	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I_{MAXVSS}	-	-	120	mA	25°C, VDD = 5V
非大电流 I/O 端 口灌电流	I_{OL2}	-	8	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
非大电流 I/O 端 口拉电流	I_{OH2}	-	8	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$
大电流 I/O 端 口灌电流	I_{OL2}	-	30	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
大电流 I/O 端 口拉电流	I_{OH2}	-	16	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

注 1: 在常温下, BOR 各档位的复位电压误差均在 $\pm 0.2V$ 范围内;

注 2: 在 IDLE 模式下, 是否打开 BOR 模块, 对功耗影响不大, 在常温, VDD=5V 条件下都在 3 μA 左右。

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA、PB 端口输入高电平 (有施密特输入特性)	V_{IH}	0.8VDD	-	VDD	V	2.1V \leq VDD \leq 5.5V
MRSTN 主复位端口输入高电平 (无施密特输入特性)		0.8VDD	-	VDD	V	
PA、PB 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
MRSTN 主复位端口输入低电平		VSS	-	0.20VDD	V	
PA、PB 端口输入漏电流	I_{IL}	-	-	± 1	μA	2.1V \leq VDD \leq 5.5V VSS \leq Vpin \leq VDD

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
						(端口处于高阻状态)
MRSTN 主复位端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
PA、PB 端口输入弱上拉电流	I _{WPU1}	-	50	-	μA	25℃, VDD=5.0V Vpin = VSS
PA、PB 端口输入弱下拉电流	I _{WPD1}	-	50	-	μA	25℃, VDD=5.0V Vpin = VDD
MRSTN 主复位端口输入弱上拉电流	I _{WPU2}	-	50	-	μA	25℃, VDD=5.0V Vpin = VSS

◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V _{OH}	VDD-0.7	-	-	V	2.1V ≤ VDD ≤ 5.5V I _{OH} = 2mA
I/O 端口输出低电平	V _{OL}	-	-	0.6	V	2.1V ≤ VDD ≤ 5.5V I _{OL} = 3 mA

◆ ESD 特性参数表

参数	符号	等级	典型值	单位	测试条件
ESD 电压 (人体模型)	V _{ESDHBM}	3A	4000	V	25℃, MIL-STD-883H
ESD 电压 (机器模型)	V _{ESDMM}	2	200	V	25℃, JESD22-A115
Latchup 电流	I _{LAT}	I	±250	mA	25℃, JESD78

注: 上述 ESD 特性参数值是基于理论设计值和被测样品的测试值, 不是批量产品测试值, 仅供芯片应用时参考。

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F _{OSC}	-	-	2M	Hz	2.1V ≤ VDD ≤ 5.5V
		-	-	8M	Hz	2.7V ≤ VDD ≤ 5.5V
		-	-	20M	Hz	3.0V ≤ VDD ≤ 5.5V
系统时钟周期	T _{OSC1}	500	-	-	ns	2.1V ≤ VDD ≤ 5.5V
		125	-	-	ns	2.7V ≤ VDD ≤ 5.5V
		50	-	-	ns	3.0V ≤ VDD ≤ 5.5V
外部时钟高电平和低电平时间	T _{OSL} , T _{OSH}	15	-	-	ns	-
外部时钟上升和下降时间	T _{OSR} , T _{OSF}	-	-	15	ns	-

WDT 溢出时间	T_{WDT}	2.4 (9.6KHz)	8 (32K Hz)	13.6 (54K Hz)	ms	VDD =5V, -40°C ~ 85°C
----------	-----------	-----------------	------------------	---------------------	----	--------------------------

◆ 内部 16MHz RC 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 16MHz	25°C, VDD = 5V	15.68	16	16.32	MHz
	-40°C ~ 85°C, VDD = 2.1V ~ 5.5V	15.52	16	16.48	MHz

◆ ADC 交流特性表

参数名	符号	说明	最小值	典型值	最大值	单位
分辨率	RR	25°C, VDD=5V, 正参考为 VDD, $f_{ADCCLK}=1\text{MHz}$, 采样时间为 8 个 ADCCLK	-	11	-	bit
差分线性度	DNL		-	±1	-	LSB
积分线性度	INL		-	±2	-	LSB
失调误差	Voffset	25°C, VDD=5V, 正参考为内部 VREF 2.1V, $f_{ADCCLK}=1\text{MHz}$, 采 样时间为 8 个 ADCCLK	-	±2	-	LSB
参考电压 范围	Vref1	25°C, VDD=5V, 外部参考 VREFP	2	-	VDD	V
	Vref2	25°C, VDD=5V, 内部 VDD 参考	-	VDD	-	V
	Vref3	25°C, VDD=5V, 内部 4.0V 参考	3.92	4.0	4.08	V
	Vref4	25°C, VDD=5V, 内部 3.0V 参考	2.94	3.0	3.06	V
	Vref5	25°C, VDD=5V, 内部 2.1V 参考	2.05	2.1	2.15	V
ADC 工 作时芯片 供电电压	Vpow	内部 VDD 参考或 外部 VREFP 参考	2.5	-	-	V
		内部参考 2.1V	3	-	-	V
		内部参考 3.0V	3.5	-	-	V
		内部参考 4.0V	4.5	-	-	V
模拟电压 输入范围	VIN	-	0	-	Vref1-5	V
输入电容	CIN	-	-	40	-	Pf
模拟输入 推荐输入 电阻	RIN	-	-	10	-	KΩ

注：ADC 在各种工作条件下的失调误差 V_{OFFSET} ，详见后面的“模拟小信号 ADC offset 特性表”的描述。

◆ 模拟小信号 ADC offset 特性表

1) 正参考电压为内部 VREF 2.1V, 负参考电压为 VSS, 采样时间为 8Tad 时, 不同电源电压 VDD、不同 ADC 时钟频率、对应于相同模拟输入 Vain 电压小信号的 ADC offset 典型值如下:

参数	典型值	测试条件					
		模拟输入电压 Vain	参考电压	ADC 时钟频率	电源电压 VDD		
ADC offset	-2LSB	4.6mV	正参考电压为内部 VREF 2.1V, 负参考电压为 VSS	2MHz	5.0V		
	-2LSB			1MHz			
	-2LSB			500KHz			
	-2LSB			250KHz			
	-3LSB					2MHz	3.0V
	-3LSB					1MHz	
	-3LSB					500KHz	
	-3LSB					250KHz	

2) ADC 时钟频率为 1MHz、采样时间为 8Tad 时, 不同 ADC 参考电压, 不同 VDD, 对应于相同模拟输入 Vain 电压小信号的 ADC offset 典型值如下:

参数	典型值	测试条件			
		模拟输入电压 Vain	参考电压	ADC 时钟频率	电源电压 VDD
ADC offset	-1LSB	4.6mV	正参考为外部 VREFP 2.1V, 负参考为 VSS	1MHz	5.0V
	-1LSB				3.0V
	0LSB		正参考为外部 VREFP 2.1V, 负参考为外部 VREFN		5.0V
	-1LSB				3.0V
	-1LSB		正参考为 VDD, 负参考为 VSS		5.0V
	-2LSB				3.0V
	-2LSB		正参考为内部 VREF 2.1V, 负参考为 VSS		5.0V
	-3LSB				3.0V
	-1LSB		正参考为内部 VREF 3.0V, 负参考为 VSS		5.0V
	-1LSB				5.0V
-1LSB	正参考为内部 VREF 4.0V, 负参考为 VSS	5.0V			
-1LSB		5.0V			

◆ ADC 转换时间对照表

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用*2	不推荐使用*2	不推荐使用*2	$T_{ADCCCLK} = 1\mu s$
Fosc/2	不推荐使用*2	不推荐使用*2	$T_{ADCCCLK} = 0.5\mu s$	$T_{ADCCCLK} = 2\mu s$
Fosc/4	不推荐使用*2	$T_{ADCCCLK} = 0.5\mu s$	$T_{ADCCCLK} = 1\mu s$	$T_{ADCCCLK} = 4\mu s$
Fosc/8	$T_{ADCCCLK} = 0.5\mu s$	$T_{ADCCCLK} = 1\mu s$	$T_{ADCCCLK} = 2\mu s$	$T_{ADCCCLK} = 8\mu s$
Fosc/16	$T_{ADCCCLK} = 1\mu s$	$T_{ADCCCLK} = 2\mu s$	$T_{ADCCCLK} = 4\mu s$	$T_{ADCCCLK} = 16\mu s$
Fosc/32	$T_{ADCCCLK} = 2\mu s$	$T_{ADCCCLK} = 4\mu s$	$T_{ADCCCLK} = 8\mu s$	$T_{ADCCCLK} = 32\mu s$
Fosc/64	$T_{ADCCCLK} = 4\mu s$	$T_{ADCCCLK} = 8\mu s$	$T_{ADCCCLK} = 16\mu s$	$T_{ADCCCLK} = 64\mu s$

注*2: Tad 值不满足设计精度要求, 不推荐使用。

◆ BOR 模块特性表

BORVS[1:0]	最小值	典型值	最大值	单位	测试条件
01	2.15	2.2	2.55	V	-40~85°C
10	2.65	2.7	3.15	V	
11	3.35	3.4	3.85	V	

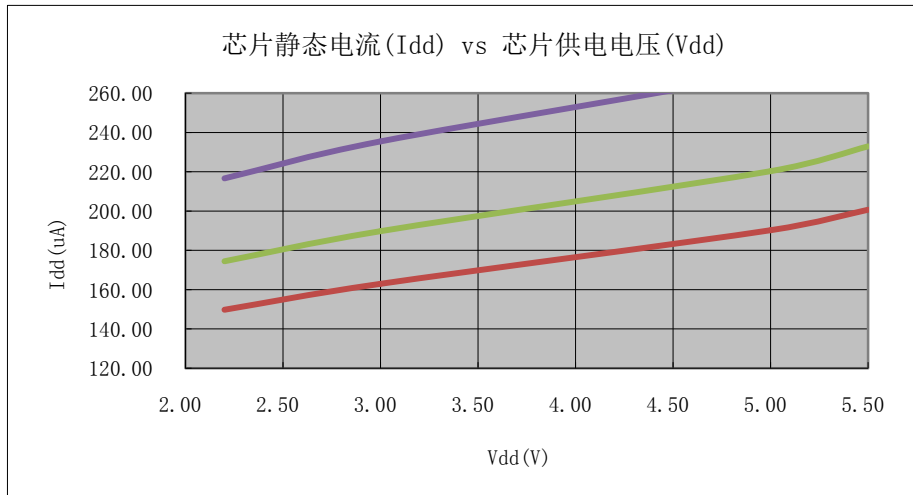
◆ LVD 模块特性表

LVDV<1:0>	最小值	典型值	最大值	单位	测试条件	
VDD 下降, LVDLS 低电 压状态标志 置 1	00	2.05	2.1	2.4	V	-40~85°C
	01	2.35	2.4	2.7	V	
	10	2.95	3.0	3.3	V	
	11	3.55	3.6	3.9	V	

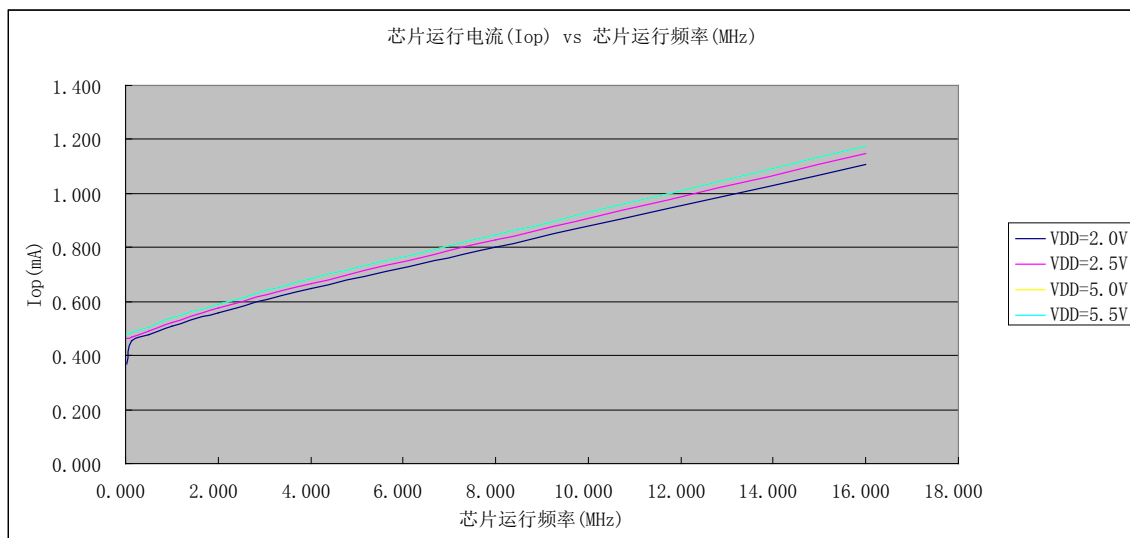
附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

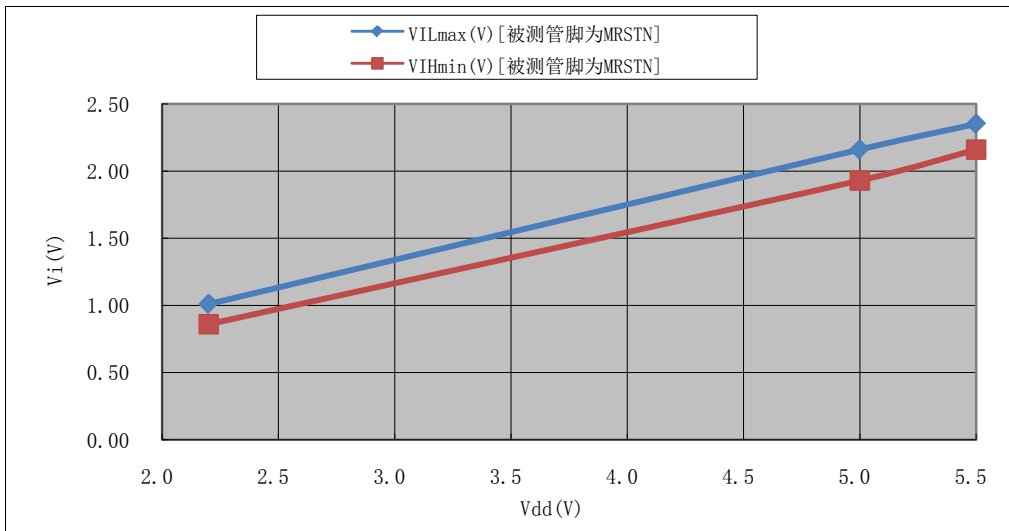
◆ 芯片静态电流随芯片电压变化特性图



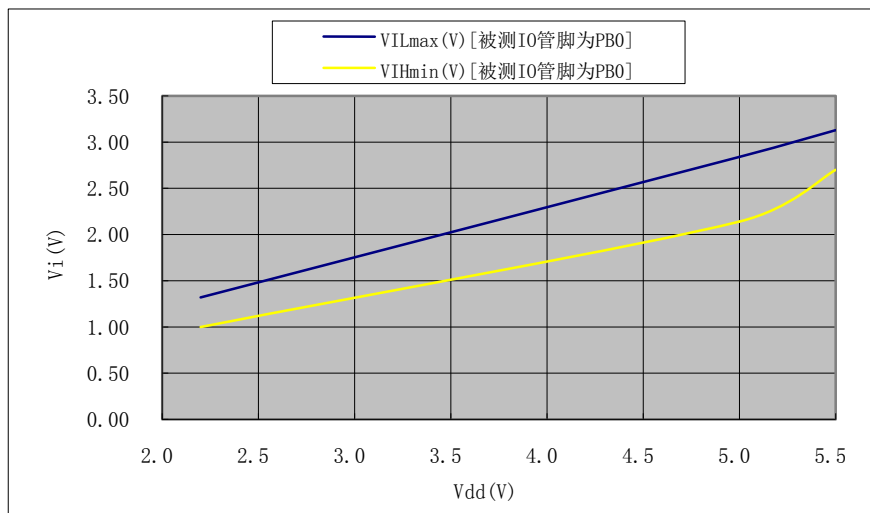
◆ 正常运行模式下芯片电流随时钟频率变化图 (F_{osc} 时钟源为内部 16MHz RC 时钟的不同分频, 室温 25°C)



◆ 外部复位信号输入特性图（室温 25℃）

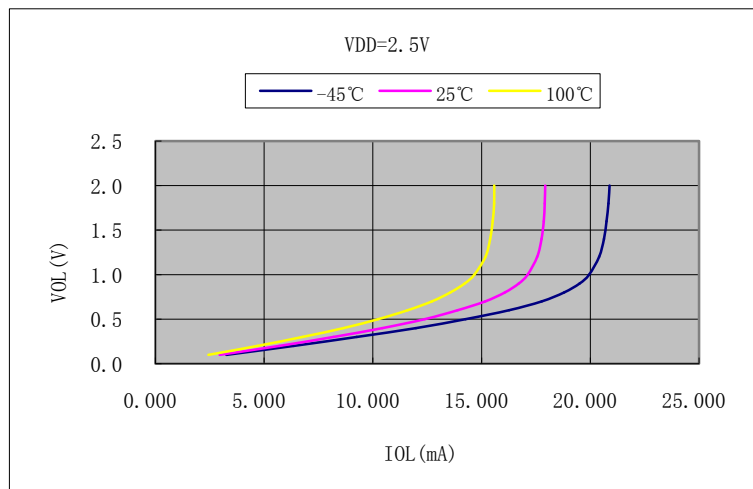


◆ I/O 端口信号输入特性图（室温 25℃）

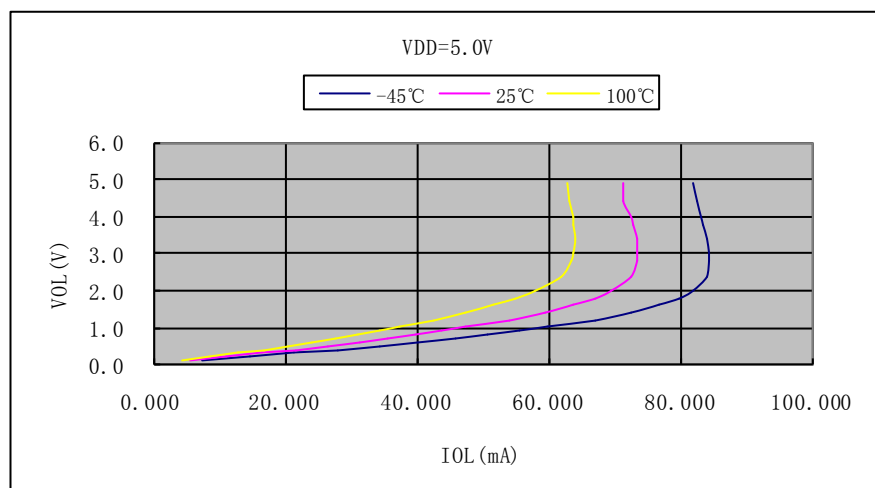


◆ I/O 端口输出特性图

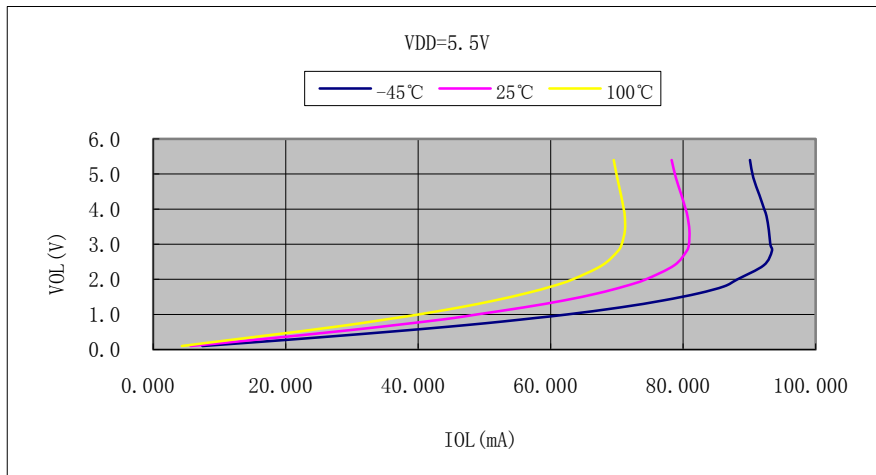
A: V_{OL} vs I_{OL} @ $V_{DD}=2.5V$



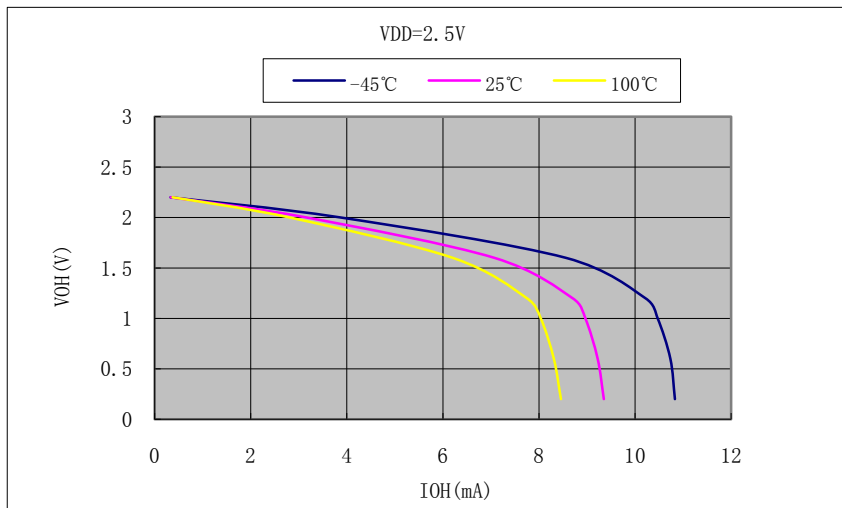
B: V_{OL} vs I_{OL} @ $V_{DD}=5.0V$



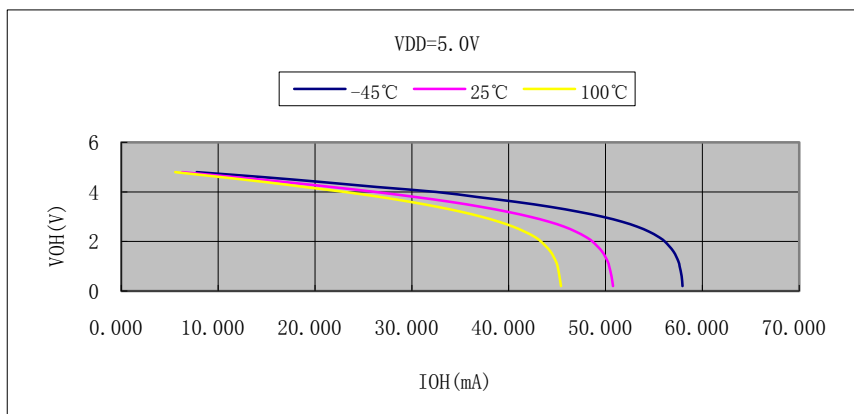
C: VOL vs IOL@VDD=5.5V



D: VOH vs IOH@VDD=2.5V



E: VOH vs IOH@VDD=5V



F: VOH vs IOH@VDD=5.5V

