

文档编号: AN1043

上海东软载波微电子有限公司

应用笔记

HW3182 Hardware Reference Design

修订历史

版本	修订日期	修改概要
V1.0	2020-06-04	初版

地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：<http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不承担或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

目录

内容目录

第 1 章	原理图参考设计	4
1.1	原理图	4
1.2	元件 BOM	5
1.3	不同频率下的射频元件 BOM	5
第 2 章	PCB 参考设计	6
第 3 章	制版工艺	7

图目录

图 1-1	HW3182 EVB SCH	4
图 2-1	PCB 参考设计	6

表目录

表 1-1	外围元件 BOM	5
表 1-2	不同频率下的射频元件 BOM	5
表 3-1	PCB 制版工艺参数	7

第 1 章 原理图参考设计

1.1 原理图

HW3182 EVB 原理图参考设计如下图所示。

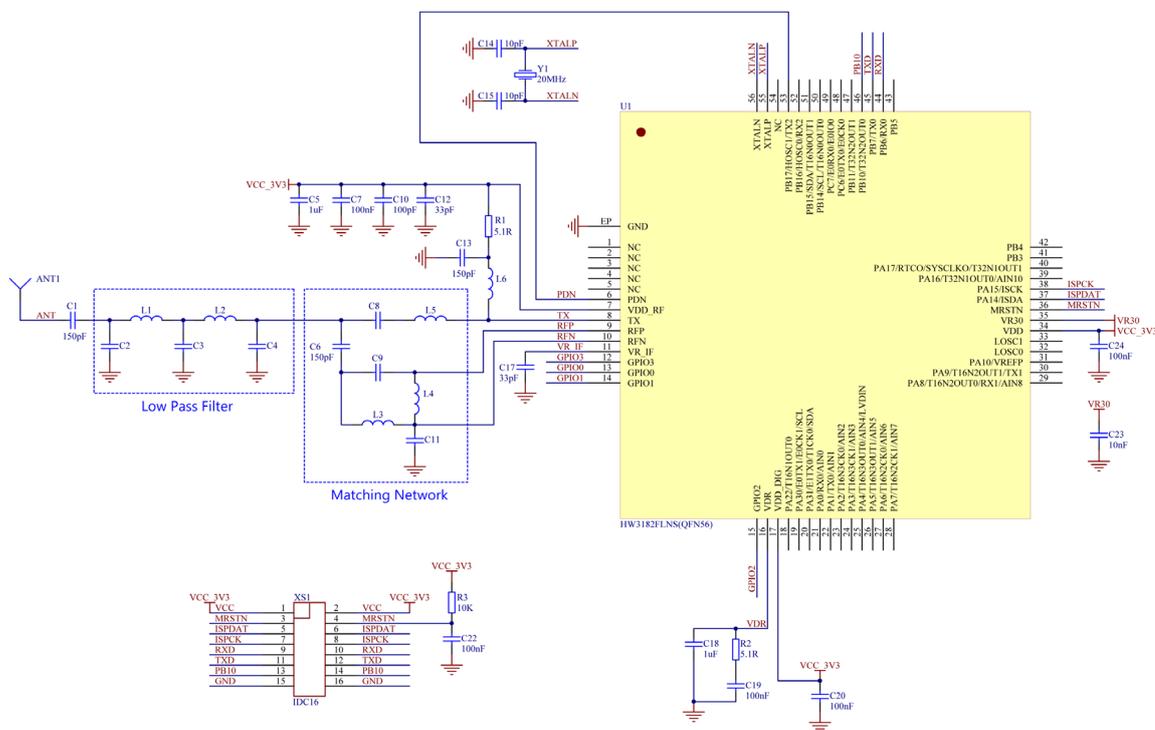


图 1-1 HW3182 EVB SCH

电路系统主要由晶体振荡电路、TX/RX 匹配网络、低通滤波器和电源滤波电路组成。

晶体振荡电路支持 20MHz、26MHz 无源晶体，C14、C15 是晶体负载电容，其参数将影响晶体振荡频率，请参考晶体具体规格来选择。根据应用需求的不同，推荐用户选择频率稳定度 $\geq \pm 10\text{ppm}$ 的晶振。选取原则如下：晶体精度越高，无线设备之间载波频偏将越小，远距离通信成功率将显著提高。因此远距离应用请尽量选用高精度无源晶体。

射频网络包括阻抗匹配网络（Matching Network）和低通滤波器（Low Pass Filter）两部分。其中低通滤波器是发射（TX）和接收（RX）共用，阻抗匹配网络则分成 TX 和 RX 两部分。对于 Direct Tie 结构，TX 和 RX 阻抗匹配网络直接通过 C6 电容连接。阻抗匹配网络实现射频收发器芯片内部阻抗到外围 50 欧姆阻抗的变换。低通滤波器采用 LC 低通滤波电路，用于滤除有用信号以外的高频干扰杂波。射频网络的元件选型对通信将产生很大影响，推荐选用高频器件。需要注意的是，不同收发频率下的射频网络元件的取值是不同的（具体参考表 1-2）。

HW3182 内部 RF 收发器的电源是 VDD_RF（7 脚）和 VDD_DIG（17 脚），MCU 的电源是 VDD（34 脚），它们在内部是不连的，所以都需要连接到 VCC_3V3 外部电源上。另外，虽然 MCU 电源支持 5V，然而 RF 收发器电源只支持 3.6V，而且 MCU 和 RF 的数字接口内部连接，因此，整个 SoC 芯片的统一连接的外部电源电压最高为 3.6V。外围电源滤波电路均为 HW3182 电源的滤波，不同大小值的电容用于滤除电源上不同频率的干扰杂波，以保证芯片能够稳定的工作。

注：如果应用场景不需要进入 Power Down 模式，则 PDN 脚可以直接接地；反之，如果需要进入 Power Down 模式，则 PDN 脚可以接一个 GPIO 口来控制，本例选择了 PA7，用户可以根据需要自己选择合适的 GPIO。

1.2 元件BOM

下面给出外围元件的 BOM。

Part	Designator	Footprint	Description
10pF	C14、C15	0402	晶体负载电容，X7R，±2%
33pF	C12、C17	0402	贴片电容 X7R，±10%
100pF	C10	0402	贴片电容 X7R，±10%
150pF	C1、C6、C13	0402	贴片电容 X7R，±10%
10nF	C23	0402	贴片电容 X7R，±10%
100nF	C7、C20、C21、C22、C24	0402	贴片电容 X7R，±10%
1uF	C5、C18	0402	贴片电容 X7R，±10%
—	C2、C3、C4、C8、C9、C11	0402	贴片电容 NPO，±0.25pF（取值参考表 1-2）
—	L1、L2、L3、L4、L5、L6	0402	高频贴片电感，±5%（取值参考表 1-2）
5.1Ω	R1、R2	0402	贴片电阻、±5%
10K	R3	0402	贴片电阻、±5%
0Ω/NC	R4、R5	0402	贴片电阻、±5%，根据需要焊接
20MHz	Y1	SMD3225	无源贴片晶振，±10ppm
HW3182	U1	QFN56(7X7)	无线 SOC 芯片
天线接口	ANT1	—	导线天线接口
邮票孔接口	XS1	—	1.27mm 邮票孔接口

表 1-1 外围元件 BOM

1.3 不同频率下的射频元件BOM

由于 HW3182 支持多个频率，不同频率下的射频元件（包括低通滤波网络元件和匹配网络元件）的值是不相同的。下面给出不同频率下的射频元件 BOM。

标号 频率	L1,L2	C2,C4	C3	L5	C8	L3	L4	C9	C11	L6
315MHz	22nH	12pF	22pF	33nH	6.8pF	33nH	47nH	4.7pF	10pF	120nH
433MHz	18nH	6.8pF	12pF	15nH	6.8pF	22nH	47nH	3.3pF	6.8pF	47nH
779MHz	5.6nH	6.8pF	12pF	3.9nH	6.8pF	10nH	22nH	3.9pF	3.9pF	33nH
868MHz	4.7nH	6.8pF	12pF	4.7nH	6.8pF	5.6nH	12nH	2.7pF	5.6pF	22nH
915MHz	3.9nH	6.8pF	12pF	3.9nH	5.6pF	6.8nH	10nH	3.9pF	5.6pF	18nH

表 1-2 不同频率下的射频元件 BOM

第 2 章 PCB参考设计

PCB 设计采用低成本双面板即可满足设计要求，下面给出 PCB 布局参考设计。PCB 设计的注意事项如下：

- 所有元器件均布局在双面板正面，背面尽量提供完整的参考地平面；射频走线应尽可能短；
- 两个电感互连推荐采用 L 形布局，减小互感；其它的射频元件，最优采用一字形布局，次优采用 L 形布局，不推荐 U 形或者 Z 形布局。
- L4 连接芯片管脚 RFP、RFN 的走线是差分线，请尽量平行、等长布线，以保证差分性能；
- 所有射频电路应该“包地”，接地铺铜要通过尽量多的过孔与底层参考地平面连接，以降低接地阻抗；
- 数字电路和晶振电路请尽量远离射频前端电路；
- 若电源与数字部分需走背面，需尽量减小分割地平面，并且尽量远离射频前端；
- 去耦电容需要尽可能靠近芯片电源管脚，以获得更好的滤波效果。
- 射频走线宽度和铺铜间距，可参考第 3 章《制版工艺》。

下面给出 PCB 参考设计图。

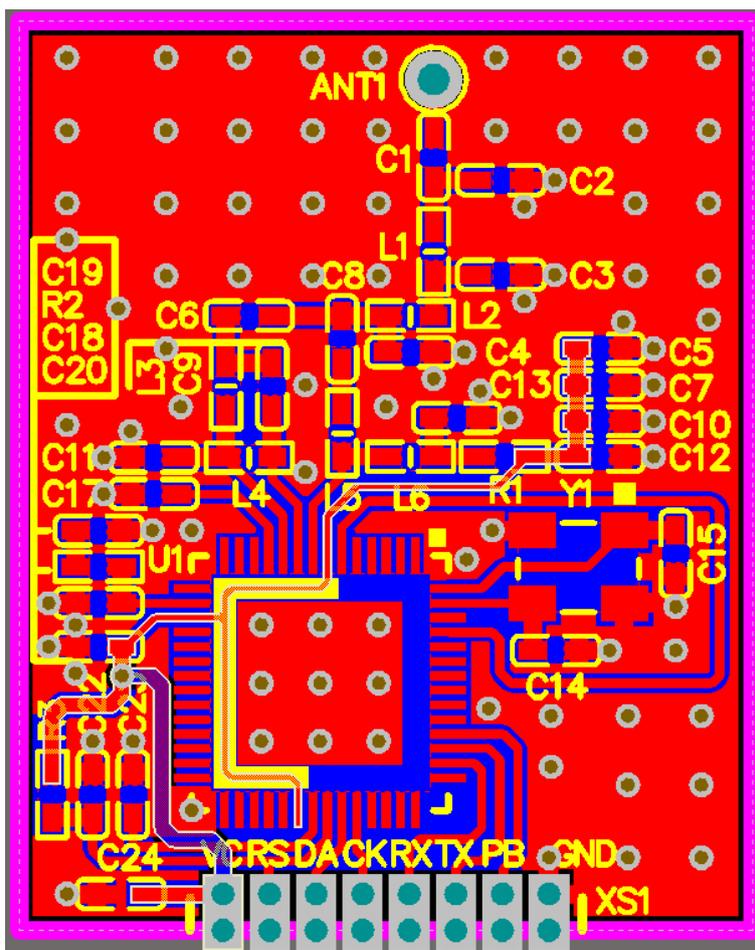


图 2-1 PCB 参考设计

第 3 章 制版工艺

由于高频信号的存在，在 RF PCB 制版过程中需要考虑 PCB 工厂的阻抗控制参数。下面给出的是本参考设计的制版工艺参数。

制版规格	参数
板材	FR4
板厚 ^注	1.2mm
电源走线	25mil
50 欧姆射频走线宽度 ^注	20mil
铜厚	1.4mil (1 盎司)
接地铺铜与射频走线的间距 ^注	5.1mil

表 3-1 PCB 制版工艺参数

注：为保证射频走线为 50 欧姆，可以根据不同板厚，按照如下参数进行调整。以下结果为 Si9000 仿真值，仅供参考。仿真假设 FR4 的介电常数为 4.3、绿油介电常数为 4.2，这些参数对仿真结果影响较大，具体参数请与 PCB 厂家确认后自行仿真。如果需要更加准确的结果，则需要 PCB 厂家进行阻抗控制。

(1) 若射频走线采用 20mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 5.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 5.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5mil

(3) 若射频走线采用 25mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 6.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 6mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5.7mil

(3) 若射频走线采用 30mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 7.6mil

板厚为 1.2mm 时，接地铺铜与走线间距为 7.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 6.6mil