

文档编号: AN1037

上海东软载波微电子有限公司

# 应用笔记

---

## HW2181B Hardware Reference Design

## 修订历史

版本	修订日期	修改概要
V1.0	2018-09-30	初版
V1.1	2019-4-28	变更 Logo。

地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

### 上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

## 内容目录

第 1 章	原理图参考设计 .....	4
第 2 章	PCB 参考设计 .....	6
第 3 章	制版工艺 .....	8

## 图目录

图 1-1	HW2181B EVB Schematic .....	4
图 2-1	HW2181B EVB PCB .....	6

## 表目录

表 1-1	HW2181B 射频匹配网络方案 .....	5
表 1-2	HW2181B EVB BOM .....	5
表 3-1	PCB 制版工艺参数 .....	8

## 第 1 章 原理图参考设计

HW2181B 是一款高集成度的 2.4GHz 无线 SOC 芯片，片上集成高性能、低功耗的射频收发器和 32 位 MCU。片上射频收发器的外围电路简单，只需少数外围被动器件即可构成完整的 2.4G 无线收发系统。下面给出原理图参考设计，如图 1-1 所示。

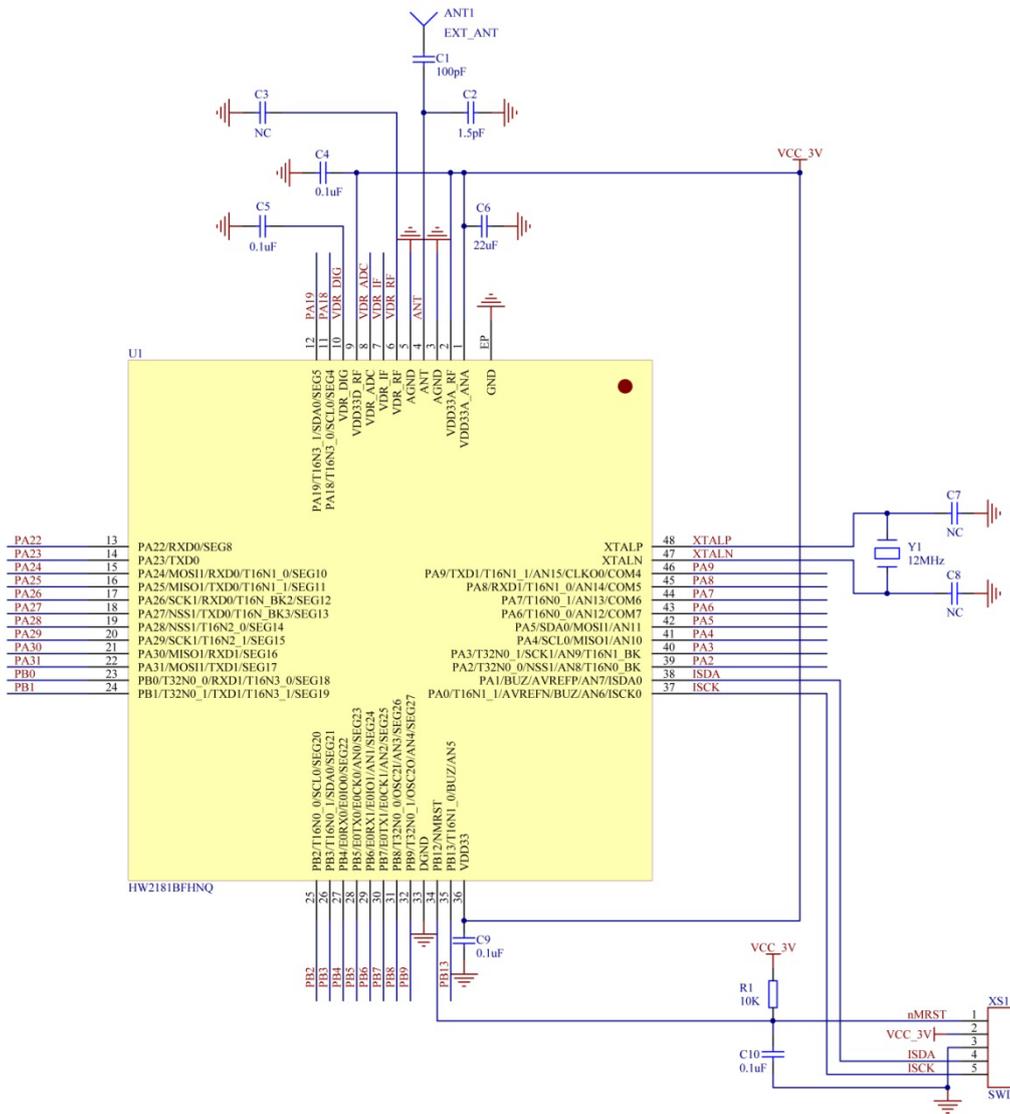


图 1-1 HW2181B EVB Schematic

HW2181B 应用电路主要由晶体振荡电路、射频匹配网络、电源去耦网络和数字 IO 四部分构成。

晶体振荡电路支持 12MHz、16MHz 无源晶振。根据应用需求的不同，晶振选取原则如下：晶振的频率公差（Frequency Tolerance）越小，收发两端之间的频率差越小，则远距离通信成功率将显著提高。因此远距离应用请尽量选用公差小的无源晶振，推荐使用公差±10ppm 的无源晶振。晶振两边的负载电容 C7 和 C8 一般不需要焊接，只有在一些对频率要求比较苛刻的应用，才需要增加电容进行微调。电容越大则晶振频率越低，但需要注意的是，电容太大会导致晶振不振，由于不同厂家的晶振参数不同，所以具体取值要通过实际调试来确定。

射频前端匹配网络主要完成射频信号谐波抑制、天线端阻抗匹配等功能，该部分元器件选型对通信将产生较大影响。因此，C1、C2 请尽量选用高频性能好，精度高、稳定性高的电容，推荐用

材质为 NP0 (C0G) 的电容，至少也要用 X7R 电容。

需要注意的是射频匹配参数，可以有三种方案，如下表所示。三种方案性能相差不多，推荐采用电容方案，因为可同时支持导线和 PCB 天线。

方案	C1	C2	说明
电容方案	100pF	1.5pF	可支持导线或 PCB 天线
电阻方案	0 Ω	1.5pF	仅支持导线天线
电感方案	1.5nH	1.8pF	仅支持导线天线

表 1-1 HW2181B 射频匹配网络方案

外围电源去耦电容 C4、C6 和 C9，可以滤除电源上的干扰信号。其中，特别需要注意的是 C6，建议最小取值 10uF，对于一些干扰很大的应用，建议增加到 22uF 以上。C4 和 C9 一般取 0.1uF 即可。

需要注意的是 C5，是芯片内部数字模块的滤波电容，推荐焊接，可以增强数字电路的稳定性。C3 是内部射频模块的滤波电容，一般不用焊接。

下面给出参考设计的推荐 BOM，如表 1-1 所示：

Part	Designator	Footprint	Description
100pF	C1	0603	NP0 (C0G), ±10%
1.5pF	C2	0603	NP0 (C0G), ±10%
NC	C3、C7、C8	0603	不焊接，保留位置
22uF	C6	0805	X7R, ±10%
0.1uF	C4、C5、C9	0603	X7R, ±10%
R1	10K	0603	电阻, ±10%
12MHz	Y1	—	直插无源晶振, ±10ppm
HW2181B	U1	QFN48	2.4G SOC 芯片
SIP5	XS1	SIP5	1.27mm 贴片单排针插座

表 1-2 HW2181B EVB BOM

## 第 2 章 PCB 参考设计

下面给出 HW2181B 的 PCB 参考设计，如图 2-1 所示。本图主要给出的是射频部分的参考，数字 IO 口只是简单地拉出走线，实际应用可根据需要来调整。

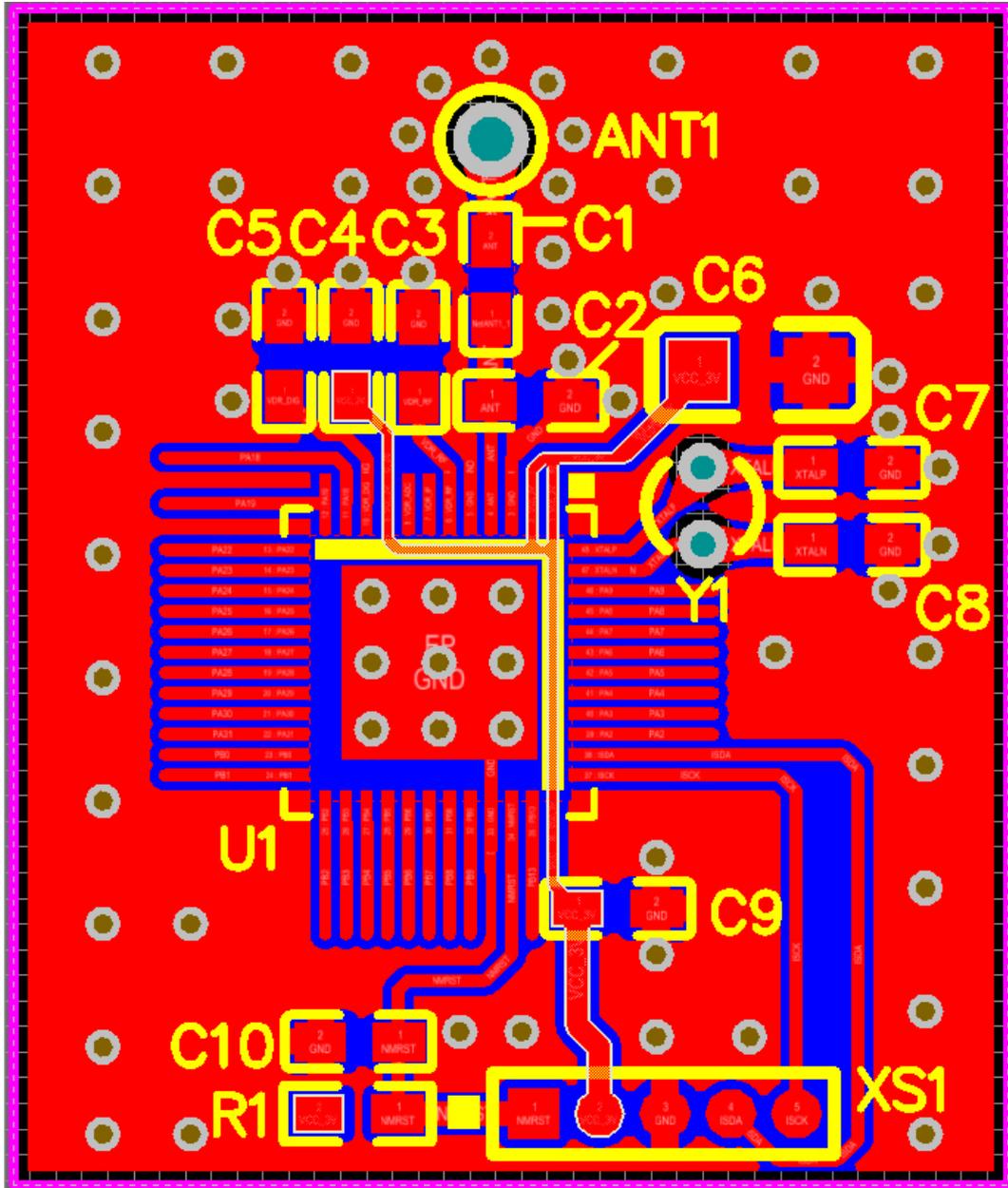


图 2-1 HW2181B EVB PCB

射频 PCB 对于布局和布线都有一定的要求，下面给出具体的注意事项：

- 1) 需要特别注意的是 ANT 脚有直流电压输出，所以推荐使用电容方案，此方案可以外接 PCB 天线和导线天线。至于电感和电阻方案，则只能接导线天线。用户可根据应用场景来选择。
- 2) 芯片底部中间的大焊盘（EP）脚必须接地，建议在此焊盘上添加 9 个均匀排列的接地过孔。推荐过孔尺寸为 0.3mm/0.5mm，减小漏锡的风险。3 脚和 5 脚不需要和底部大焊盘连接，主要用于射频信号隔离。

- 3) 射频器件必须优先布局布线。C1 和 C2 是射频匹配元件，必须尽可能靠近芯片的 ANT 脚 (PIN4)，推荐的布局方式是 C1 垂直放置，C2 水平放置。射频电路 (包括射频走线、器件和天线接口) 周围都要包地，并均匀放置一些接地过孔。
- 4) C4 和 C6 是芯片电源的滤波电容，是系统稳定工作的保证，不能省略。特别是和芯片 PIN1 和 PIN2 连接的 C6，应该选取大容量电容，建议最小取值为 10uF，推荐 22uF 以上。C5 推荐焊接，可以增强芯片的可靠性。C3 电容一般不需要焊接，可以在 PCB 板上预留位置。
- 5) 芯片内部 RF 收发器的电源管脚是 PIN1、PIN2、PIN9，MCU 的电源管脚是 PIN36，它们在内部无连接，所以需要在外连接到电源上。RF 收发器的电源线可以在芯片管脚和中间大焊盘 (EP) 之间的区域之间走线 (见图中的高亮线)，由于是在芯片底部，为了避免短路，需要在电源走线上增加一层丝印保护。电源线尽量不要在底层走线，以免破坏底层地平面的完整性。
- 6) 晶振两边的 C7 和 C8 电容一般不需要焊接，只有在需要调整晶振频率时才使用，可以在 PCB 板上预留位置。

### 第 3 章 制版工艺

由于高频电路存在，在制版过程中需要考虑 PCB 工厂的阻抗控制参数。下面给出的是双面板的制版工艺参数。单面板由于少一层参考地，性能会有所下降，但依然建议按照下面的参数进行设计。

制版规格	参数
板材	FR4
板厚 <sup>注</sup>	1.0mm
电源走线	25mil
50 欧姆射频走线宽度 <sup>注</sup>	20mil
铜厚	1.4mil (1 盎司)
接地铺铜与射频走线的间距 <sup>注</sup>	5.3mil

表 3-1 PCB 制版工艺参数

注：为保证射频走线为 50 欧姆，可以根据不同板厚，按照如下参数进行调整。以下结果为 Si9000 仿真值，仅供参考。仿真假设 FR4 的介电常数为 4.3、绿油介电常数为 4.2，这些参数对仿真结果影响较大，具体参数请与 PCB 厂家确认后自行仿真。如果需要更加准确的结果，则需要 PCB 厂家进行阻抗测试。

(1) 若射频走线采用 20mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 5.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 5.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5mil

(3) 若射频走线采用 25mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 6.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 6mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5.7mil

(3) 若射频走线采用 30mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 7.6mil

板厚为 1.2mm 时，接地铺铜与走线间距为 7.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 6.6mil