文档编号：AN1077

上海东软载波微电子有限公司

应用笔记

ESW1032 Hardware Reference Design

版权所有©上海东软载波微电子有限公司

修订历史

版本	修订日期	修改概要
V1.0	2026-6-5	初版
V1.1	2026-11-6	1）增加表 1-3 射频电路 BOM（DC/DC OFF） 2）原理图的天线端增加 ESD 管

地　址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼
E-mail：support@essemi.com
电　话：+86-21-60910333
传　真：+86-21-60914991
网　址：http://www.essemi.com

版权所有©
上海东软载波微电子有限公司
本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

目录

内容目录

第 1 章 原理图参考设计 4
1.1 原理图 4
1.2 外围电路 BOM 5
1.3 射频电路 BOM 6
第 2 章 PCB 参考设计 8
第 3 章 制版工艺 10

图目录

图 1-1 典型应用原理图（DC/DC ON） 4
图 1-2 典型应用原理图（DC/DC OFF） 4
图 2-1 典型应用 PCB 图（DC/DC ON） 8
图 2-2 典型应用 PCB 图（DC/DC OFF） 8

表目录

表 1-1 外围电路 BOM 5
表 1-2 射频电路 BOM（DC/DC ON） 6
表 1-3 射频电路 BOM（DC/DC OFF） 7
表 3-1 PCB 制版工艺参数 10

版权所有©上海东软载波微电子有限公司 http://www.essemi.com

第 1 章　原理图参考设计

1.1　原理图

ESW1032 的原理图参考设计方案有两种（DC/DC ON 和 DC/DC OFF），如图 1-1 和图 1-2 所示。

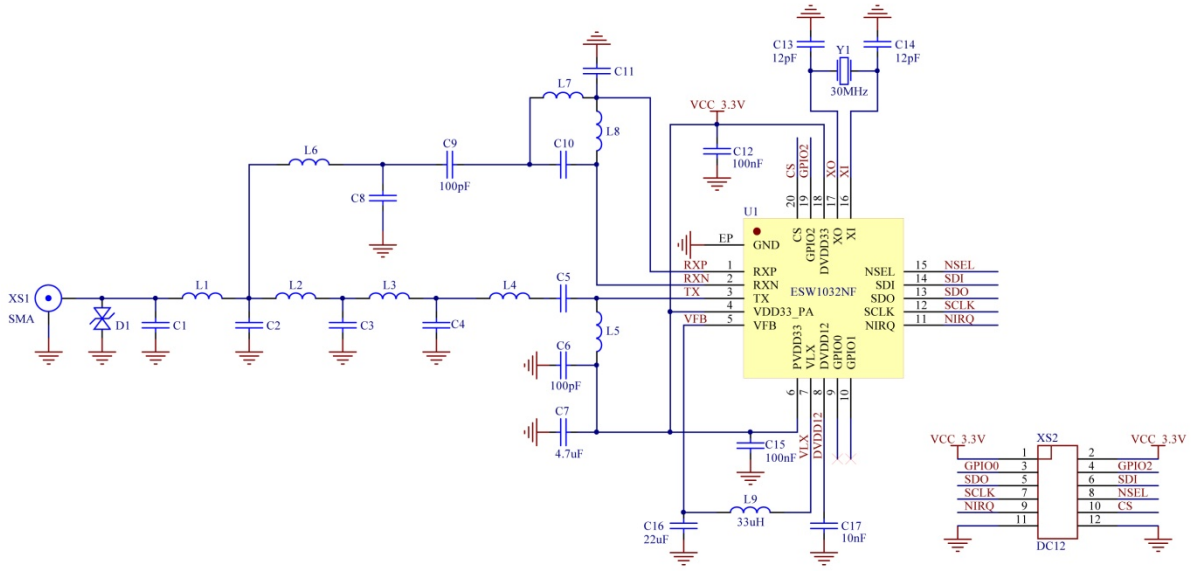


图 1-1 典型应用原理图（DC/DC ON）

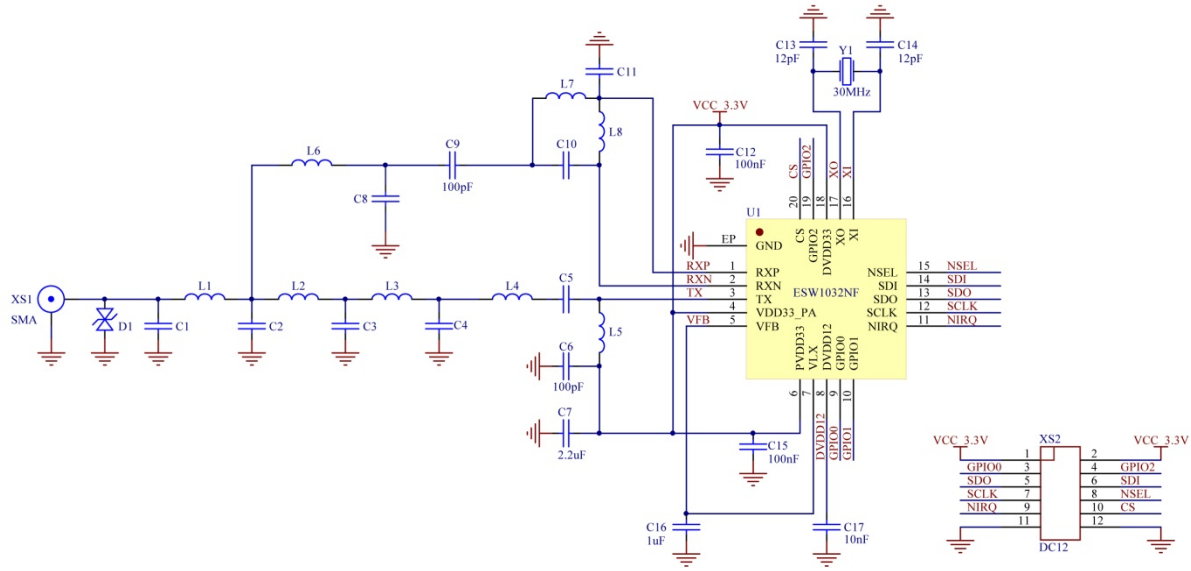


图 1-2 典型应用原理图（DC/DC OFF）

典型应用主要电路包括：时钟、射频网络和电源滤波电路。

时钟电路推荐采用 30MHz 无源贴片晶体（Y1），需外接谐振电容（C13 和 C14），其参数将影响晶体振荡频率，可参考晶体规格书来选择。晶体精度越高，无线收发设备之间的频率偏差越小，通信成功率将显著提高，推荐用户选择频率稳定度为±10ppm 的晶振。

版权所有©上海东软载波微电子有限公司　http://www.essemi.com

射频网络包括匹配网络（Matching Network）和低通滤波器（Low Pass Filter）。典型应用电路采用收发直连模式（Direct Tie），TX 和 RX 共用部分滤波网络。阻抗匹配网络实现射频收发器芯片内部阻抗到外围 50 欧姆阻抗的变换。低通滤波器采用 LC 低通滤波电路，用于滤除高频干扰杂波。需要注意的是，不同工作频率下的射频网络元件的取值不同（具体参考表 1-2 和表 1-3）。此外，由于射频网络为关键电路，使用稳定性高的元器件可提升产品可靠性。容值小于 1nF 的电容推荐采用 NP0（C0G）电容，电感推荐采用精度较高的高频叠层电感。

低噪声的电源可显著提升射频电路的稳定性。推荐通过 LDO 稳压后给射频芯片供电，并且在其电源脚上放置滤波电容（C7、C12 和 C15），以滤除电源上的杂波，提升芯片的稳定性。

需要注意的是，对于防静电要求高的应用场景，需在天线端添加 ESD 管（D1）来增强防护，为了不影响匹配参数，应选用结电容<1pF 的 ESD 管。

1.2 外围电路BOM

下面给出典型应用的外围电路 BOM，如下表所示。

Part	Designator	Footprint	Description
UAD8C05L01	D1	SOD882	君耀（Bright King）双向 ESD 管
12pF	C13、C14	0402	NP0（C0G）电容，±5%
100pF	C6、C9	0402	NP0（C0G）电容，±5%
10nF	C17	0402	X7R 电容，±10%
100nF	C12、C15	0402	X7R 电容，±10%
4.7μF 注	C7	0603	X5R 电容，±10%
—	C1 ~ C5，C8、C10、C11	0402	NP0（C0G）电容，±5%（取值参考表 1-2）
22μF 注	C16	0603	X5R 电容，±20%
—	L1 ~ L8	0402	高频叠层电感，±5%（取值参考表 1-2）
33μH 注	L9	1210	功率电感，±10%
30MHz	Y1	3225	无源晶振，±10ppm，CL=10pF
ESW1032	U1	QFN20(4X4)	上海东软载波 Sub-1G 射频收发器芯片
IDC12	XS1	DC12	2.54mm 双排针插座
SMA	XS2	SMA	SMA 插座

表 1-1 外围电路 BOM

注 1：若采用 DC/DC OFF 方案，L9 可删除，C7 可改为 2.2μF，C16 可改为 1μF。

版权所有©上海东软载波微电子有限公司 http://www.essemi.com

1.3 射频电路BOM

ESW1032 支持多个频率，不同频率下的射频电路元件取值有所不同。此外，DC/DC ON 和 DC/DC OFF 方案的射频网络元件也略有差异。

下面分别给出 DC/DC ON 和 DC/DC OFF 方案在不同频率下的射频电路 BOM。

频率 / 元件标号	433MHz	868MHz	915MHz
L1	15nH	6.8nH	8.2nH
L2	27nH	10nH	8.2nH
L3	18nH	10nH	8.2nH
L4	27nH	10nH	5.6nH
L5	220nH	120nH	120nH
L6	0Ω	8.2nH	9.1nH
L7	120nH	47nH	39nH
L8	56nH	15nH	15nH
C1	10pF	3.9pF	2.7pF
C2	12pF	6.8pF	6.8pF
C3	8.2pF	3.3pF	3.3pF
C4	10pF	6.8pF	6.8pF
C5	12pF	5.6pF	15pF
C8	2.2pF	4.7pF	3.9pF
C10	2.2pF	1.2pF	1.0pF
C11	3.9pF	3.3pF	2.7pF

表 1-2 射频电路 BOM（DC/DC ON）

注：433MHz 频段，L6 为 0 欧姆电阻。

版权所有©上海东软载波微电子有限公司 http://www.essemi.com

频率 / 元件标号	433MHz	868MHz	915MHz
L1	15nH	6.8nH	6.8nH
L2	27nH	10nH	6.8nH
L3	18nH	10nH	6.8nH
L4	27nH	10nH	5.6nH
L5	220nH	120nH	120nH
L6	0Ω	8.2nH	9.1nH
L7	56nH	27nH	27nH
L8	56nH	15nH	15nH
C1	10pF	2.2pF	2.7pF
C2	12pF	6.8pF	6.8pF
C3	8.2pF	3.3pF	3.3pF
C4	10pF	6.8pF	6.8pF
C5	12pF	5.1pF	15pF
C8	2.2pF	4.7pF	3.9pF
C10	2.2pF	1.2pF	1.0pF
C11	3.9pF	3.3pF	2.7pF

表 1-3 射频电路 BOM（DC/DC OFF）

注：433MHz 频段，L6 为 0 欧姆电阻；标红的元件值表明此数值与 DC/DC ON 方案存在差异。

版权所有©上海东软载波微电子有限公司 http://www.essemi.com

第 2 章　PCB参考设计

下面给出两种方案的 PCB 参考设计图，图中高亮部分为电源走线。

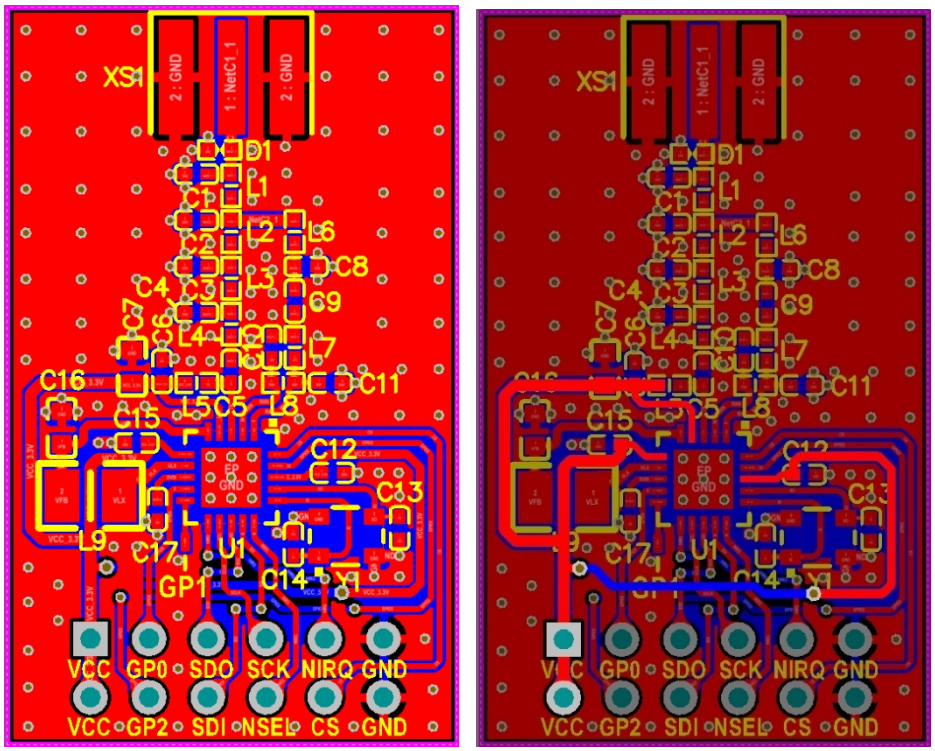


图 2-1 典型应用 PCB 图（DC/DC ON）

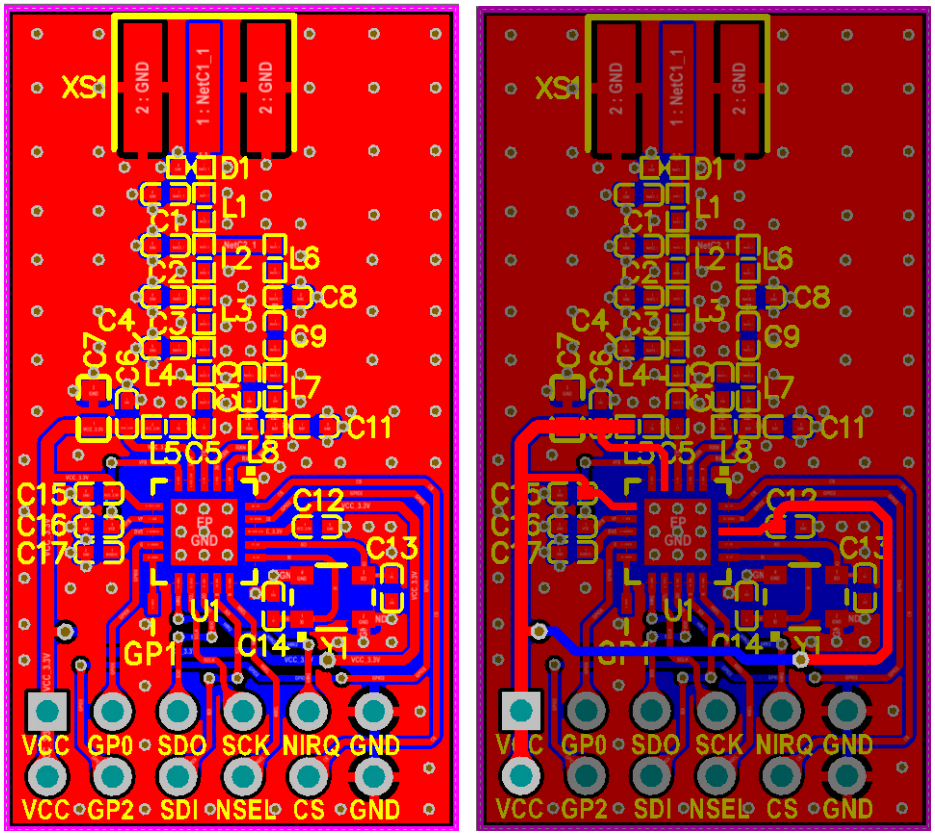


图 2-2 典型应用 PCB 图（DC/DC OFF）

版权所有©上海东软载波微电子有限公司　http://www.essemi.com

ESW1032 的 PCB 参考设计采用双面板，注意事项如下：

- 所有元器件均布局在顶层，底层需提供完整的参考地平面。
- ESD 管 D1 应尽可能靠近天线端口（如 SMA 座），且 D1 的接地焊盘旁应就近放置 2~3 个过孔。
- 射频元器件推荐采用一字形布局，且排列紧凑。TX 脚到 SMA 座之间为发射通路，直线排列有利于降低能量衰减。RXP 和 RXN 脚到 SMA 座之间为接收通路，需和发射通路保持足够宽的间隔，整体上也应呈直线排列。此外，L7 和 L8 电感的互连需采用 L 形布局，可减小互感。
- 射频走线应尽可能短，应特别注意减少分支线长度；其中，发射管脚（TX）只需控制走线长度，而接收管脚（RFP 和 RFN）与 L8 的连线为差分线，还需保持平行和等长。此外，为拉开 RX 与 TX 电路的间距，接收管脚出线时，应略微向右上方倾斜一段，再向上走线。
- 为降低接地阻抗，芯片底部中央接地焊盘可均匀放置 9 个过孔。芯片到 SMA 座之间的射频走线应“包地”（对地铺铜），且射频线两边应均匀放置接地过孔。此外，射频电路周边空白区域也应均匀放置接地过孔。
- 单端接地电容（C1~C4、C6~C7、C8、C11 等）的接地焊盘旁应就近放置 2~3 个过孔，且呈品字形分布。
- DC/DC、数字电路和晶振电路应尽可能远离射频电路。如 L9 和 C16 为 DC/DC 电路元件，应置于芯片左边，且与芯片上方的射频电路保持足够的间距。
- 特别注意电源线的走向，若采用 DC/DC 使能方案，禁止在芯片底部中央焊盘和管脚间隙之间走线，避免电源线对芯片的干扰。若电源与数字信号走底层，应避免对地平面分割，且尽可能远离射频电路；禁止在芯片对应的底层区域走线，避免破坏底层地平面的完整性。
- 电源滤波电容（C12、C15 和 C17）应尽可能靠近芯片电源管脚，可提升滤波效果。
- 射频走线宽度和铺铜间距，可参考第 3 章《制版工艺》。

版权所有©上海东软载波微电子有限公司 http://www.essemi.com

第 3 章　制版工艺

由于高频信号的存在，在 RF PCB 制版过程中应考虑 PCB 工厂的阻抗控制参数。下面给出参考设计的制版工艺参数。

制版规格	参数
板材	FR4
层数	2 层
板厚	1.2mm
电源走线	25mil
50 欧姆射频走线宽度	20mil
铜厚	1.4mil（1 盎司）
接地铺铜与射频走线间距	5.1mil

表 3-1 PCB 制版工艺参数

为保证射频走线为 50 欧姆，可以根据不同板厚，按照以下参数进行调整。（注：以下结果为仿真值，仅供参考。仿真假设 FR4 的介电常数为 4.3、绿油介电常数为 4.2，这些参数对仿真结果影响较大，具体参数请与 PCB 厂家确认后再仿真。如果需要更加准确的结果，则需要 PCB 厂家进行阻抗控制。）

（1）若射频走线采用 20mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 5.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 5.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5mil

（3）若射频走线采用 25mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 6.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 6mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5.7mil

（3）若射频走线采用 30mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 7.6mil

板厚为 1.2mm 时，接地铺铜与走线间距为 7.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 6.6mil

版权所有©上海东软载波微电子有限公司 http://www.essemi.com