

8 位 MCU
ES7H2023
ES7H2024

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2021 年 9 月 9 日

MCU 芯片使用注意事项

关于芯片的上/下电

东软微电子 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软微电子 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软微电子 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软微电子 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软微电子 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软微电子 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软微电子 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

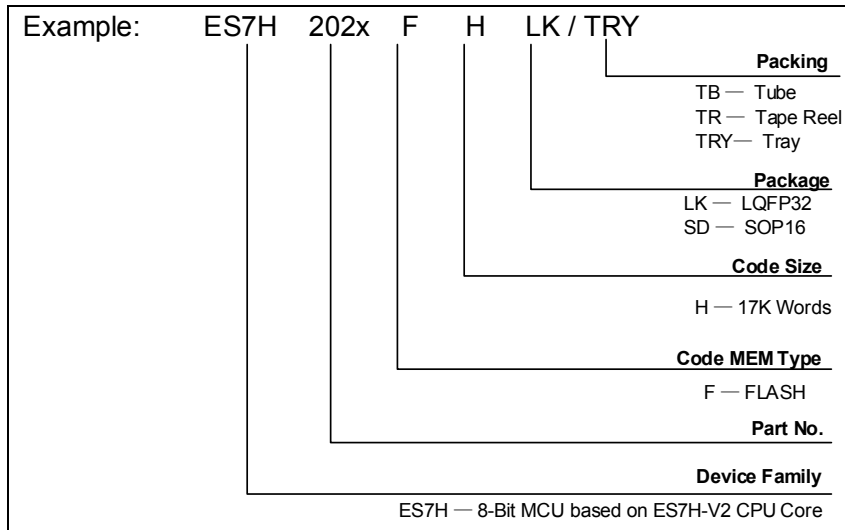
关于芯片的开发环境

东软微电子 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型号	FLASH	RAM	I/O	Timer	PWM	UART	I2C	ADC	TKs	LVD	封装类型
ES7H2023FHLK	17K Words	1.5K Bytes	30	8-bitX1 12-bitX3 16-bitX2	12-bit x 6 16-bit x 4	4	1	12-bit× (12+2)	24	1	LQFP32
ES7H2023FHSD	17K Words	1.5K Bytes	14	8-bitX1 12-bitX3 16-bitX2	12-bit x 3 16-bit x 4	2	1	12-bit× (5+2)	12	1	SOP16
ES7H2024FHSD	17K Words	1.5K Bytes	14	8-bitX1 12-bitX3 16-bitX2	12-bit x 3 16-bit x 4	4	1	12-bit× (6+2)	12	1	SOP16



地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼
E-mail: support@essemi.com
电 话：+86-21-60910333
传 真：+86-21-60914991
网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2018-12-19	初版发布
V1.1	2019-11-5	新增 ES7H2024FHSD 产品型号。
V1.2	2021-9-9	1. 更新产品订购信息表中 ES7H2024 的 UART 数量； 2. 更新 POD 尺寸参数； 3. 更新公司地址。

目 录

内容目录

第 1 章	芯片简介	13
1.1	概要	13
1.1.1	特性.....	13
1.1.2	选型表	16
1.1.3	应用领域	16
1.2	结构框图.....	17
1.3	管脚分配图	18
1.3.1	LQFP32 封装图.....	18
1.3.2	SOP16 封装图	19
1.4	管脚说明	20
1.4.1	管脚封装对照表.....	20
1.4.2	管脚描述	21
第 2 章	内核特性	25
2.1	CPU 内核概述	25
2.2	硬件乘法器和硬件除法器.....	25
2.3	特殊功能寄存器	26
第 3 章	存储资源	31
3.1	概述	31
3.2	程序寻址空间映射	31
3.3	FLASH 程序存储器.....	32
3.3.1	概述.....	32
3.3.2	程序计数器 (PC)	32
3.3.3	硬件堆栈	33
3.3.4	FLASH 存储器的查表读和 IAP 操作	33
3.3.4.1	概述	33
3.3.4.2	FLASH 存储器的查表读.....	34
3.3.4.3	FLASH 存储器的 IAP 擦除.....	35
3.3.4.4	FLASH 存储器的 IAP 编程.....	37
3.3.4.5	特殊寄存器.....	40
3.4	在线编程 ISP 和在线调试 ICD.....	44
3.5	数据寻址空间.....	45
3.5.1	概述.....	45
3.5.2	数据寻址空间映射.....	46
3.5.3	通用数据存储器 SRAM	46
3.5.4	特殊功能寄存器 SFR	47
3.5.5	寻址方式	50
3.5.5.1	直接寻址	50
3.5.5.2	GPR 特殊寻址	51
3.5.5.3	间接寻址	51
3.6	特殊功能寄存器	52
第 4 章	输入/输出端口	55

4.1	概述	55
4.2	I/O 结构框图	56
4.3	I/O 端口功能	56
4.3.1	I/O 端口输入/输出控制	56
4.3.2	I/O 端口弱上拉、弱下拉功能	56
4.3.3	I/O 端口模拟/数字类型选择功能	56
4.3.4	增强驱动能力 I/O	57
4.3.5	I/O 端口复用功能	57
4.4	外部端口中断 (PINT)	57
4.5	I/O 端口操作注意事项	57
4.6	特殊功能寄存器	58
第 5 章	特殊功能及操作特性	67
5.1	系统时钟和振荡器	67
5.1.1	概述	67
5.1.2	结构框图	67
5.1.3	时钟源	67
5.1.3.1	外部高频晶体/陶瓷振荡器 OSC	67
5.1.3.2	内部高速 16MHz RC 振荡器 HRC	68
5.1.3.3	内部低速 32KHz RC 振荡器 LRC	68
5.1.4	系统时钟源切换	68
5.1.4.1	系统上电时序	69
5.1.5	系统时钟分频	70
5.1.6	时钟切换等待	70
5.1.7	特殊功能寄存器	71
5.2	看门狗定时器	73
5.2.1	概述	73
5.2.2	WDT 操作	73
5.2.3	特殊功能寄存器	74
5.3	复位模块	75
5.3.1	概述	75
5.3.2	上电复位 POR	75
5.3.3	掉电复位 BOR	76
5.3.4	外部 MRSTN 管脚复位	76
5.3.5	看门狗定时器溢出复位	77
5.3.6	RST 指令复位	78
5.3.7	特殊功能寄存器	78
5.4	低功耗操作	80
5.4.1	概述	80
5.4.2	IDLE 状态	80
5.4.3	唤醒方式配置	80
5.4.4	低功耗下的功能模块	80
5.4.5	时钟源的关闭和唤醒	81
5.4.6	唤醒时序图	81
5.4.7	特殊功能寄存器	82

第 6 章	外设	84
6.1	定时器/计数器 (Timer/Counter) 模块	84
6.1.1	8 位定时器/计数器 (T10)	84
6.1.1.1	概述	84
6.1.1.2	内部结构图.....	84
6.1.1.3	预分频器	84
6.1.1.4	工作模式	85
6.1.1.5	定时器模式.....	85
6.1.1.6	计数器模式.....	86
6.1.1.7	特殊功能寄存器	86
6.1.2	12 位多功能定时器 (T11/T12/T13)	88
6.1.2.1	概述	88
6.1.2.2	内部结构图.....	89
6.1.2.3	预分频器和后分频器	89
6.1.2.4	工作模式	89
6.1.2.5	定时器模式.....	89
6.1.2.6	异步计数器模式	90
6.1.2.7	双精度 PWM 模式.....	91
6.1.2.8	互补 PWM 模式	92
6.1.2.9	单脉冲发射模式	94
6.1.2.10	PWM 关断事件和重启	95
6.1.2.11	PWM 沿启动 AD 转换.....	96
6.1.2.12	特殊功能寄存器	97
6.1.3	16 位多功能定时器 (T20/T21)	104
6.1.3.1	概述	104
6.1.3.2	内部结构图.....	105
6.1.3.3	预分频器和后分频器	105
6.1.3.4	工作模式	105
6.1.3.5	定时器模式.....	105
6.1.3.6	异步/同步计数器模式	106
6.1.3.7	双精度 PWM 模式.....	107
6.1.3.8	互补 PWM 模式	108
6.1.3.9	捕捉器模式.....	110
6.1.3.10	比较器模式.....	111
6.1.3.11	PWM 关断事件和重启	112
6.1.3.12	PWM 沿启动 AD 转换.....	113
6.1.3.13	特殊功能寄存器	114
6.2	异步接收发送器 (UART0/UART1/UART2/UART3)	121
6.2.1	概述.....	121
6.2.2	内部结构图.....	121
6.2.3	波特率配置.....	122
6.2.4	传输数据格式	122
6.2.5	异步发送器.....	122
6.2.6	异步接收器.....	124

6.2.7	特殊功能寄存器.....	125
6.3	I2C 总线从动器 (I2CS)	128
6.3.1	概述.....	128
6.3.2	I2CS 端口配置	128
6.3.3	通讯协议	129
6.3.4	数据传输格式参考.....	129
6.3.5	中断和暂停.....	130
6.3.6	特殊功能寄存器.....	130
6.4	模/数转换器模块 (ADC)	134
6.4.1	概述.....	134
6.4.2	ADC 内部结构图	134
6.4.3	ADC 配置	135
6.4.4	ADC 转换步骤.....	135
6.4.5	ADC 时序特征示意图.....	136
6.4.6	特殊功能寄存器.....	136
6.5	低电压检测模块 (LVD)	140
6.5.1	概述.....	140
6.5.2	LVD 操作	140
6.5.3	特殊功能寄存器.....	141
6.6	偏置电压产生模块 (VGEN)	142
6.6.1	概述.....	142
6.6.2	内部结构图.....	142
6.6.3	LCD 偏置电压基本设置.....	142
6.6.4	偏置电压选择	143
6.6.5	特殊功能寄存器.....	143
6.7	触摸按键控制 (TK)	146
6.7.1	概述.....	146
6.7.2	内部结构图.....	146
6.7.3	触摸按键扫描工作原理.....	147
6.7.4	触摸按键端口控制.....	148
6.7.5	触摸按键扫描参考流程.....	148
6.7.6	特殊功能寄存器.....	150
第 7 章	中断处理.....	158
7.1	概述	158
7.2	内部结构	159
7.3	中断模式选择.....	160
7.3.1	默认中断模式	161
7.3.2	向量中断模式	161
7.3.2.1	向量表配置.....	161
7.3.2.2	中断向量分组.....	161
7.4	中断使能配置.....	163
7.5	中断现场保护	165
7.6	中断操作	165
7.6.1	硬件除法中断	165

7.6.2	外部中断	166
7.6.3	T10 溢出中断	166
7.6.4	T1n 溢出中断	166
7.6.5	T1n 周期中断	166
7.6.6	T2n 溢出中断	166
7.6.7	T2n 周期中断	167
7.6.8	T2n 多功能中断 0/1	167
7.6.9	UART 中断	167
7.6.10	I2CS 中断	168
7.6.11	ADC 中断	168
7.6.12	IAP 中断	168
7.6.13	LVD 中断	168
7.6.14	触摸按键中断	169
7.7	中断操作注意事项	169
7.8	特殊功能寄存器	169
第 8 章	芯片配置字	177
第 9 章	芯片封装图	179
9.1	32-pin 封装图	179
9.2	16-pin 封装图	180
附录 1	指令集	181
附录 1.1	概述	181
附录 1.2	寄存器操作指令	181
附录 1.3	程序控制指令	181
附录 1.4	算术/逻辑运算指令	183
附录 2	特殊功能寄存器总表	185
附录 3	电气特性	198
附录 3.1	参数特性表	198
附录 3.1.1	芯片工作条件	198
附录 3.1.2	芯片特性参数测量方法	199
附录 3.1.3	芯片功耗特性	199
附录 3.1.4	芯片 IO 端口特性	201
附录 3.1.5	芯片系统时钟特性	203
附录 3.1.6	芯片 ESD 特性	204
附录 3.1.7	芯片功能模块特性	204
附录 3.2	参数特性图	208
附录 3.2.1	芯片功耗特性	208
附录 3.2.2	芯片 IO 端口输入特性	209
附录 3.2.3	芯片 IO 端口输出特性（普通驱动，PB0~PB7 端口除外）	211
附录 3.2.4	芯片 IO 端口输出特性（增强驱动，PB0~PB7 端口除外）	215
附录 3.2.5	芯片 IO 端口输出特性（普通驱动，PB0~PB7 端口）	218
附录 3.2.6	芯片 IO 端口输出特性（大电流驱动，PB0~PB7 端口）	221

图目录

图 1-1	结构框图.....	17
图 1-2	ES7H2023 LQFP32 封装顶视图.....	18
图 1-3	ES7H2023 SOP16 封装顶视图.....	19
图 1-4	ES7H2024 SOP16 封装顶视图.....	19
图 3-1	程序寻址空间映射图	31
图 3-2	堆栈示意图.....	33
图 3-3	用户程序区分区.....	34
图 3-4	页擦流程图.....	36
图 3-5	编程流程图.....	38
图 3-6	数据寻址空间映射图	46
图 3-7	SRAM 地址映射示意图	47
图 3-8	快速访问区特殊功能寄存器	48
图 3-9	特殊功能寄存器 (Section 0)	49
图 3-10	特殊功能寄存器 (Section 1)	50
图 3-11	直接寻址示意图.....	51
图 3-12	GPR 特殊寻址示意图.....	51
图 3-13	间接寻址示意图.....	52
图 4-1	I/O 端口结构图	56
图 5-1	系统时钟内部结构图	67
图 5-2	振荡器电路示意图.....	68
图 5-3	系统上电时序图 (外部复位时间小于上电定时时间)	70
图 5-4	系统上电时序图 (外部复位时间大于上电定时时间)	70
图 5-5	看门狗定时器内部结构图	73
图 5-6	系统复位内部结构图	75
图 5-7	上电复位时序示意图	75
图 5-8	低电压复位时序示意图.....	76
图 5-9	外部 MRSTN 管脚复位	76
图 5-10	MRSTN 复位参考电路图 1.....	77
图 5-11	MRSTN 复位参考电路图 2.....	77
图 5-12	看门狗溢出复位.....	78
图 5-13	RST 指令复位	78
图 5-14	系统唤醒时序图.....	82
图 6-1	T10 内部结构图.....	84
图 6-2	定时器模式时序图	86
图 6-3	计数器模式时序图 (T10EG=0, T10CKI 上升沿计数)	86
图 6-4	T1n 内部结构图.....	89
图 6-5	T1n 定时器模式时序图.....	90
图 6-6	T1n 异步计数模式时序图	91
图 6-7	T1n 双精度 PWM 模式示意图.....	92
图 6-8	T1n 互补 PWM 模式示意图.....	93
图 6-9	T1n 单脉冲发射模式示意图	94
图 6-10	PWM 关断与自动重启.....	96
图 6-11	PWM 关断与软件重启	96

图 6-12	T2n 内部结构图.....	105
图 6-13	T2n 定时器模式时序图.....	106
图 6-14	T2n 计数器模式时序图.....	107
图 6-15	T2n 双精度 PWM 模式示意图.....	108
图 6-16	T2n 互补 PWM 模式示意图.....	109
图 6-17	T2n 捕捉器模式时序图 (T2nM=0101, 每个脉冲上升沿捕捉信号)	111
图 6-18	T2n 比较器模式时序图.....	112
图 6-19	PWM 关断与自动重启.....	113
图 6-20	PWM 关断与软件重启.....	113
图 6-21	UART 发送端原理图	121
图 6-22	UART 接收端原理图	122
图 6-23	UARTn 数据格式示意图.....	122
图 6-24	UARTn 发送器操作流程图.....	123
图 6-25	UARTn 发送器发送数据时序图 (9 位数据格式, 第 9 位数据为“0”)	124
图 6-26	UARTn 接收器操作流程图.....	125
图 6-27	UARTn 接收器接收数据时序图 (9 位数据格式)	125
图 6-28	I2C 总线通讯协议示意图.....	129
图 6-29	主控器写入从动器数据示意图.....	129
图 6-30	主控器读取从动器数据示意图.....	130
图 6-31	ADC 内部结构图	134
图 6-32	ADC 时序特征示意图.....	136
图 6-33	LVD 工作时序图	140
图 6-34	LCD 偏置电压产生模块框图	142
图 6-35	触摸按键触摸结构示意图.....	146
图 6-36	无触摸状态示意图.....	148
图 6-37	有触摸状态示意图.....	148
图 6-38	触摸按键操作流程.....	149
图 7-1	默认中断模式中中断控制逻辑	159
图 7-2	向量中断模式中中断控制逻辑	160

表目录

表 1-1	管脚封装对照表.....	20
表 1-2	管脚说明.....	24
表 3-1	在线编程/调试管脚说明.....	44
表 5-1	振荡器匹配电容参考表.....	68
表 5-2	唤醒方式配置表.....	80
表 5-3	功能模块低功耗配置分类表	81
表 5-4	功能模块低功耗配置分类表	81
表 6-1	T10 预分频器配置表	85
表 6-2	UARTn 波特率配置表	122
表 7-1	中断模式选择表.....	161
表 7-2	中断向量表.....	161
表 7-3	向量中断模式中断分组配置表.....	162
表 7-4	中断使能配置表.....	164

第1章 芯片简介

1.1 概要

1.1.1 特性

- ◆ 工作条件
 - ◇ 工作电压范围：2.2V ~ 5.5V（BOR 最低档位电压：2.1V）
 - ◇ 工作温度范围：-40 ~ 85°C
- ◆ 工艺、封装
 - ◇ 低功耗、高速 FLASH CMOS 工艺
 - ◇ LQFP32/SOP16 封装
- ◆ 内核
 - ◇ ES7H-V2 RISC CPU 内核，79 条精简指令集
 - ◇ 2T 架构，系统时钟最高支持 20MHz，最小指令周期 100ns
 - ◇ 支持中断优先级和中断向量表
 - ◇ 程序指针硬件堆栈共享 SRAM 空间，堆栈级数用户可配置，最大 64 级
 - ◇ 支持 8 x 8 硬件乘法器和 32 ÷ 16 多节拍硬件除法器
- ◆ 复位
 - ◇ 内嵌上电复位 POR
 - ◇ 内嵌下电复位 BOR，固定为使能，支持 2.1V、2.6V 和 3.7V 三个电压点选择
 - ◇ 支持外部复位 MRSTN，低电平有效；MRSTN 和 PA4 端口复用，通过芯片配置字 MRSTEN 位进行选择，当配置为 MRSTN 时，该端口内部上拉电阻固定为使能
- ◆ 时钟源
 - ◇ 外部晶体振荡器 OSC
 - 可配置为 HS 模式，使用 4~20MHz 晶振，用于主系统时钟源，内置系统时钟分频器
 - 可配置为 LP 模式，使用 32.768KHz 晶振，可选择用于主系统时钟源和定时器 T11/T12/T13/T20/T21 的外部计数时钟源
 - ◇ 内部 16MHz 高频时钟振荡器 HRC
 - 用于主系统时钟源，内置系统时钟分频器
 - 出厂校准精度为±0.5%（25°C，VDD=5.0V）
 - ◇ 内部 32KHz 低频振荡器 LRC
 - 用于 WDT 时钟源，可选择用于主系统和部分外设时钟源
- ◆ 存储资源
 - ◇ 17K Words FLASH 程序存储器，支持 IAP 操作
 - Flash 程序存储器共 17Kx16 bits，每 512*16 bits 为一页，每两页为一个分区，共 17 个分区，支持全加密和分区加密
 - 支持在线编程 ISP 模式下，Flash 程序存储器全擦除

- 支持在线编程 ISP 模式下，只对“未分区加密的页和全加密字”的擦除，保留“分区加密的页和分区加密字”数据；在执行“未分区加密的页和全加密字”擦除时，用户可设置禁止擦除的页（对设置为禁止擦除的页，只有芯片全擦除指令可擦除）
- 支持 IAP（In Application Programming）操作
- IAP 操作时 CPU 暂停运行，外设可设置为运行或停止
- 在 IAP 擦除或编程期间，仅可响应 EPASx 和 PINTx 中断，但并不执行中断服务程序，而是由硬件电路自动关停或重启 PWM
- ◇ 1.5K Bytes SRAM 数据存储（部分空间与程序指针堆栈共用）

◆ I/O 端口

- ◇ 支持最多 30 个 I/O 端口
- ◇ 支持 8 个可编程大电流驱动端口 PB0~PB7（最大灌电流 100mA）
- ◇ 支持 8 个外部端口中断，可选择上升沿、下降沿或电平变化触发（PINT0~PINT7）
- ◇ PB0~PB7 可通过配置 LCD 偏置电压模块获得 VSS、1/2VDD 或 VDD 分压输出
- ◇ 其他 GPIO 的上拉电阻和下拉电阻近似相等，可通过同时使能上拉和下拉获得 1/2 VDD 偏置电压输出

◆ 外设

- ◇ 1 路 8 位定时/计数器 T10
 - 内置 8 位预分频器
 - 支持定时器/计数器模式
 - 支持计数器溢出中断
- ◇ 3 路 12 位 PWM 定时器 T11/T12/T13
 - 可用于三相 BLDC 电机驱动
 - 内置 4 位预分频器和 7 位后分频器；预分频 1:1~ 1:16 共 16 级可选
 - 支持定时器模式
 - 支持双精度 PWM 模式
 - 支持互补 PWM 模式（带死区控制）
 - 支持单脉冲发射模式
 - 支持后分频溢出中断和 PWM 周期中断
 - PWM 关断输出可配置为高、低电平或三态
 - PWM 外部硬件关断和重启信号 EPAS0/EPAS1 可配置
 - EPAS1 有两个可配置管脚，可通过软件选择其中一个
 - 支持 PINTx 关断 PWM
 - 支持 PWM 输出启动 ADC 转换
 - 支持 PWM 时钟源可配置：系统时钟 Fosc，或 64MHz PLL 时钟
- ◇ 2 路 16 位定时/计数器 T20/T21
 - 内置 8 位预分频器
 - 支持同步定时器模式（采用系统时钟分频作为时钟源）
 - 支持异步计数器模式（可采用外部 32.768KHz 晶振时钟作为时钟源）
 - 支持 16 位捕捉功能
 - 支持 16 位比较功能
 - 支持复用中断和计数器溢出中断

- 支持双精度 PWM 模式
- 支持互补 PWM 模式（带死区控制）
- 支持单脉冲发射模式
- 支持后分频溢出中断和 PWM 周期中断
- PWM 关断输出可配置为高、低电平或三态
- PWM 外部硬件关断和重启信号 EPAS0/EPAS1 可配置
- EPAS1 有两个可配置管脚，可通过软件选择其中一个
- 支持 PINTx 关断 PWM
- 支持 PWM 输出启动 ADC 转换
- 支持 PWM 时钟源可配置：系统时钟 Fosc，或 64MHz PLL 时钟
- ◇ 4 路异步串行收发器 UART0/UART1/UART2/UART3
 - 内置波特率发生器
 - 支持异步全双工收发
 - 8 位/9 位数据格式可选
 - 约定从最低位接收/发送
 - 支持接收和发送中断
 - UART0 可软件配置所需使用的通讯端口
- ◇ 1 路 I2C 总线
 - 只支持从动模式
 - 支持标准 I2C 总线协议，最高传输速率 400K bit/s
 - 支持 7 位寻址方式
 - 约定数据从最高位开始接收/发送
 - 支持中断产生
- ◇ 模拟数字转换器 ADC
 - 12 位数字转换精度
 - 最多 12+2 通道模拟输入端
 - 支持 ADC 转换完成中断
 - 支持内部参考电压可配置：2.048V，4.096V
 - 支持外部参考电压
- ◇ 低电压监测模块
 - 可监测 VDD
 - 支持 VDD 监测电压点可配置
 - 支持被监测电压的掉电和上电中断
 - 可用于 FLASH 存储器 IAP 操作时的 VDD 电压异常保护机制
- ◇ 触摸按键功能模块 TK
 - 支持最多 24 个触摸按键
 - 支持工作频率可配置：4MHz、2MHz、1MHz、500KHz
 - 支持可选基准参考电压
 - 支持触摸按键扫描中断
 - 支持充电补偿，提高按键扫描一致性
- ◆ 低功耗
 - ◇ 支持低功耗睡眠模式及硬件唤醒
 - ◇ 睡眠待机电流典型值 5uA（25℃，VDD=5.0V）

- ◆ 硬件看门狗电路
 - ◇ 采用内部 32KHz LRC 时钟源，最大计数溢出周期约 4.096 秒
 - ◇ 可选择睡眠模式下运行或暂停，睡眠模式下运行计数溢出可唤醒 CPU
- ◆ 编程和调试
 - ◇ 支持 5 线制编程接口（ISP）
 - ◇ 支持 5 线制在线调试接口（ICD）
 - ◇ 支持两组编程/调试接口可选择
 - ◇ 支持整体编程代码加密保护和分区编程代码加密保护

注：对 100mA 大电流驱动 I/O 端口 PB0~PB7，同时只能有一个端口驱动 100mA 的负载。如用于 LED 驱动时，需采取共阴极动态扫描驱动。当灌电流配置为强驱动时（100mA），禁止设置拉电流为增强驱动，否则可能引起芯片工作异常。

1.1.2 选型表

型号	FLASH	RAM	I/O	Timer	PWM	UART	I2C	ADC	TKs	LVD	封装类型
ES7H2023FHLK	17K Words	1.5K Bytes	30	8-bitX1 12-bitX3 16-bitX2	12-bit x 6 16-bit x 4	4	1	12-bit× (12+2)	24	1	LQFP32
ES7H2023FHSD	17K Words	1.5K Bytes	14	8-bitX1 12-bitX3 16-bitX2	12-bit x 3 16-bit x 4	2	1	12-bit× (5+2)	12	1	SOP16
ES7H2024FHSD	17K Words	1.5K Bytes	14	8-bitX1 12-bitX3 16-bitX2	12-bit x 3 16-bit x 4	4	1	12-bit× (6+2)	12	1	SOP16

注：1.5K Bytes RAM 中内部含可配置的最大级数为 64 级的堆栈。

1.1.3 应用领域

本系列芯片可广泛用于各家电领域。

1.2 结构框图

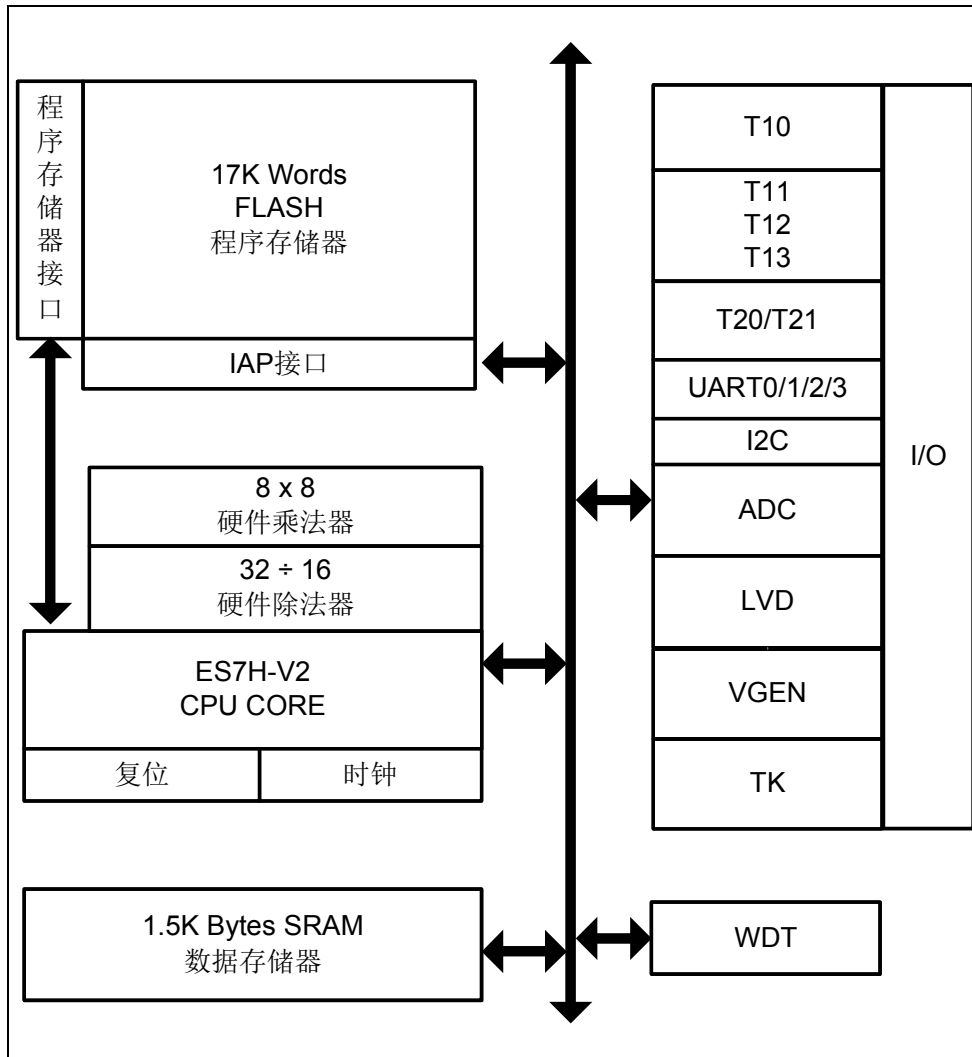


图 1-1 结构框图

1.3 管脚分配图

1.3.1 LQFP32 封装图

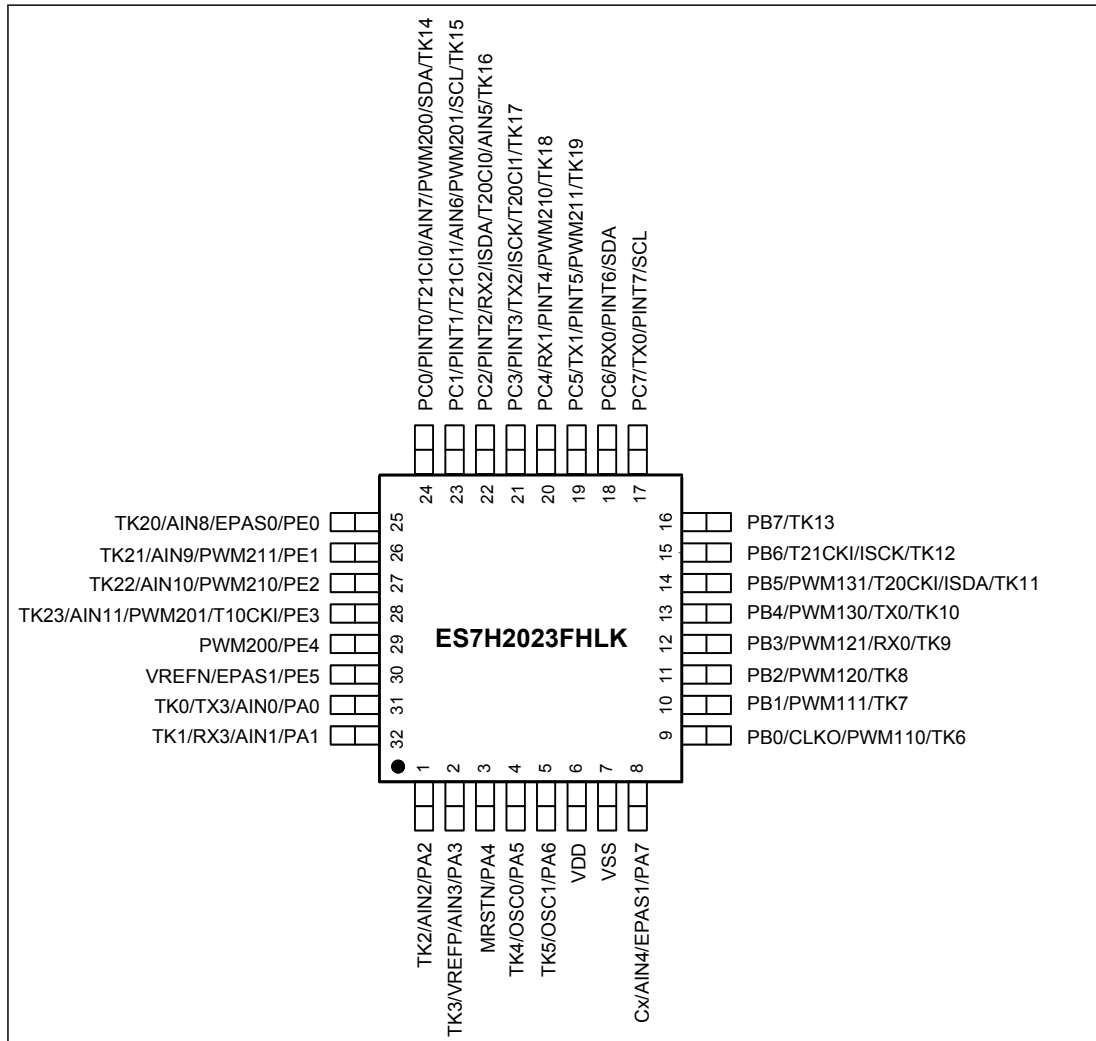


图 1-2 ES7H2023 LQFP32 封装顶视图

1.3.2 SOP16 封装图

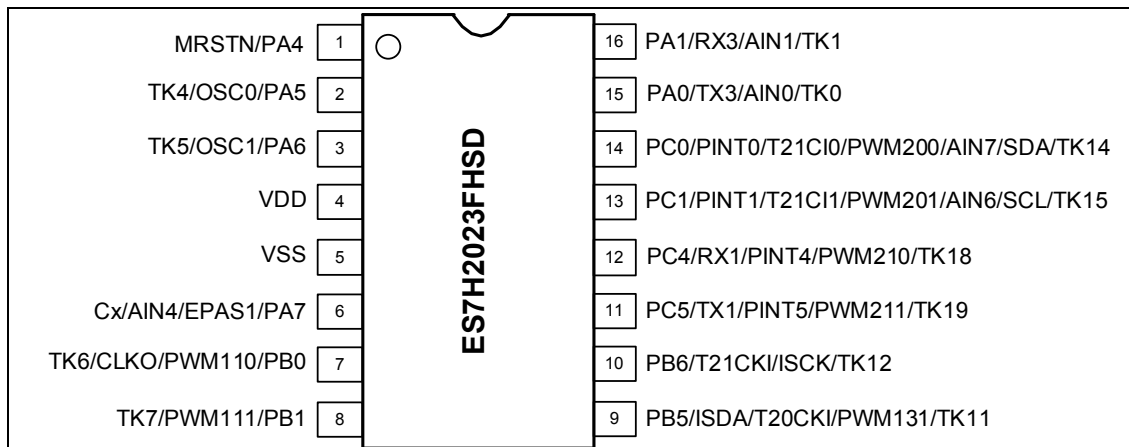


图 1-3 ES7H2023 SOP16 封装顶视图

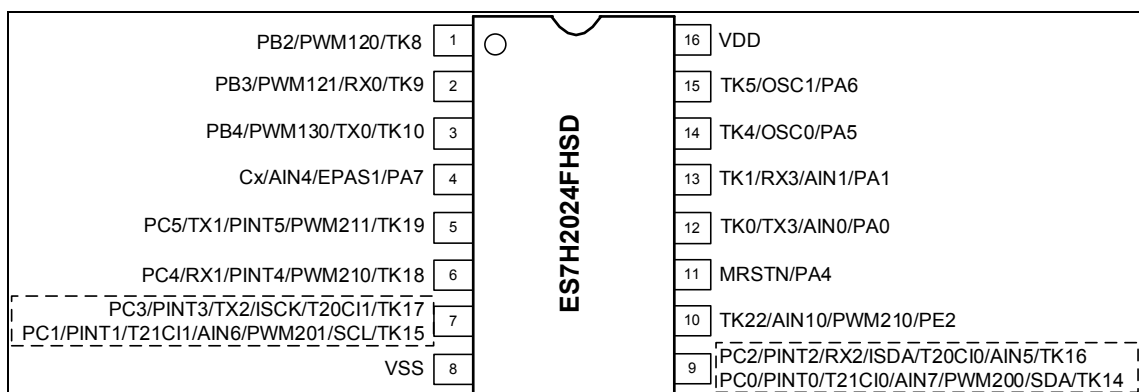


图 1-4 ES7H2024 SOP16 封装顶视图

- 注 1: 外部复位 MRSTN 可以复用为 PA4 端口, 作为数字输入输出端口;
- 注 2: PB5 和 PB6 作为一组编程/调试接口, PC2 和 PC3 作为另一组编程/调试接口, 使用时可选择其中任意一组;
- 注 3: 编程/调试接口共用 5 线接口配置, 即电源线 VDD、地线 VSS、复位线 MRSTN、时钟线 ISCK 和数据线 ISDA。
当 MRSTN 管脚复用配置为 GPIO 功能, 调试时复位线 MRSTN 需断开连接;
- 注 4: 在应用系统中, 未使用的 I/O 管脚需软件设置为输出低电平, 如果产品封装引脚数小于本系列最大封装管脚数, 则未引出的 I/O 管脚也需软件设置为输出低电平, 否则芯片功耗可能会出现异常, 芯片工作稳定性也容易因外界干扰而降低;
- 注 5: 由于多个 I/O 复用到同一个管脚上, 系统工作时, 为了避免管脚输入输出冲突, 每个管脚只能选择其中一个 I/O 功能, 其它未用的 I/O 需配置为输入。比如: 芯片 ES7H2024FHSD 的管脚 7 复用 PC3/PC1 两个 I/O, 如果选择了使用 PC3 的功能, 那么 PC1 的方向寄存器需要设置 1, 设为输入。

1.4 管脚说明

1.4.1 管脚封装对照表

管脚名	管脚序号		
	ES32H2023F HLK	HSD ES32H2023F	HSD ES32H2024F
PA0/TX3/AIN0/TK0	31	15	12
PA1/RX3/AIN1/TK1	32	16	13
PA2/AIN2//TK2	1	/	/
PA3/VREFP/AIN3/TK3	2	/	/
PA4/MRSTN	3	1	11
PA5/OSC0/TK4	4	2	14
PA6/OSC1/TK5	5	3	15
PA7/AIN4/EPAS1/Cx	8	6	4
PB0/CLKO/PWM110/TK6	9	7	/
PB1/PWM111/TK7	10	8	/
PB2/PWM120/TK8	11	/	1
PB3/PWM121/RX0/TK9	12	/	2
PB4/PWM130/TX0/TK10	13	/	3
PB5/PWM131/T20CKI/ISDA/TK11	14	9	/
PB6/T21CKI/ISCK/TK12	15	10	/
PB7/TK13	16	/	/
PC0/PINT0/T21CI0/AIN7/PWM200/SDA/TK14	24	14	9
PC1/PINT1/T21CI1/AIN6/PWM201/SCL/TK15	23	13	7
PC2/PINT2/RX2/ISDA/T20CI0/AIN5/TK16	22	/	9
PC3/PINT3/TX2/ISCK/T20CI1/TK17	21	/	7
PC4/RX1/PINT4/PWM210/TK18	20	12	6
PC5/TX1/PINT5/PWM211/TK19	19	11	5
PC6/RX0/PINT6/SDA	18	/	/
PC7/TX0/PINT7/SCL	17	/	/
PE0/AIN8/EPAS0/TK20	25	/	/
PE1/AIN9/PWM211/TK21	26	/	/
PE2/AIN10/PWM210/TK22	27	/	10
PE3/AIN11/PWM201/T10CKI/TK23	28	/	/
PE4/PWM200	29	/	/
PE5/VREFN/EPAS1	30	/	/
VDD	6	4	16
VSS	7	5	8

表 1-1 管脚封装对照表

1.4.2 管脚描述

管脚名称	功能	A/D	端口说明	备注
PA0/TX3/AIN0/TK0	PA0	D	通用 I/O 端口	支持数字输入模式弱上、下拉
	TX3	D	UART3 发送端	
	AIN0	A	ADC 模拟通道 0	
	TK0	A	触摸按键输入 0 通道	
PA1/RX3/AIN1/TK1	PA1	D	通用 I/O 端口	
	RX3	D	UART3 接收端	
	AIN1	A	ADC 模拟通道 1	
	TK1	A	触摸按键输入 1 通道	
PA2/AIN2//TK2	PA2	D	通用 I/O 端口	
	AIN2	A	ADC 模拟通道 2	
	TK2	A	触摸按键输入 2 通道	
PA3/VREFP/AIN3/TK3	PA3	D	通用 I/O 端口	
	VREFP	A	ADC 外部参考电压正端输入	
	AIN3	A	ADC 模拟通道 3	
	TK3	A	触摸按键输入 3 通道	
PA4/MRSTN	PA4	D	通用 I/O 端口	
	MRSTN	D	外部复位输入	
PA5/OSC0/TK4	PA5	D	通用 I/O 端口	
	OSC0	A	外部高频振荡器端口 0	
	TK4	A	触摸按键输入 4 通道	
PA6/OSC1/TK5	PA6	D	通用 I/O 端口	
	OSC1	A	外部高频振荡器端口 1	
	TK5	A	触摸按键输入 5 通道	
PA7/AIN4/EPAS1/Cx	PA7	D	通用 I/O 端口	
	AIN4	A	ADC 模拟通道 4	
	EPAS1	D	PWM 关断和重启控制信号 1	
	Cx	A	触控按键参考电容	
PB0/CLKO/PWM110/TK6	PB0	D	通用 I/O 端口	支持数字输入模式弱上、下拉；最大支持 100mA 灌电流驱动；PB7~0 支持 1/2 VDD 等电阻分压输出
	CLKO	D	系统时钟 128 分频输出	
	PWM110	D	T11 PWM 输出端口 0	
	TK6	A	触摸按键输入 6 通道	
PB1/PWM111/TK7	PB1	D	通用 I/O 端口	
	PWM111	D	T11 PWM 输出端口 1	
	TK7	A	触摸按键输入 7 通道	
PB2/PWM120/TK8	PB2	D	通用 I/O 端口	
	PWM120	D	T12 PWM 输出端口 0	
	TK8	A	触摸按键输入 8 通道	
PB3/PWM121/RX0/TK9	PB3	D	通用 I/O 端口	

管脚名称	功能	A/D	端口说明	备注
	PWM121	D	T12 PWM 输出端口 1	
	RX0	D	UART0 接收端	
	TK9	A	触摸按键输入 9 通道	
PB4/PWM130/TX0/TK10	PB4	D	通用 I/O 端口	
	PWM130	D	T13 PWM 输出端口 0	
	TX0	D	UART0 发送端	
	TK10	A	触摸按键输入 10 通道	
PB5/PWM131/T20CKI/ ISDA/TK11	PB5	D	通用 I/O 端口	
	PWM131	D	T13 PWM 输出端口 1	
	T20CKI	D	T20 外部时钟输入	
	ISDA	D	ISP/ICD 串行数据	
	TK11	A	触摸按键输入 11 通道	
PB6/T21CKI/ISCK/TK12	PB6	D	通用 I/O 端口	
	T21CKI	D	T21 外部时钟输入	
	ISCK	D	ISP/ICD 串行时钟	
	TK12	A	触摸按键输入 12 通道	
PB7/TK13	PB7	D	通用 I/O 端口	
	TK13	A	触摸按键输入 13 通道	
PC0/PINT0/T21CI0/AIN7/ PWM200/SDA/TK14	PC0	D	通用 I/O 端口	
	PINT0	D	外部中断输入 0	
	T21CI0	D	T21 捕捉输入端口 0	
	AIN7	A	ADC 模拟通道 7	
	PWM200	D	T20 PWM 输出端口 0	
	SDA	D	I2C 数据端口	
	TK14	A	触摸按键输入 14 通道	
PC1/PINT1/T21CI1/AIN6/ PWM201/SCL/TK15	PC1	D	通用 I/O 端口	
	PINT1	D	外部中断输入 1	
	T21CI1	D	T21 捕捉输入端口 1	
	AIN6	A	ADC 模拟通道 6	
	PWM201	D	T20 PWM 输出端口 1	
	SCL	D	I2C 时钟端口	
	TK15	A	触摸按键输入 15 通道	
PC2/PINT2/RX2/ISDA/ T20CI0/AIN5/TK16	PC2	D	通用 I/O 端口	
	PINT2	D	外部中断输入 2	
	RX2	D	UART2 接收端口	
	ISDA	D	ISP/ICD 串行数据	
	T20CI0	D	T20 捕捉输入端口 0	
	AIN5	A	ADC 模拟通道 5	
	TK16	A	触摸按键输入 16 通道	
PC3/PINT3/TX2/ISCK/ T20CI1/TK17	PC3	D	通用 I/O 端口	
	PINT3	D	外部中断输入 3	

支持数字输入模式弱上、下拉；

管脚名称	功能	A/D	端口说明	备注
	TX2	D	UART2 发送端口	
	ISCK	D	ISP/ICD 串行时钟	
	T20CI1	D	T20 捕捉输入端口 1	
	TK17	A	触摸按键输入 17 通道	
PC4/RX1/PINT4/PWM210/ TK18	PC4	D	通用 I/O 端口	
	RX1	D	UART1 接收端	
	PINT4	D	外部中断输入 4	
	PWM210	D	T21 PWM 输出端口 0	
	TK18	A	触摸按键输入 18 通道	
PC5/TX1/PINT5/PWM211/ TK19	PC5	D	通用 I/O 端口	
	TX1	D	UART1 发送端	
	PINT5	D	外部中断输入 5	
	PWM211	D	T21 PWM 输出端口 1	
	TK19	A	触摸按键输入 19 通道	
PC6/RX0/PINT6/SDA	PC6	D	通用 I/O 端口	
	RX0	D	UART0 接收端	
	PINT6	D	外部中断输入 6	
	SDA	D	I2C 数据端口	
PC7/TX0/PINT7/SCL	PC7	D	通用 I/O 端口	
	TX0	D	UART0 发送端	
	PINT7	D	外部中断输入 7	
	SCL	D	I2C 时钟端口	
PE0/AIN8/EPAS0/TK20	PE0	D	通用 I/O 端口	支持数字输入模式弱上、下拉
	AIN8	A	ADC 模拟通道 8	
	EPAS0	D	PWM 关断和重启控制 0	
	TK20	A	触摸按键输入 20 通道	
PE1/AIN9/PWM211/TK21	PE1	D	通用 I/O 端口	
	AIN9	A	ADC 模拟通道 9	
	PWM211	D	T21 PWM 输出端口 1	
	TK21	A	触摸按键输入 21 通道	
PE2/AIN10/PWM210/ TK22	PE2	D	通用 I/O 端口	
	AIN10	A	ADC 模拟通道 10	
	PWM210	D	T21 PWM 输出端口 0	
	TK22	A	触摸按键输入 22 通道	
PE3/AIN11/PWM201/ T10CKI/TK23	PE3	D	通用 I/O 端口	
	AIN11	A	ADC 模拟通道 11	
	PWM201	D	T20 PWM 输出端口 1	
	T10CKI	D	T10 外部时钟输入	
	TK23	A	触摸按键输入 23 通道	
PE4/PWM200	PE4	D	通用 I/O 端口	
	PWM200	D	T20 PWM 输出端口 0	

管脚名称	功能	A/D	端口说明	备注
PE5/VREFN/EPAS1	PE5	D	通用 I/O 端口	
	VREFN	A	ADC 外部参考电压负端输入	
	EPAS1	D	PWM 关断和重启控制 1	
VDD	VDD	P	芯片电源	—
VSS	VSS	P	芯片地	—

表 1-2 管脚说明

注 1: A = 模拟端口, D = 数字端口, P = 电源端口;

注 2: MRSTN 低电平复位有效;

注 3: PB0~PB7 可选为 100mA 灌电流的大电流 IO 端口, 可用作 LED 共阴极驱动的 COM 口。为避免芯片工作异常, 选择 100mA 灌电流时, 相应端口拉电流应配置为较弱的普通驱动模式;

注 4: PB0~PB7 可通过偏置电压产生模块 VGEN, 配置为 1/2 VDD 分压输出, 可用于 LCD 显示驱动。其他 GPIO 端口可同时使能内部上下拉电阻, 获得 1/2 VDD 分压输出;

第2章 内核特性

2.1 CPU内核概述

- ◇ 采用 ES7H-V2 RISC CPU 内核，79 条精简指令集
- ◇ 采用 2T 架构，系统时钟最高支持 20MHz，最小指令周期 100ns
- ◇ 支持中断优先级和中断向量表
- ◇ 程序指针硬件堆栈共享 SRAM 空间，堆栈级数用户可配置，最大 64 级
- ◇ 支持 8×8 硬件乘法器和 $32 \div 16$ 多节拍硬件除法器

2.2 硬件乘法器和硬件除法器

芯片指令集不包含乘/除法指令，内部集成独立的硬件乘法器和硬件除法器，通过读写相应寄存器进行操作。

硬件乘法器完成 8 位被乘数 MULA 与 8 位乘数 MULB 的相乘操作，在 MULA 和 MULB 写入完成的 1 个机器周期内将 16 位结果高、低 8 位分别存储于 2 个 8 位结果寄存器 MULH 和 MULL。

硬件除法器完成 32 位被除数 DIVE（由 4 个 8 位寄存器 DIVEU, DIVEH, DIVEM, DIVL 组成）除以 16 位除数 DIVS（由 2 个 8 位寄存器 DIVSH, DIVSL 组成）的操作，所得结果 32 位商存储于 32 位寄存器 DIVQ（由 4 个 8 位寄存器 DIVQU, DIVQH, DIVQM, DIVQL 组成），16 位余数存储于 16 位寄存器 DIVR（由 2 个 8 位寄存器 DIVRH, DIVRL 组成）。

硬件除法器为多节拍除法器，完成 1 次除法运算最多需要 36 个机器周期。写入除数和被除数后，通过控制寄存器 DIVC 启动除法运算，除法运算完成后结果自动载入相应结果寄存器，同时触发除法完成中断 DIVIF。用户可通过相应状态位判断运算过程是否出错。

对硬件除法器，可通过如下三种方式，判断除法运算结束，并读取运算结果：

- 1) 设置寄存器控制位 VGO (DIVC<0>) 为 1，启动除法运算，等待 36 个 NOP 指令周期后，先软件清零 VGO 位，读取除法运算结果，然后再设置 VGO 位为 1，启动下一次除法运算。
- 2) 设置寄存器控制位 VGO (DIVC<0>) 为 1，启动除法运算，查询除法运算中断标志位 DIVIF (INTF1<6>)，如果为 1 则表示当前除法运算完成，先软件清零 DIVIF 标志和 VGO 位，读取除法运算结果，然后再设置 VGO=1，启动下一次除法运算。
- 3) 设置寄存器控制位 VGO (DIVC<0>) 为 1，启动除法运算，然后在除法运算中断服务程序中，先软件清零 DIVIF 标志和 VGO 位，读取除法运算结果，再设置 VGO=1，启动下一次除法运算。

2.3 特殊功能寄存器

PCRL: 程序计数器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 程序计数器低 8 位

PCRH: 程序计数器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	—	PCR<14:8>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 程序计数器高 7 位

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	x	x	x	x	x

- Bit 7 保留
- Bit 6 UF: 程序出栈溢出标志位
0: 程序出栈未溢出
1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
0: 程序压栈未溢出
1: 程序压栈溢出
- Bit 4 N: 负数标志位
0: 正数
1: 负数
- Bit 3 OV: 有符号运算溢出标志位
0: 无溢出
1: 溢出
- Bit 2 Z: 零标志位
0: 算术或逻辑运算的结果不为零
1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
0: 低四位无进位或低四位有借位
1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
0: 无进位或有借位

1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。
其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 N_MRST 复位会将其清零, 其它复位不影响该两位标志位。

AREG: 累加器 A 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 累加器的值

MULA: 乘数 A 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘数 A

MULB: 乘数 B 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘数 B

MULL: 乘积低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	MUL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘积低 8 位

MULH: 乘积高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	MUL<15:8>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 乘积高 8 位

DIVEL: 被除数低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVE<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 被除数低 8 位

DIVEM: 被除数次低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVE<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 被除数次低 8 位

DIVEH: 被除数次高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVE<23:16>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 被除数次高 8 位

DIVEU: 被除数高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVE<31:24>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 被除数高 8 位

DIVSL: 除数低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 除数低 8 位

DIVSH: 除数高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVS<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 除数高 8 位

DIVQL: 商低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVQ<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 商低 8 位

DIVQM: 商次低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVQ<15:8>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 商次低 8 位

DIVQH: 商次高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVQ <23:16>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 商次高 8 位

DIVQU: 商高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVQ<31:24>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 商高 8 位

DIVRL: 余数低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVR<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 余数低 8 位

DIVRH: 余数高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVR<15:8>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 余数高 8 位

DIVC: 除法控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	SIGNED	—	—	VERR	VGO
R/W	—	—	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~5 保留
- Bit 4 SIGNED: 有符号除法控制位
 - 0: 进行无符号运算（默认为无符号运算）
 - 1: 进行有符号运算
- Bit 3~2 保留
- Bit 1 VERR: 除法运算错误标志位
 - 0: 无运算错误
 - 1: 运算错误（除数为 0，或运算异常终止）
- Bit 0 VGO: 除法运算触发位
 - 0: 除法运算已完成
 - 1: 写 1 启动除法运算（完成后需软件清 0）

注：当除数为 0 或异常终止时，VERR 标志位置 1，此时读到的商值为 0xFFFF_FFFF，余数寄存器值为 0xFFFF。
必须通过软件将 VERR 标志清零才可以进行下次除法运算。

第3章 存储资源

3.1 概述

本系列芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◇ 17K Words FLASH 程序存储器；
- ◇ 1.5K Bytes SRAM 数据存储器。

其中 FLASH 程序存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

型号	FLASH 程序存储器	SRAM 数据存储器
ES7H2023 ES7H2024	17K Words	1.5K Bytes

3.2 程序寻址空间映射

程序寻址空间包括 2 个部分：

- ◇ 17K Words FLASH 程序存储器：存储用户程序，支持 PC、查表和 IAP 访问。以 1Kx16 bits 作为一个分区，分为 17 个分区，每个分区都可独立设置加密。

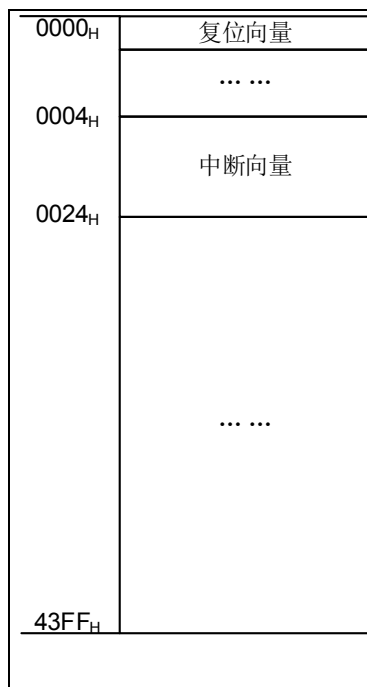


图 3-1 程序寻址空间映射图

在线编程 ISP 模式下，FLASH 程序存储器支持全加密和分区加密，对两种加密模式和 FLASH 擦除操作描述如下：

- ◇ 分区加密：可以对每个分区单独加密，对已经加密的存储器分区内容，无法通过 TBR 查表指令读取，也无法通过 ISP 接口读取。

- ◇ 对分区加密的存储器区域和分区加密字，不支持页擦除模式，只能对整个 Flash 程序存储器（17Kx16bits）全擦除。
- ◇ 全加密：对整个 Flash 程序存储器加密，TBR 指令可以读取未分区加密的页，无法通过 ISP 接口读取整个 Flash 存储器。
- ◇ 支持只对“未分区加密的页和全加密字”擦除，保留“分区加密的页和分区加密字”；支持在对“未分区加密的页”擦除时，可以设置哪些未加密页不被擦除；
- ◇ 支持对整个 Flash 存储器全擦除（包括“分区加密的页”和“未分区加密的页”，及其加密字）；不支持只对“分区加密的页和分区加密字”擦除。
- ◇ 用户可配置 Flash 存储器的哪些页作为可分区加密的区域。

3.3 FLASH程序存储器

3.3.1 概述

FLASH 程序存储器用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此 17K Words FLASH 程序存储器被映射到程序寻址空间的每个访问地址对应 16 位宽（2 个字节）的存储单元。FLASH 存储器支持至少 10 万次擦写次数，10 年以上的数据保持时间。

FLASH 程序存储器可通过 ISP 接口或 IAP 操作进行擦除和编程，擦除以页为单位（512 个地址单元，即 1K 字节），编程以字为单位（1 个地址单元，即 2 个字节），其中字地址单元编程时间约为 20us，页擦除时间约为 2ms。

型号	FLASH 程序存储器	寻址空间	程序计数器
ES7H2023 ES7H2024	17K Words	0000 _H ~43FF _H	PCR _H <6:0>, PC _R <7:0>

3.3.2 程序计数器（PC）

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时，PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。程序计数器 PC 寻址超出地址范围会导致 PC 循环（又从 0000_H 开始访问）。程序计数器 PC 的低 8 位 PC<7:0> 可通过 PCRL 直接读写，而 PC 高 8 位不能直接读写，只能通过 PCRH 寄存器来间接（如 RCALL、CALL、GOTO 等指令）赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：（以 16 位 PC 为例说明）

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<15:8>=PCRH<7:0>，因此，修改 PC 时，应先修改 PCRH<7:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<15:8>=PCRH<7:0>。
3. 执行 CALL, GOTO 指令时，PC<15:0>低 11 位为指令中 11 位立即数，而 PC<15:11>=PCRH<7:3>。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<15:0>被修改为该 16 位立即数的值；同时 PCRH<7:0>被修改为 I<15:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<15:0> 被修改为该 16 位立即数的值，同时 PCRH<7:0>修改为 I<15:8>的值。
6. 执行 PAGE 指令时，PCRH<7:3>的值将被该指令的立即数 I<4:0>替换。
7. 执行其它指令时，PC 值自动加 1。

3.3.3 硬件堆栈

PC 硬件堆栈用于子程序调用或中断处理时存储程序返回地址。SRAM 数据存储器的一部分被用于实现 PC 硬件堆栈，PC 硬件堆栈的级数可通过芯片配置字 STKLS 进行配置。

执行 CALL、RCALL 或 LCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值恢复至 PC。超过堆栈级数的压栈被视为压栈溢出，超过已压栈级数的退栈被视为退栈溢出。压栈溢出和退栈溢出均会导致程序失控。芯片复位后，堆栈指针将重新指向堆栈的初始栈顶。

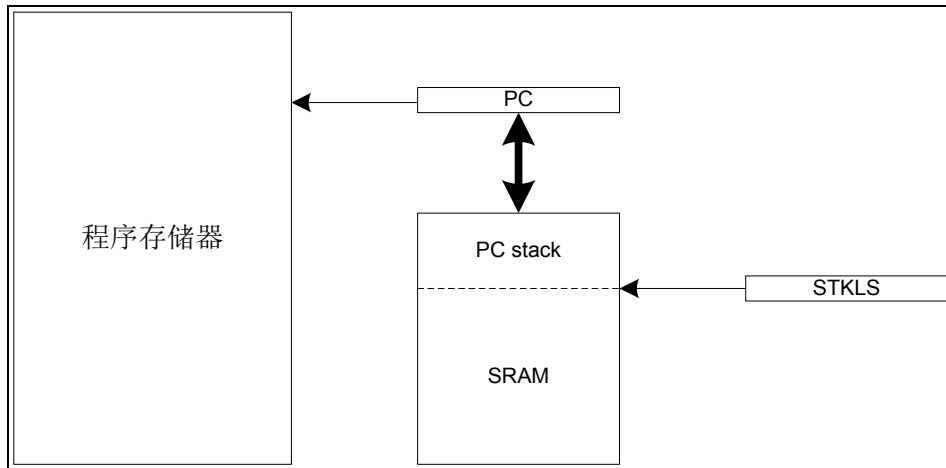


图 3-2 堆栈示意图

3.3.4 FLASH存储器的查表读和IAP操作

3.3.4.1 概述

FLASH 存储器支持查表读和 IAP 页擦除和编程操作。对已加密分区内的页，读出值固定为 0。可通过查询 PAGEENC0~PAGEENC2 来查询可用分区中每个分区的加密情况。已分区加密页不支持由 IAP 指令擦除。

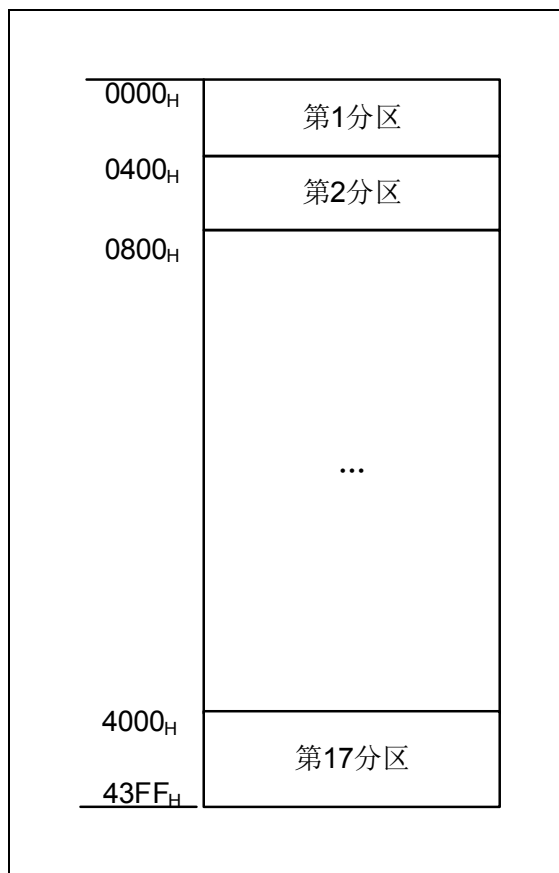


图 3-3 用户程序区分区

FLASH 存储器的 IAP 擦除操作是以页 (Page) 为单位, 一页为 512 个地址单元, 页地址对应到 FRAH<7:1>, 如 FRAH<7:1>=00_H, 为第 0 页; FRAH<7:1>=01_H, 为第 1 页; ...; FRAH<7:1>=21_H, 为第 33 页。FLASH 存储器的读出和 IAP 写入操作以 1 个地址单元为单位, 通过 FRA (FRAH, FRAL) 寻址。

必须对 IAPUL 寄存器写入 0xA5 来解锁 IAP 操作, 即使能 IAPERSS, IAPPRGS 以及 IAPC 寄存器的写访问。IAP 编程或擦除操作后不会自动上锁, 需要用户在其所需要的编程或擦除结束后, 向 IAPUL 写入非 0xA5 值来上锁, 防止误操作改写 FLASH 内容。

当 FLASH 存储器进行 IAP 擦除或 IAP 写入操作时, CPU 内核暂停执行, 外设可按预设状态继续运行, 外设的中断请求将置位相应的中断标志。当 IAP 擦除或 IAP 写入操作完成时, CPU 内核恢复执行。在 IAP 擦除或写入操作期间, 若使能了 T11, T12, T13, T20 或 T21 的 PWM 功能, 支持通过外部 EPASx 或 PINTx 端口终止或重启 PWM, 详见 T11, T12, T13, T20 和 T21 相关章节的描述。

3.3.4.2 FLASH存储器的查表读

本系列芯片的程序存储器查表只支持查表读操作, 1 次查表读操作访问 1 个地址单元的 16 位数据。当芯片配置字中 IAP 操作使能位 IAPEN (CFG_WORD0 <10>) 使能时, 通过查表读指令将查表地址寄存器 FRA (FRAH, FRAL) 所指向的程序存储器中的 16 位数据读入 ROMD (ROMDH, ROMDL) 中。

对已加密分区的页, IAP 读出值固定为 0。对设置了 FLASH 全加密, 但没有分区加密的页, 仍可通过 TBR 指令进行访问。

本系列芯片查表写指令保留未用（执行时仅影响 FRA 寄存器）。

应用例程：程序存储器查表读。

```

MOVI    0x05          ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0X01
MOVA    FRAH

TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
    
```

3.3.4.3 FLASH存储器的IAP擦除

通过 IAP 进行 FLASH 擦除的最小操作单位为页，一页为 512 个地址单元。页通过寄存器 FRAH<7:1>寻址。对 IAPERSS 寄存器写入 0xAE 来启动擦除。

若芯片配置字的 LVDIAPTEN 设置为 1，在启动 IAP 擦除时，若 LVD 有效则无法启动擦除；在擦除过程中，若 LVD 有效则硬件自动终止当前的页擦操作。为了防止电压低于 LVD 设定门限时，发生误擦除，在 IAP 擦除时，建议设置寄存器位 LVDFLTEN=0，禁止 LVD 滤波。

为保证可靠地访问 FLASH，可设定终止页擦后到 FLASH 可访问的延时等待时间，由 IAPC 寄存器的 ERSTWT 位进行设置。

还可启动 T10 作为页擦超时计数器，来作为监控 FLASH 页擦除操作状态的双重保障，可通过 IAPC 寄存器的 TOEN 位来使能页擦超时发生时，硬件强制终止 IAP 擦除操作，当发生硬件强制终止 IAP 擦除操作时，意味着 IAP 擦除失败，当前页可能未被真正擦除干净。硬件通过判断 T10 计数溢出中断标志 T10IF，来决定是否需要强制退出 IAP 擦除操作，当 T10IF 置起时，如果 IAP 擦除操作仍未完成，则会被强制退出，所以使用 T10 作为页擦超时计数器时，必须设定合适的 T10 计数溢出时间（通过 T10C 寄存器的 T10PRS<2:0>位来设置），对页擦操作需大于 2ms（建议设置为 4ms 以上），而且必须在启动 IAP 页擦除之前，重新软件清零 T10 计数器，并清除中断标志 T10IF，以免正常的 IAP 页擦除被强制提前退出，导致 IAP 页擦除失败。

IAP 擦除流程图如下图所示，该流程图假设配置字的 LVDIAPTEN=1。

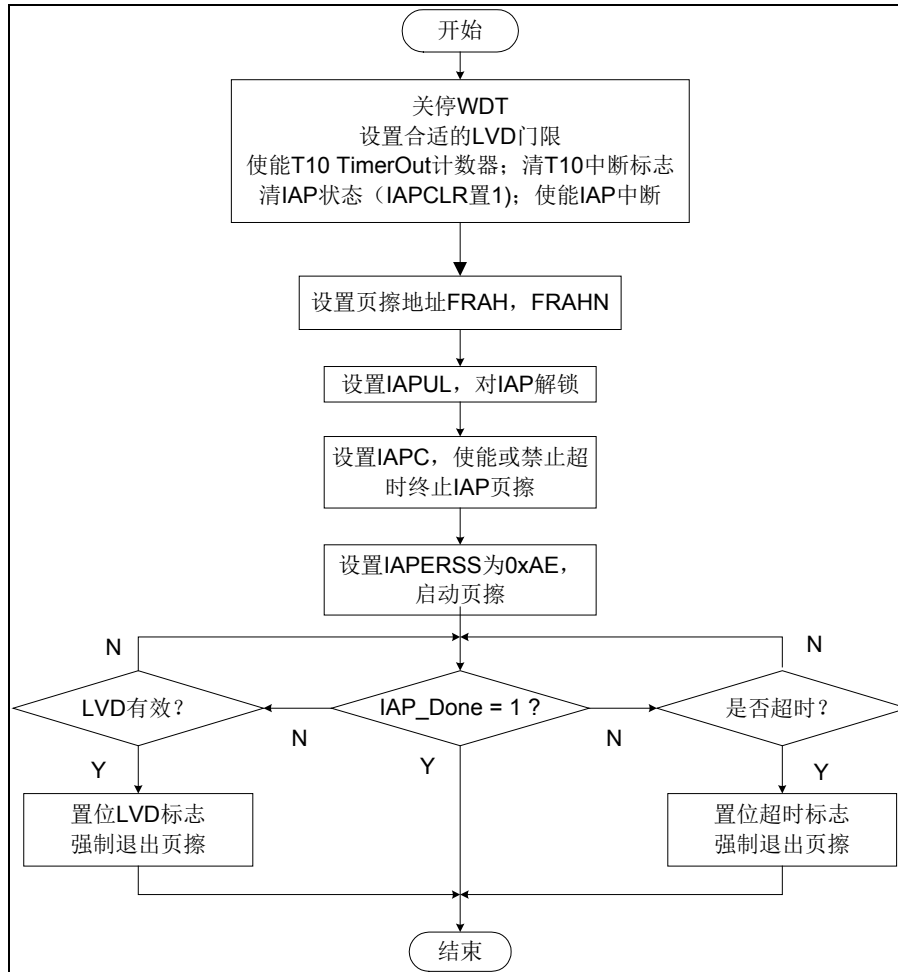


图 3-4 页擦流程图

应用例程：FLASH 页擦除。

```

MOVI    0xA5           ; 解锁 WDTC 寄存器
MOVA    WDTUL
BCC     WDTC, SWDTEN ; 关 WDT, 使 WDT 停止计数, 以免溢出复位 IAP 操作

MOVI    0X0A           ; 擦除 FLASH 第 6 页 (0A00H~0BFFH)
MOVA    FRAH
MOVI    0XF5
MOVA    FRAHN
BSS     INTE4, IAPIE   ; 使能 IAP 中断

BSS     IAPC, 1        ; 清除 IAP 状态 (必须在执行下一个 IAP 操作
                       ; 之前清除 IAP 状态)

MOVI    0xA5           ; 解锁 IAP
MOVA    IAPUL
MOVI    0XAE
MOVA    IAPERSS        ; 启动 FLASH IAP 擦除操作
                       ; CPU 进入暂停状态, 直到擦除完成后 CPU 恢复运行
  
```

；一次页擦除时间约 2ms，具体时间随操作电压和操作温度有所不同

ERS_WAIT:

JBS IAPS, 1 ; 等待擦除结束

GOTO ERS_WAIT

MOVI 0x00 ; 锁定 IAP

MOVA IAPUL

MOVI 0xA5 ; 解锁 WDTC 寄存器

MOVA WDTUL

BSS WDTC, SWDTEN ; WDT 恢复计数（如果配置字 WDTEN=1）

BCC INTE4, IAPIE ; 关 IAP 中断

.....

注 1: 在向 IAPERSS 寄存器写入 0xAE 启动 IAP FLASH 页擦之后，由于 CPU 会继续执行下一条指令，建议启动页擦后，紧接的下一条指令为 NOP 指令或如上例所示，为 IAP 状态查询指令。

注 2: 在 IAP 中断服务程序中，可通过查询 IAPS 状态寄存器来判断执行其它子程序。

如果 FRAH_ERR, FRAL_ERR 或 ROMD_ERR 错误，则重新写 FRA 或 ROMD 的正反寄存器，直至成功。

如果 ERSS_ERR 错误，则：程序调试阶段，查阅代码中的启动代码是否写错，若是则修改错误；该擦除地址是否属于已加密分区，可通过读取 PAGEENCn 寄存器来判断，若是则退出；若非以上两种原因，则再次写 IAPERSS 寄存器，直至成功。

如果 IAP_LVDIF 为 1，则停止 IAP 操作，直至该标志为 0。

注 3: 建议用户在执行 IAP 擦除指令前，读取 PAGEENCn 寄存器判断待擦除页是否已加密，若已加密则不可对该页执行 IAP 擦除指令。

3.3.4.4 FLASH 存储器的 IAP 编程

FLASH 存储器中已擦除的地址单元支持 IAP 编程操作。IAP 编程操作通过 IAPPRGS 控制寄存器，将 ROMD (ROMDH, ROMDL) 中的内容写入 FRA (FRAH, FRAL) 指向的 FLASH 地址单元。

对 IAPUL 写入 0xA5 解锁 IAP 后，可对 IAPPRGS 寄存器写入 0xD5 启动编程。编程结束后需对 IAPC 寄存器的 IAPCLR 置 1 来清编程状态。

数据和地址更新后需重新对 IAPPRGS 写入 0xD5 以启动编程。每次编程结束之后可以对 IAPUL 写入非 0xA5 上锁，亦可保持解锁状态，直至所有编程已结束再对 IAP 上锁。

在启动 IAP 编程时，若 LVD 有效则无法启动编程。在编程操作过程中，若 LVD 有效，且当芯片配置字的 LVDIAPTEN 设置为 1 时，则终止当前的编程操作。为了防止电压低于 LVD 设定门限时，发生误编程，在 IAP 编程时，建议设置寄存器位 LVDFLTEN=0，禁止 LVD 滤波。

为保证可靠地访问 FLASH，可设定终止编程后到 FLASH 可访问的延时等待时间，由 IAPC 寄存器的 PRGTWT 位进行设置。

还可启动 T10 作为编程超时计数器，来作为监控 FLASH 编程操作状态的双重保障，可通过 IAPC 寄存器的 TOEN 位来使能编程超时发生时，硬件强制终止当前的 IAP 编程操作，当发生硬件强制终止 IAP 编程操作时，意味着当前 IAP 编程失败。硬件通过判断 T10

计数溢出中断标志 T10IF，来决定是否需要强制退出 IAP 编程操作，当 T10IF 置起时，如果 IAP 编程操作仍未完成，则会被强制退出，所以使用 T10 作为编程超时计数器时，必须设定合适的 T10 计数溢出时间（通过 T10C 寄存器的 T10PRS<2:0>位来设置），对编程操作需大于 20us（建议设置为 40us 以上），而且必须在启动 IAP 编程之前，重新软件清零 T10 计数器，并清除中断标志 T10IF，以免正常的 IAP 编程被强制提前退出，导致 IAP 编程失败。

IAP 编程流程图 3-4 所示。

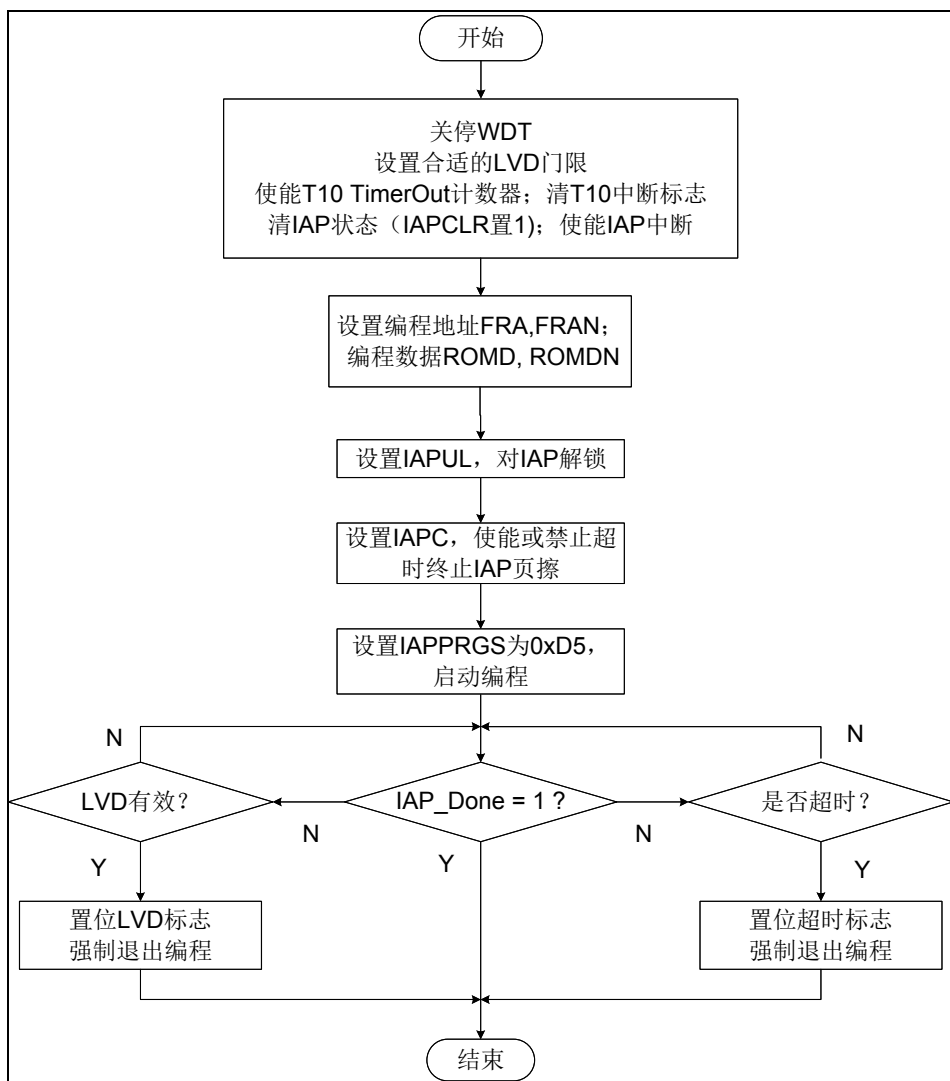


图 3-5 编程流程图

应用例程：FLASH IAP 编程

```

MOVI    0xA5          ; 解锁 WDT 寄存器
MOVA    WDTUL
BCC     WDT, SWDTEN ; 关 WDT, 使 WDT 停止计数, 以免溢出复位 IAP 操作
MOVI    0x05          ; 将 55AAH 写入 FLASH 的 0500H 地址单元
MOVA    FRAH
MOVI    0x00
MOVA    FRAL
  
```

```

MOVI    0xFA          ; 将地址的反 FAFFH 写入 FRAHN 和 FRALN
MOVA    FRAHN
MOVI    0xFF
MOVA    FRALN

MOVI    0x55
MOVA    ROMDH
MOVI    0xAA
MOVA    ROMDL
MOVI    0xAA          ; 将数据的反 AA55H 写入 ROMDHN 和 ROMDLN
MOVA    ROMDHN
MOVI    0x55
MOVA    ROMDLN

BSS     INTE4, IAPIE  ; 使能 IAP 中断

BSS     IAPC,1        ; 清 IAP 状态以启动下一个 IAP 操作
MOVI    0xA5          ; 解锁 IAP
MOVA    IAPUL

MOVI    0xD5
MOVA    IAPPRGS      ; 启动 FLASH IAP 编程操作
NOP

```

; CPU 进入暂停状态，直到编程完成后 CPU 恢复运行

; 一次页编程时间约 20us，具体时间随操作电压和操作温度有所不同

PRG_WAIT:

```

JBS     IAPS,1        ; 等待 IAP 编程操作结束
GOTO    PRG_WAIT

```

```

MOVI    0x00          ; 锁定 IAP
MOVA    IAPUL

```

```

MOVI    0xA5          ; 解锁 WDTC 寄存器
MOVA    WDTUL
BSS     WDTC, SWDTEN ; WDT 恢复计数（如果配置字 WDTEN=1）
BCC     INTE4, IAPIE ; 关 IAP 中断

```

.....

注 1: 对未进行擦除操作的 FLASH 存储器单元进行编程操作，会导致该 FLASH 存储器单元的存储数据被破坏。

注 2: 在向 IAPPRGS 寄存器写入 0xD5 启动 IAP FLASH 编程之后，由于 CPU 会继续执行下一条指令，该指令不能为 TBR 指令，以避免 ROMD 数据被 TBR 指令所读取的数据覆盖，而导致数据写入失败。建议启动编程后，紧接的下一条指令为 NOP 指令或如上例所示，为 IAP 状态查询指令。

注 3: 在 IAP 中断服务程序中，可通过查询 IAPS 状态寄存器来判断执行其它子程序：

如果 FRAH_ERR, FRAL_ERR 或 ROMD_ERR 错误, 则重新写 FRA 或 ROMD 的正反寄存器, 直至成功。
如果 PRGS_ERR 错误, 则: 程序调试阶段, 查阅代码中的启动代码是否写错, 若是则修改错误; 该编程地址是否属于已加密分区, 可通过读取 PAGEENCn 寄存器来判断, 若是则退出; 若非以上两种原因, 再次写 IAPPRGS 寄存器, 直至成功。

如果 IAP_LVDIF 为 1, 则停止 IAP 操作, 直至该标志为 0。

注 4: 建议用户在执行 IAP 编程指令前, 读取 PAGEENCn 寄存器判断待编程地址是否已加密, 若已加密则不可对该页执行 IAP 编程指令。

3.3.4.5 特殊寄存器

IAPUL: IAP 解锁寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPUL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAPUL: IAP 解锁寄存器

写入 0xA5 解锁 IAP。

IAP 解锁后, 才可对 IAPERSS, IAPPRGS 寄存器进行写操作。

若解锁成功, 读出值为 0x01, 否则为 0x00。

注: 只需向 IAPUL 写入非 0xA5 值, 即可完成上锁。

IAPERSS: 擦除启动控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPERSS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAPERSS: IAP 擦除启动控制寄存器

写入 0xAE 启动页擦; 若页擦启动成功, 则读出值为 0x01, 否则为 0x00。

IAPERSS 可有两种方式清零: IAP 页擦成功后自动清零; 若页擦失败, 可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。

该寄存器不允许写入除 0xAE 外的任何值, 否则 IAPS 状态寄存器的 ERSS_ERR 标志位将被置 1, 在 IAP 中断使能时将触发中断。

注 1: 写入 0xAE 后, 可读取 IAPERSS 寄存器, 若值为 0x01 则表示成功启动; 否则启动失败。

注 2: 启动页擦失败的情况: 工作电压小于设定的 LVD 阈值电压 (配置位 LVDIAPTEN=1); FRA 和 FRAN 寄存器值非反码, 或向 IAPERSS 寄存器写入了非 0xAE 值。页擦启动失败可触发 IAP 中断, 可查询 IAPS 状态寄存器来判断中断源: 地址错, 或因产生了有效的 LVD 信号; 若非这两者, 则为写入了非 0xAE 值或待擦除页已被分区加密。

IAPPRGS: 编程启动控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPPRGS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAPPRGS: IAP 编程启动控制寄存器

写入 0xD5 启动编程；若编程启动成功，则读出值为 0x01，否则为 0x00

IAPPRGS 可有两种方式清零：IAP 编程成功后自动清零；若编程失败，可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。

该寄存器不允许写入除 0xD5 外的任何值，否则 IAPS 状态寄存器的 PRGS_ERR 标志位将被置 1，在 IAP 中断使能时将触发中断。

注 1: 写入 0xD5 后，可读取 IAPPRGS 寄存器，若值为 0x01 则表示成功启动；否则启动失败。
注 2: 启动编程失败的情况：工作电压小于设定的 LVD 阈值电压（配置位 LVDIAPTEN=1）；FRA 和 FRAN 寄存器值非反码，或 ROMD 和 ROMDN 寄存器的值非反；写入值非 0xD5。编程启动失败可触发 IAP 中断，可查询 IAPS 寄存器标志位判断中断源：地址错，数据错或产生了有效的 LVD 信号；若非这三者，则为写入了非 0xD5 值或待编程地址已被分区加密。

IAPC: IAP 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	ERSTWT<3:0>				PRGTWT<1:0>		IAPCLR	TOEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	1	0	0	0	0	0

Bit 7~4 ERSTWT<3:0>: 擦除终止等待时间 (erase terminated wait time)

- 0000~0101: 218.75us
- 0110: 218.75us (7 个 32KHz 时钟周期)
- 0111: 250us (8 个 32KHz 时钟周期)
- 1000: 281.25us (9 个 32KHz 时钟周期)
- 1001: 312.5us (10 个 32KHz 时钟周期)
- 1010: 343.75us (11 个 32KHz 时钟周期)
- 1011: 375us (12 个 32KHz 时钟周期)
- 1100: 406.25us (13 个 32KHz 时钟周期)
- 1101: 437.5us (14 个 32KHz 时钟周期)
- 1110: 468.75us (15 个 32KHz 时钟周期)
- 1111: 500us (16 个 32KHz 时钟周期)

Bit 3~2 PRGTWT<1:0>: 编程终止等待时间 (program terminated wait time)

- 00: 31.25us (1 个 32KHz 时钟周期)
- 01: 62.5us (2 个 32KHz 时钟周期)
- 10: 93.75us (3 个 32KHz 时钟周期)
- 11: 125us (4 个 32KHz 时钟周期)

Bit 1 IAPCLR: IAP 状态清除

- 0: 禁止
- 1: 清除 IAP 状态 (该位置 1 后自动清零)

Bit 0 TOEN: Timeout 超时使能寄存器 (timer-out enable)

- 0: 禁止
- 1: 使能

注 1: 进入 IAP 模式之前，可设置 T10 为 IAP 擦除或编程的 timeout 计数器。
例如：页擦除操作，正常完成擦除约需 2ms，因此可设置 T10 prescaler 为 128 分频，定时器模式，则 timeout 时间长度约 4.096ms。如果超出该时间仍未完成擦除操作，则 IAP 操作将被强制退出。

注 2: 每次完成 IAP 操作之后必须将 IAPCLR 置 1 来清除当前状态, 才允许下一次 IAP 页擦或编程操作。该位置 1 后自动清零。该位可清除擦除启动失败、编程启动失败、擦除/编程超时以及 IAP 编程/擦除终止标志等。

IAPS: IAP 状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	FRAH_ERR	FRAL_ERR	ROMD_ERR	ERSS_ERR	PRGS_ERR	IAP_TIMEOUT	IAP_DONE	IAP_LVDIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	0	0	0	0	0

- Bit 7 **FRAH_ERR**: FRA 高位地址出错标志。写入正确的 FRAH 正反值清零
 0: 写入的 FRAH 与 FRAHN 值为反码
 1: 写入的 FRAH 与 FRAHN 值不为反码
- Bit 6 **FRAL_ERR**: FRA 低位地址出错标志。写入正确的 FRAL 正反值清零
 0: 写入的 FRAL 与 FRALN 值为反码
 1: 写入的 FRAL 与 FRALN 值不为反码
- Bit 5 **ROMD_ERR**: ROMD 出错标志。写入正确的 ROMD 正反值清零
 0: 写入的 ROMD 和 ROMDN 值为反码
 1: 写入的 ROMD 和 ROMDN 值不为反码
- Bit 4 **ERSS_ERR**: 页擦启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPERSS 寄存器写入正确的 0xAE 数据启动页擦来清零。
 0: 页擦未启动, 或已启动成功
 1: 页擦启动失败。因 LVD 中断、FRAH 和 FRAHN 地址非反、以及 IAPERSS 寄存器写入数据非 0xAE 等而启动失败
- Bit 3 **PRGS_ERR**: 编程启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPPRGS 寄存器写入正确的 0xD5 数据启动编程来清零。
 0: 编程未启动, 或已启动成功
 1: 编程启动失败。因 LVD 中断、FRA 和 FRAN 地址非反、ROMD 和 ROMDH 数据非反, 以及 IAPPRGS 寄存器写入数据非 0xD5 等而启动失败
- Bit 2 **IAP_TIMEOUT**: IAP 编程/擦除超时标志。该位需要 IAPCLR 位置 1 来清零。
 0: 编程/擦除操作正常
 1: 编程/擦除操作超时 (软件清零, 或启动 IAP 编程/擦除操作时自动清零)
- Bit 1 **IAP_DONE**: IAP 编程/擦除状态位。该位需要 IAPCLR 位置 1 来清零。
 0: 编程/擦除操作未完成
 1: 编程/擦除操作已完成
- Bit 0 **IAP_LVDIF**: IAP 因电压低于 LVD 阈值设定而终止标志位。
 该位在工作电压大于 LVD 阈值电压后自动清零。
 0: IAP 操作正常执行
 1: IAP 操作因电压低于 LVD 阈值电压而终止

注 1: 如果编程/擦除超时, 自动退出 IAP 操作。可通过查询 IAP_TIMEOUT 位来判断是否发生了 timeout 而导致 IAP 退出。

注 2: 可通过查询 IAPS 的其它标志位来判断 IAP 操作失败的原因。

注 3: FRAH_ERR, FRAL_ERR, ROMD_ERR 等标志位上电后因 FRA 与 ROMD 的正反寄存器不满足正反关系, 初值为 1, 需通过写入正确的 FRA 和 ROMD 正反值清零。

PAGEENC0: FLASH 第 8~1 分区加密状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ENC8K	ENC7K	ENC6K	ENC5K	ENC4K	ENC3K	ENC2K	ENC1K
R/W	R	R	R	R	R	R	R	R
POR	1	1	1	1	1	1	1	1

Bit 7~0 ENC8K~ ENC1K: FLASH 第 8~第 1 分区加密状态位

0: 加密

1: 未加密

PAGEENC1: FLASH 第 16~9 分区加密状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ENC16K	ENC15K	ENC14K	ENC13K	ENC12K	ENC11K	ENC10K	ENC9K
R/W	R	R	R	R	R	R	R	R
POR	1	1	1	1	1	1	1	1

Bit 7~0 ENC16K~ ENC9K: FLASH 第 16~第 9 分区加密状态位

0: 加密

1: 未加密

PAGEENC2: FLASH 第 17 分区加密状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	ENC17K
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	1

Bit 7~1 保留

Bit 0 ENC17K: FLASH 第 17 分区加密状态位

0: 加密

1: 未加密

3.4 在线编程ISP和在线调试ICD

FLASH 存储器具有可重复烧写的功能，便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级，本系列芯片还支持在线编程 ISP 和在线调试 ICD，用户只需在电路系统板上引出五根连接编程和调试接口线，即可实现程序的重新烧录和调试，更加方便高效。

芯片管脚	编程器管脚	管脚说明
PB5/PC2	ISDA	编程/调试串行数据端口
PB6/PC3	ISCK	编程/调试串行时钟端口
VSS	VSS	地
VDD	VDD	电源
PA4/MRSTN	MRSTN	复位脚

表 3-1 在线编程/调试管脚说明

- 注 1: 对编程/调试接口中的 ISDA 和 ISCK 管脚，芯片支持两组管脚可选择，其中 PB5 和 PB6 作为一组编程/调试接口，PC2 和 PC3 作为另一组编程/调试接口；
- 注 2: 上述两组接口，用作编程使用时，无需进行选择设置，芯片自动识别有效使用的编程接口；用作调试使用时，通过配置字 ICDEB 使能，并由配置字 ICDSEL 进行选择设置，在调试模式下，其复用端口的状态，不受 IO 端口控制寄存器的影响。

3.5 数据寻址空间

3.5.1 概述

- ◇ 数据寻址空间由 2 部分组成
 - 分页访问存储区
 - 快速访问存储区
- ◇ 物理存储包括
 - 1.5K Bytes SRAM 数据存储器（部分用于 PC 硬件堆栈）
 - 特殊功能寄存器 SFR
- ◇ 支持 3 种寻址方式
 - 直接寻址
 - GPR 特殊寻址
 - 间接寻址

型号	SRAM 数据存储器	地址范围	SRAM 存储体组
ES7H2023 ES7H2024	1.5K Bytes	0000 _H ~05FF _H	Section 0 ~ Section 11

型号	SFR 存储容量	地址范围	SFR 存储体组
ES7H2023 ES7H2024	256 Bytes	6000 _H ~60FF _H	Section 0 ~ Section 1

3.5.2 数据寻址空间映射

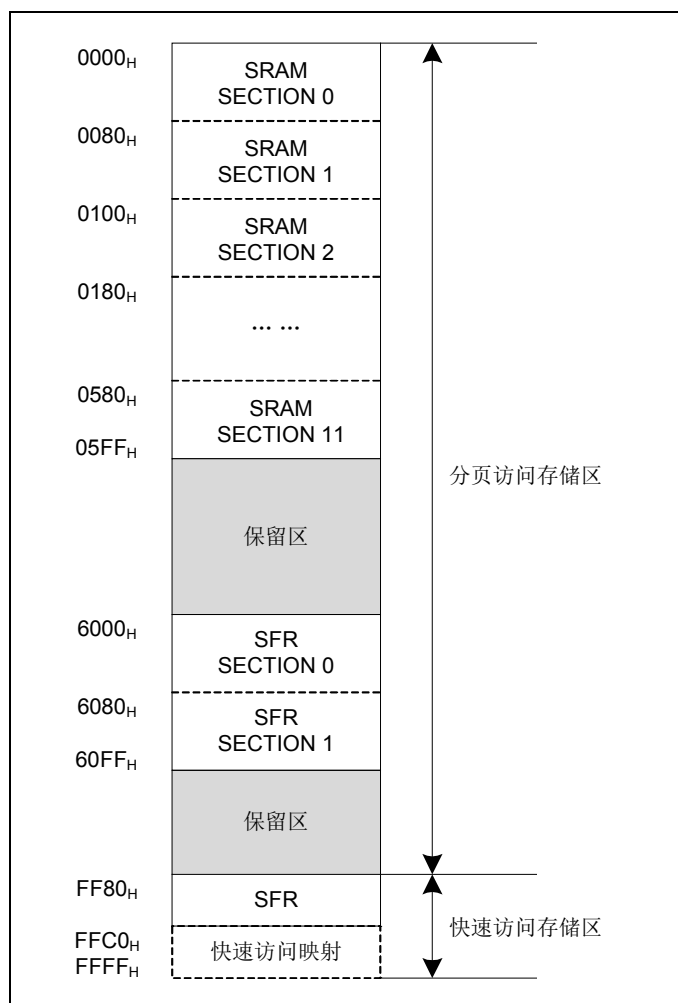


图 3-6 数据寻址空间映射图

3.5.3 通用数据存储器SRAM

通用数据存储器被用于临时存放数据和控制信息，可以通过指令进行读写操作。本系列芯片通用数据存储器空间为 1.5K Bytes，分为 12 个存储体组（SRAM SECTION 0~11），每个 SRAM 存储体组为 128 字节，地址范围为 0000_H~05FF_H。程序指令对 SRAM 进行直接寻址访问时，需通过寄存器 BKSR 选择 SRAM 存储体组，实现在不同存储体组间的切换。通用数据存储器的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

SRAM 的最后 1 个存储体组 SECTION 11，从高地址（05FF_H）开始的部分或全部地址空间可分配用于 PC 硬件堆栈，通过用户配置字 STKLS 选择 PC 硬件堆栈的级数。当 STKLS 选定后，PC 硬件堆栈占用的 SRAM 地址空间是堆栈级数的 2 倍。例如，设定堆栈级数为 16 级，SRAM 存储空间的 05E0_H~05FF_H 的 32 个地址被 PC 硬件堆栈占用，数据访问无法访问到该地址空间。两部分空间相互硬件隔离，PC 硬件堆栈的溢出也不会影响堆栈区之外的 SRAM 地址空间。

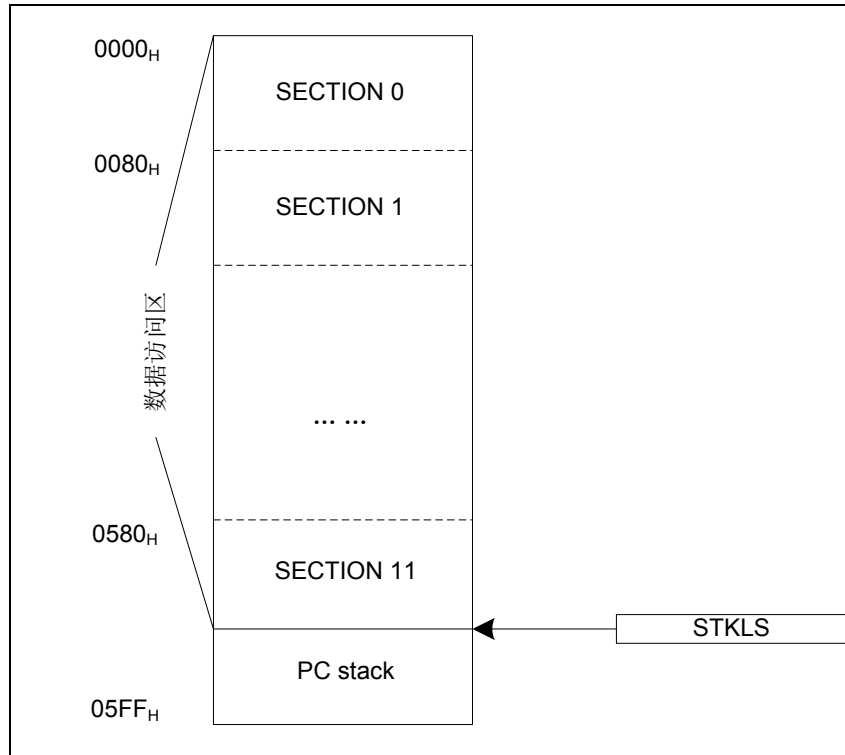


图 3-7 SRAM 地址映射示意图

3.5.4 特殊功能寄存器SFR

特殊功能寄存器 SFR 用于片内各功能模块的设置和控制。SFR 被存储于两部分寻址空间。一部分存储于快速访问区的低地址空间 (FF80_H~FFBF_H)，共 64 字节。另一部分存储于分页访问区的 SFR SECTION 0~1 (6000_H~60FF_H)，共 256 字节，通过设置 FAMR 寄存器，将 SFR SECTION 0 和 SECTION 1 中被选中的区域 (共 64 字节)，映射到快速访问区的高地址空间 (FFC0_H~FFFF_H)，然后进行访问。各 SFR 寄存器的功能描述分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	PINTC	FFC0 _H	Mapped	FFE0 _H	Mapped
FF81 _H	IAAL	FFA1 _H	PA	FFC1 _H	Mapped	FFE1 _H	Mapped
FF82 _H	IAAH	FFA2 _H	PAT	FFC2 _H	Mapped	FFE2 _H	Mapped
FF83 _H	BKSR	FFA3 _H	PB	FFC3 _H	Mapped	FFE3 _H	Mapped
FF84 _H	FAMR	FFA4 _H	PBT	FFC4 _H	Mapped	FFE4 _H	Mapped
FF85 _H	AREG	FFA5 _H	PC	FFC5 _H	Mapped	FFE5 _H	Mapped
FF86 _H	PSW	FFA6 _H	PCT	FFC6 _H	Mapped	FFE6 _H	Mapped
FF87 _H	PWRCWP	FFA7 _H	—	FFC7 _H	Mapped	FFE7 _H	Mapped
FF88 _H	PWRC	FFA8 _H	—	FFC8 _H	Mapped	FFE8 _H	Mapped
FF89 _H	PCRL	FFA9 _H	PE	FFC9 _H	Mapped	FFE9 _H	Mapped
FF8A _H	PCRH	FFAA _H	PET	FFCA _H	Mapped	FFEA _H	Mapped
FF8B _H	—	FFAB _H	—	FFCB _H	Mapped	FFEB _H	Mapped
FF8C _H	—	FFAC _H	—	FFCC _H	Mapped	FFEC _H	Mapped
FF8D _H	—	FFAD _H	—	FFCD _H	Mapped	FFED _H	Mapped
FF8E _H	—	FFAE _H	—	FFCE _H	Mapped	FFEE _H	Mapped
FF8F _H	—	FFAF _H	—	FFCF _H	Mapped	FFEF _H	Mapped
FF90 _H	—	FFB0 _H	—	FFD0 _H	Mapped	FFF0 _H	Mapped
FF91 _H	—	FFB1 _H	—	FFD1 _H	Mapped	FFF1 _H	Mapped
FF92 _H	—	FFB2 _H	—	FFD2 _H	Mapped	FFF2 _H	Mapped
FF93 _H	—	FFB3 _H	—	FFD3 _H	Mapped	FFF3 _H	Mapped
FF94 _H	INTG	FFB4 _H	—	FFD4 _H	Mapped	FFF4 _H	Mapped
FF95 _H	INTP	FFB5 _H	—	FFD5 _H	Mapped	FFF5 _H	Mapped
FF96 _H	INTE0	FFB6 _H	—	FFD6 _H	Mapped	FFF6 _H	Mapped
FF97 _H	INTF0	FFB7 _H	—	FFD7 _H	Mapped	FFF7 _H	Mapped
FF98 _H	INTE1	FFB8 _H	—	FFD8 _H	Mapped	FFF8 _H	Mapped
FF99 _H	INTF1	FFB9 _H	—	FFD9 _H	Mapped	FFF9 _H	Mapped
FF9A _H	INTE2	FFBA _H	—	FFDA _H	Mapped	FFFA _H	Mapped
FF9B _H	INTF2	FFBB _H	—	FFDB _H	Mapped	FFFB _H	Mapped
FF9C _H	INTE3	FFBC _H	—	FFDC _H	Mapped	FFFC _H	Mapped
FF9D _H	INTF3	FFBD _H	—	FFDD _H	Mapped	FFFD _H	Mapped
FF9E _H	INTE4	FFBE _H	—	FFDE _H	Mapped	FFFE _H	Mapped
FF9F _H	INTF4	FFBF _H	—	FFDF _H	Mapped	FFFF _H	Mapped

图 3-8 快速访问区特殊功能寄存器

FAMS = 0, MHL = 0			FAMS = 0, MHL = 1		
6000 _H	MULA	6020 _H	I2CX16	6040 _H	T10
6001 _H	MULB	6021 _H	I2CC	6041 _H	T10C
6002 _H	MULL	6022 _H	I2CSA	6042 _H	T1NOC
6003 _H	MULH	6023 _H	I2CTB	6043 _H	T11L
6004 _H	DIVEL	6024 _H	I2CRB	6044 _H	T11H
6005 _H	DIVEM	6025 _H	I2CIEC	6045 _H	T11PL
6006 _H	DIVEH	6026 _H	I2CIFC	6046 _H	T11PH
6007 _H	DIVEU	6027 _H	FRAL	6047 _H	T11R0L
6008 _H	DIVSL	6028 _H	FRALN	6048 _H	T11R0H
6009 _H	DIVSH	6029 _H	FRAH	6049 _H	T11R1L
600A _H	DIVQL	602A _H	FRAHN	604A _H	T11R1H
600B _H	DIVQM	602B _H	ROMDL	604B _H	T11CL
600C _H	DIVQH	602C _H	ROMDLN	604C _H	T11CH
600D _H	DIVQU	602D _H	ROMDH	604D _H	T11CM
600E _H	DIVRL	602E _H	ROMDHN	604E _H	T11AS
600F _H	DIVRH	602F _H	IAPUL	604F _H	T11TMRADC
6010 _H	DIVC	6030 _H	IAPC	6050 _H	T12L
6011 _H	BR0R	6031 _H	IAPERSS	6051 _H	T12H
6012 _H	RX0B	6032 _H	IAPPRGS	6052 _H	T12PL
6013 _H	RX0C	6033 _H	IAPS	6053 _H	T12PH
6014 _H	TX0B	6034 _H	—	6054 _H	T12R0L
6015 _H	TX0C	6035 _H	—	6055 _H	T12R0H
6016 _H	BR1R	6036 _H	WDTUL	6056 _H	T12R1L
6017 _H	RX1B	6037 _H	WDTC	6057 _H	T12R1H
6018 _H	RX1C	6038 _H	OSCC1	6058 _H	T12CL
6019 _H	TX1B	6039 _H	OSCC2	6059 _H	T12CH
601A _H	TX1C	603A _H	OSCC3	605A _H	T12CM
601B _H	ADRL	603B _H	OSCW	605B _H	T12AS
601C _H	ADRH	603C _H	CLKG0	605C _H	T12TMRADC
601D _H	ADCCL	603D _H	CLKG1	605D _H	T13L
601E _H	ADCCM	603E _H	LVDCL	605E _H	T13H
601F _H	ADCC	603F _H	LVDCH	605F _H	T13PL
				6060 _H	T13PH
				6061 _H	T13R0L
				6062 _H	T13R0H
				6063 _H	T13R1L
				6064 _H	T13R1H
				6065 _H	T13CL
				6066 _H	T13CH
				6067 _H	T13CM
				6068 _H	T13AS
				6069 _H	T13TMRADC
				606A _H	T20L
				606B _H	T20H
				606C _H	T20PL
				606D _H	T20PH
				606E _H	T20R0L
				606F _H	T20R0H
				6070 _H	T20R1L
				6071 _H	T20R1H
				6072 _H	T20CL
				6073 _H	T20CH
				6074 _H	T20CM
				6075 _H	T20AS
				6076 _H	T20TMRADC
				6077 _H	T20CP0L
				6078 _H	T20CP0H
				6079 _H	T20CP1L
				607A _H	T20CP1H
				607B _H	T11PWMSHUT
				607C _H	T12PWMSHUT
				607D _H	T13PWMSHUT
				607E _H	—
				607F _H	CHIPPACK

图 3-9 特殊功能寄存器 (Section 0)

注：当 FAMS=0, MHL=0 时，访问 6000_H ~ 603F_H 区间的 SFR；
当 FAMS=0, MHL=1 时，访问 6040_H ~ 607F_H 区间的 SFR；

FAMS = 1, MHL = 0				FAMS = 1, MHL = 1			
6080 _H	PAS	60A0 _H	TKMODM	60C0 _H	—	60E0 _H	BR2R
6081 _H	PAPU	60A1 _H	TKMODH	60C1 _H	—	60E1 _H	RX2B
6082 _H	PAPD	60A2 _H	TKMODU	60C2 _H	—	60E2 _H	RX2C
6083 _H	PALC	60A3 _H	VRC	60C3 _H	—	60E3 _H	TX2B
6084 _H	PAOD	60A4 _H	TKOUTS0	60C4 _H	—	60E4 _H	TX2C
6085 _H	PBS	60A5 _H	TKOUTS1	60C5 _H	—	60E5 _H	BR3R
6086 _H	PBPU	60A6 _H	TKOUTS2	60C6 _H	—	60E6 _H	RX3B
6087 _H	PBPD	60A7 _H	TKOUTS3	60C7 _H	—	60E7 _H	RX3C
6088 _H	PBLC0	60A8 _H	TKOUTS4	60C8 _H	—	60E8 _H	TX3B
6089 _H	PBLC1	60A9 _H	TKOUTS5	60C9 _H	—	60E9 _H	TX3C
608A _H	PBOD	60AA _H	T21L	60CA _H	—	60EA _H	T11CTR
608B _H	PBSMIT	60AB _H	T21H	60CB _H	—	60EB _H	T12CTR
608C _H	PCS	60AC _H	T21PL	60CC _H	—	60EC _H	T13CTR
608D _H	PCPU	60AD _H	T21PH	60CD _H	—	60ED _H	T20CTR
608E _H	PCPD	60AE _H	T21R0L	60CE _H	—	60EE _H	T21CTR
608F _H	PCLC	60AF _H	T21R0H	60CF _H	—	60EF _H	PWMSRC_PLL
6090 _H	PCOD	60B0 _H	T21R1L	60D0 _H	—	60F0 _H	—
6091 _H	—	60B1 _H	T21R1H	60D1 _H	—	60F1 _H	—
6092 _H	—	60B2 _H	T21CL	60D2 _H	—	60F2 _H	—
6093 _H	—	60B3 _H	T21CH	60D3 _H	—	60F3 _H	—
6094 _H	PES	60B4 _H	T21CM	60D4 _H	—	60F4 _H	—
6095 _H	PEPU	60B5 _H	T21AS	60D5 _H	—	60F5 _H	—
6096 _H	PEPD	60B6 _H	T21TMRADC	60D6 _H	—	60F6 _H	PAGEENC0
6097 _H	PELC	60B7 _H	T21CP0L	60D7 _H	—	60F7 _H	PAGEENC1
6098 _H	PEOD	60B8 _H	T21CP0H	60D8 _H	—	60F8 _H	PAGEENC2
6099 _H	TKSEL	60B9 _H	T21CP1L	60D9 _H	—	60F9 _H	—
609A _H	TKTUN	60BA _H	T21CP1H	60DA _H	—	60FA _H	—
609B _H	TKCTL	60BB _H	T2NOC	60DB _H	—	60FB _H	VBIAS0
609C _H	TKDAL	60BC _H	T20PWMSHUT	60DC _H	—	60FC _H	VBIAS1
609D _H	TKDAM	60BD _H	T21PWMSHUT	60DD _H	—	60FD _H	VBIAS2
609E _H	TKDAH	60BE _H	—	60DE _H	—	60FE _H	VBIAS3
609F _H	TKMODL	60BF _H	—	60DF _H	—	60FF _H	—

图 3-10 特殊功能寄存器 (Section 1)

注：当 FAMS=1, MHL=0 时，访问 6080_H ~ 60BF_H 区间的 SFR；
当 FAMS=1, MHL=1 时，访问 60C0_H ~ 60FF_H 区间的 SFR。

3.5.5 寻址方式

3.5.5.1 直接寻址

当指令中的 8 位地址信息小于 80_H 时，寻址 SRAM 地址空间。BKSR 用于选择 SRAM 存储体组，指令中的低 7 位地址信息用于在 BKSR 所选的存储体组中寻址。

当指令中的 8 位地址信息大于或等于 80_H 时，寻址指向快速访问区。指令字中的低 7 位地址信息用于在快速访问区寻址。快速访问映射寄存器 FAMR 用于将 SFR 某个 SECTION 的高或低地址段映射到快速访问区的高地址段 (FFC0_H~FFFF_H)，FAMR 寄存器中的 FAMS 位用于选择映射的 SFR SECTION，FAMR 寄存器中的 MHL 位用于选择映射高或低地址段。

示意图如下：

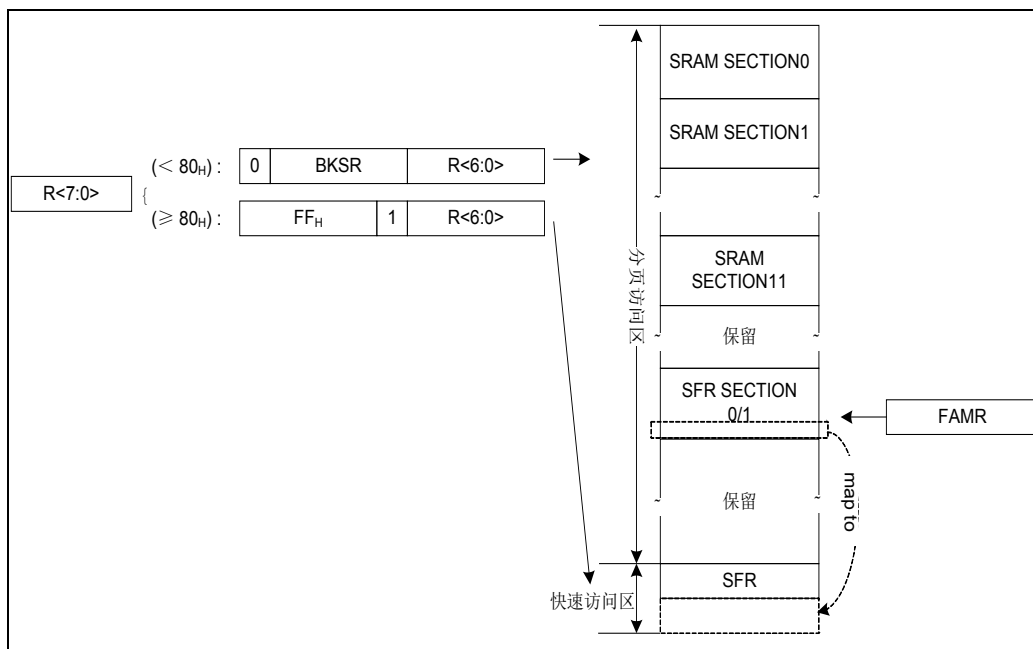


图 3-11 直接寻址示意图

3.5.5.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读写操作，本系列芯片指令中支持 11 位地址信息（R<10:0>），可寻址 2K 字节地址空间，无需进行 SECTION 间切换。MOVAR 和 MOVRA 指令无法访问 SFR。

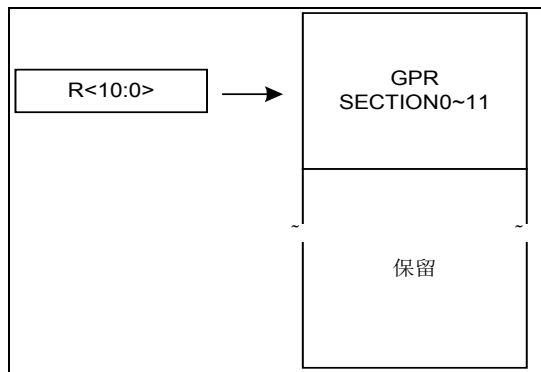


图 3-12 GPR 特殊寻址示意图

3.5.5.3 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD 间接访问数据寻址空间中的存储单元。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

由于 IAD 寄存器本身也映射到数据寻址空间的 FF80H 地址。因此，当 IAA 存放的地址值为 FF80H 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读为 00H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指

令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。

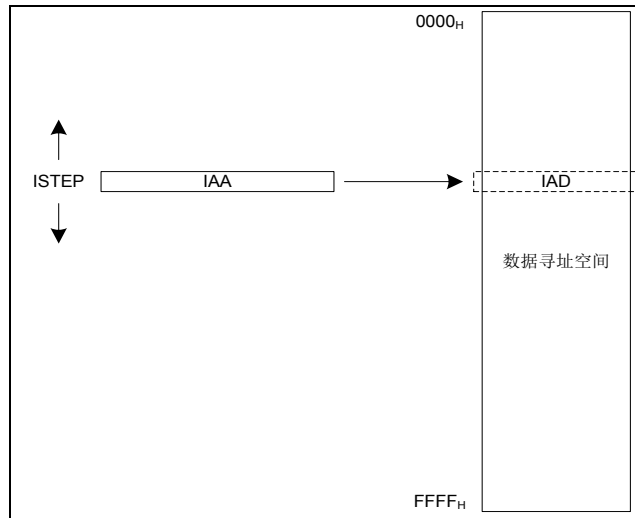


图 3-13 间接寻址示意图

3.6 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 间接寻址索引高 8 位

BKSR: 存储体组选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	BKSR<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留
 Bit 3~0 BKSR: SRAM 存储体组选择
 0000: SRAM Section 0
 0001: SRAM Section 1
 0010: SRAM Section 2

 1011: SRAM Section 11

FAMR: 快速访问映射寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	FAMS	MHL
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~2 保留
 Bit 1 FAMS: 快速访问映射 SFR 存储体组选择
 0: SFR Section 0
 1: SFR Section 1
 Bit 0 MHL: 高/低地址段选择位
 0: 选择低地址段映射
 1: 选择高地址段映射

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 查表地址低 8 位

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 查表地址高 8 位

FRALN: 查表地址寄存器低 8 位反码								
Bit	7	6	5	4	3	2	1	0
Name	FRAN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 查表地址低 8 位的反

FRAHN: 查表地址寄存器高 8 位反码								
Bit	7	6	5	4	3	2	1	0
Name	FRAN<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 查表地址高 8 位的反

ROMDL: 查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 查表数据低 8 位

ROMDH: 查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 查表数据高 8 位

ROMDLN: 查表数据寄存器低 8 位反码								
Bit	7	6	5	4	3	2	1	0
Name	ROMDN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 查表数据低 8 位的反

ROMDHN: 查表数据寄存器高 8 位反码								
Bit	7	6	5	4	3	2	1	0
Name	ROMDN<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 查表数据高 8 位的反

第4章 输入/输出端口

4.1 概述

本系列芯片最多支持 30 个 I/O 端口，共分为 PA, PB, PC, PE 共 4 组。所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。端口驱动能力可配置。

每个端口都有相应的控制寄存器 PxT，来进行输入/输出控制。若 PAT/PBT/PCT/PET 置 1，则 I/O 端口为输入状态；若 PAT/PBT/PCT/PET 清 0，则 I/O 端口为输出状态。

IO 端口都有独立的内部弱上、下拉控制寄存器。若控制寄存器位置 1，则 I/O 端口弱上或者下拉使能；若控制寄存器位清 0，则 I/O 端口弱上或者下拉禁止。当端口设置为输出、外部晶振端口或者模拟输入端口时，内部弱上、下拉自动禁止。IO 端口都有独立的开漏输出控制寄存器。

PB0~PB7 端口支持 100mA 灌电流驱动能力。大电流模式下，同时只能有一个端口可提供高达 100mA 的驱动能力，因此如用作 LED 驱动，需采用共阴极动态扫描的驱动方式。端口的拉电流和灌电流驱动能力可以通过 PALC/PBLC0/PBLC1/PCLC/PELC 寄存器来选择。对于 PB0~PB7，当灌电流配置为强驱动时，禁止设置拉电流为增强驱动，否则可能引起芯片工作异常。

PB0~PB7 端口默认复用为偏置电压产生模块 VGEN 的输出，用于 LCD 驱动；当 PB0~PB7 作为数字 IO 端口或其它复用功能时，必需先软件设置寄存器控制位 VBIAS_SELx<2:0>=111，关闭偏置电压通道，否则可能会导致 PB0~PB7 端口功能异常或芯片功耗异常。

当 IO 复用设置为模拟端口时，相应的端口方向寄存器 PAT/PBT/PCT/PET 应软件设置为输入端口。

低有效外部复位 MRSTN 和 PA4 端口复用，当芯片配置字的 MRSTEN 位为 1 时，配置为 MRSTN 功能，且该端口的内部弱上拉固定为使能。

注：本系列芯片有多种封装形式，在应用系统中，未使用的 I/O 管脚需软件设置为输出低电平，如果产品封装管脚数小于本系列芯片最大封装管脚数，则未引出的 I/O 管脚也需软件设置为输出低电平，否则芯片功耗可能会出现异常，芯片工作稳定性也容易因外界干扰而降低。

4.2 I/O结构框图

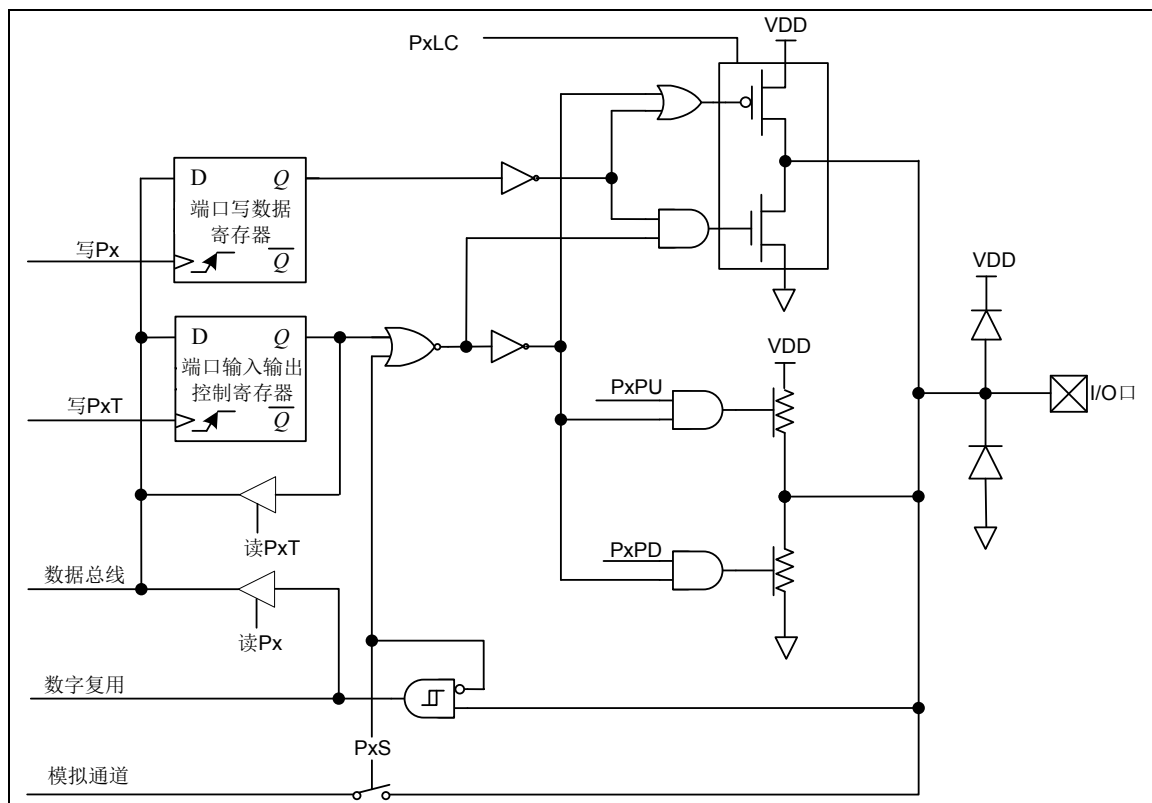


图 4-1 I/O 端口结构图

4.3 I/O端口功能

4.3.1 I/O端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PAT/PBT/PCT/PET 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 PA/PB/PC/PE 寄存器内容，即写相应 I/O 端口电平状态，读取 PA/PB/PC/PE 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 PA/PB/PC/PE 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O端口弱上拉、弱下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。本系列芯片中所有端口支持独立的弱上、下拉功能。弱上、下拉功能仅在相应端口设为数字输入或数字复用输入模式下有效；对 PC0 端口的弱上拉功能，需将 PC0 和 PC1 均设置为数字端口后才有效，当 PC0 用作模拟端口或数字输出端口时，需软件禁止 PC0 端口的弱上拉功能。

4.3.3 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本系列芯片部分复用端口具有独立的模拟/数字信号选择功能，由相应 PAS/PBS/PCS/PES 寄存器控制。当端口被配置为模拟

端口时，读相应的 PA/PB/PC/PE 寄存器始终读到“0”。

4.3.4 增强驱动能力I/O

为了更好的配合电机驱动等应用,本系列芯片 PWM 复用输出端口均特别增强了驱动能力, PB 端口灌电流最大可达 100mA; 其它端口上的 PWM 复用输出端口灌电流最大可达 20mA。端口驱动能力参数请参考附录“电气特性”。端口驱动能力可通过 PALC/PBLC0/PBLC1/PCLC/PELC 寄存器来配置。

4.3.5 I/O端口复用功能

为了使资源合理利用最优化,本系列芯片大部分的 I/O 端口都具有复用功能。当端口用于复用功能时,管脚电平由复用功能决定。部分外设如 T20, T21, UART, I2C 和外部刹车控制等的使用管脚可通过 CHIPPACK 寄存器的对应位选择。

4.4 外部端口中断 (PINT)

本系列芯片最多支持 8 个外部中断。当 PINT0~PINT7 复用端口被配置为数字输入端口,且输入信号变化满足触发条件时,将产生 PINT0~PINT7 外部端口中断。PINTC 寄存器用于配置触发条件,可分别配置为上升沿触发、下降沿触发或双沿触发。外部端口中断可由 PIE0~PIE7 使能。中断产生将影响相应的中断标志 PIF0~PIF7。

外部中断	中断标志	中断使能	边沿选择	备注
PINT0	PIF0	PIE0	PEG0	—
PINT1	PIF1	PIE1		
PINT2	PIF2	PIE2		
PINT3	PIF3	PIE3	PEG1	
PINT4	PIF4	PIE4		
PINT5	PIF5	PIE5		
PINT6	PIF6	PIE6		
PINT7	PIF7	PIE7		

表 4-1 外部端口中断

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的指令(除位操作指令)时,芯片实际执行读-修改-写过程,即先读取该组全部 I/O 端口的电平,修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位,对同组其它 I/O 不造成影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在复用功能使能和关闭时,应充分考虑当前 I/O 端口的输出寄存器值,并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	X	x	x	x	x

Bit 7~0 PA<7:0>: PA 端口电平状态
0: 低电平
1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PAT<7:0>: PA 端口输入输出状态控制位
0: 输出状态
1: 输入状态

PAS: PA 端口类型选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	0	1	1	1	1

Bit 7~0 PAS<7:0>: PA 端口数字/模拟类型选择位
0: 数字端口
1: 模拟端口

注 1: PA4 与 MRSTN 复用, 无模拟端口复用功能, 上电默认为数字端口, 在写操作时, PAS<4>需固定为 0;
注 2: 除 PA4 之外的 PA 端口均默认为模拟端口, 用户将这类端口用作数字端口时, 需先配置为数字端口。

PAPU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PAPU<7:0>: PA 端口内部弱上拉控制位
0: 禁止
1: 使能

注 1: PA4 管脚与外部复位 MRSTN 复用, 可由配置字配置。
芯片上电默认为外部复位管脚, 且该管脚的内部弱上拉电阻强制使能 (无需外接上拉电阻), 直到芯片配置字读取完毕, 才会根据配置字的配置, 作为普通 IO 管脚, 初始为输入, 内部弱上拉电阻禁止。故从上电开始

到用户配置字读取完毕的时间段内，PA4/MRSTN 管脚上会出现一个由上拉电阻引起的高电平脉冲。
为保证系统的稳定性，建议用户在系统设计时，提前考虑规避该复用管脚用作关键的控制管脚。
注 2: PA5 和 PA6 用作外部晶振管脚时，禁止使能上拉。

PAPD: PA 端口弱下拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PAPD<7:0>: PA 端口内部弱下拉控制位
0: 禁止
1: 使能

注: PA5 和 PA6 用作外部晶振管脚时，禁止使能下拉。

PALC: PA 端口驱动能力控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PALC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PALC<7:0>: PA 端口驱动能力控制位
0: 普通驱动能力
1: 增强驱动能力

PAOD: PA 端口开漏控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PAOD<7:0>: PA 端口开漏控制位
0: 禁止
1: 使能

PB: PB 端口电平状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	PB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PB<7:0>: PB 端口电平状态
0: 低电平
1: 高电平

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PBT<7:0>: PB 端口输入输出状态控制位

0: 输出状态

1: 输入状态

PBS: PB 端口类型选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	1	1	1	1	1

Bit 7~0 PBS<7:0>: PB 端口数字/模拟类型选择位

0: 数字端口

1: 模拟端口

注 1: PB5 和 PB6 分别复用为 ISP 的 ISDA 和 ISCK 端口, 默认为数字输入。

注 2: PB 除 PB[6:5]之外的端口默认为模拟端口, 用户将这类端口用作数字端口时, 需提前配置为数字端口。

PBPU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBPU<7:0>: PB 端口内部弱上拉控制位

0: 禁止

1: 使能

PBPD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBPD<7:0>: PB 端口内部弱下拉控制位

0: 禁止

1: 使能

PBLC0: PB 端口驱动能力控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	PBLC0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBLC0<7:0>: PB 端口拉电流驱动能力控制位
 0: 普通驱动能力
 1: 增强驱动能力

PBLC1: PB 端口驱动能力控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	PBLC1<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBLC1<7:0>: PB 端口灌电流驱动能力控制位
 0: 普通驱动能力
 1: 大电流驱动能力

PBOD: PB 端口开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBOD<7:0>: PB 端口开漏控制位
 0: 禁止
 1: 使能

PBSMIT: PB 端口施密特输入窗口电压配置寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBSMIT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBSMIT<7:0>: PB 端口输入窗口电压配置寄存器
 0: 施密特窗口模式 0 (窗口典型值为 1.7V~3.0V @VDD=5.0V)
 1: 施密特窗口模式 1(窗口典型值为 1.0V~2.0V @VDD=5.0V)

PC: PC 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PC<7:0>: PC 端口电平状态
 0: 低电平

1: 高电平

PCT: PC 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PCT<7:0>: PC 端口输入输出状态控制位
 0: 输出状态
 1: 输入状态

PCS: PC 端口类型选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	0	1	1

Bit 7~0 PCS<7:0>: PC 端口数字/模拟类型选择位
 0: 数字端口
 1: 模拟端口

注 1: PC2 和 PC3 分别复用为 ISP 的 ISDA 和 ISCK 端口, 默认为数字输入。
 注 2: PC<3: 2>之外的 PCx 端口均默认为模拟端口, 用户将这类端口用作数字端口时, 需先配置为数字端口。

PCPU: PC 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCPU<7:0>: PC 端口内部弱上拉控制位
 0: 禁止
 1: 使能

注: 对 PC0 端口的弱上拉使能, 需将 PC0 和 PC1 均设置为数字端口 (PCS<1: 0>=00) 后才有效, 当 PC0 用作模拟端口或数字输出端口时, 需软件禁止 PC0 端口的弱上拉 (PCPU<0>=0)。

PCPD: PC 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCPD<3:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCPD<7:0>: PC 端口内部弱下拉控制位
 0: 禁止
 1: 使能

PCLC: PC 端口驱动能力控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCLC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCLC<7:0>: PC 端口驱动能力控制位

0: 普通驱动能力

1: 增强驱动能力

PCOD: PC 端口开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCOD<7:0>: PC 端口开漏控制位

0: 禁止

1: 使能

PE: PE 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PE<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	x	x	x	x	x	x

Bit 7~6 保留

Bit 5~0 PE<7:0>: PE 端口电平状态

0: 低电平

1: 高电平

PET: PE 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PET<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	1	1	1	1	1	1

Bit 7~6 保留

Bit 5~0 PET<5:0>: PE 端口输入输出状态控制位

0: 输出状态

1: 输入状态

PES: PE 端口类型选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PES<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

- Bit 7~6 保留
- Bit 5~0 PES<5:0>: PE 端口数字/模拟类型选择位
 - 0: 数字端口
 - 1: 模拟端口

注: PE 端口默认为模拟端口, 用户将这类端口用作数字端口时, 需先配置为数字端口。

PEPU: PE 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PEPU<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留
- Bit 5~0 PEPU<5:0>: PE 端口内部弱上拉控制位
 - 0: 禁止
 - 1: 使能

PEPD: PE 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PEPD<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留
- Bit 5~0 PEPD<5:0>: PE 端口内部弱下拉控制位
 - 0: 禁止
 - 1: 使能

PELC: PE 端口驱动能力控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PELC<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留
- Bit 5~0 PELC<5:0>: 端口驱动能力控制位
 - 0: 普通驱动能力
 - 1: 增强驱动能力

PEOD: PE 端口开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PEOD<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留

Bit 5~0 PEOD<5:0>: PE 端口开漏控制位
 0: 禁止
 1: 使能

PINTC: PINT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	PEG1<2:0>			—	PEG0<2:0>		
R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 保留

Bit 6~4 PEG1<2:0>: PINT7~4 触发方式选择位
 000: 上升沿
 001: 下降沿
 010: 高电平
 011: 低电平
 1xx: 上升沿和下降沿

Bit 3 保留

Bit 2~0 PEG0<2:0>: PINT3~0 触发方式选择位
 000: 上升沿
 001: 下降沿
 010: 高电平
 011: 低电平
 1xx: 上升沿和下降沿

CHIPPACK: 芯片功能管脚位置选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	EPAS1PS	UART0PS	I2CPS	T21PS	T20PS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 保留

Bit 4 EPAS1PS: EPAS1 外部管脚自动关断 PWM 管脚选择位
 0: PA7 管脚选择为 EPAS1
 1: PE5 管脚选择为 EPAS1

Bit 3 UART0PS: UART0 管脚选择位
 0: RX0, TX0 管脚选择为 PB3, PB4
 1: RX0, TX0 管脚选择为 PC6, PC7

Bit 2 I2CPS: I2C 管脚选择位
 0: SDA, SCL 管脚为 PC0, PC1 (PC0 和 PC1 端口的输入施密特窗口大于 PC6 和 PC7, 推荐优先选用 PC0 和 PC1 作为 I2C 管脚)
 1: SDA, SCL 管脚为 PC6, PC7

Bit 1 T21PS: T21 输出 PWM210, PWM211 输出管脚选择位:
 0: PWM210, PWM211 从 PC4, PC5 输出
 1: PWM210, PWM211 从 PE2, PE1 输出

Bit 0 T20PS: T20 输出 PWM200, PWM201 输出管脚选择位:

- 0: PWM200, PWM201 从 PC0, PC1 输出
- 1: PWM200, PWM201 从 PE4, PE3 输出

第5章 特殊功能及操作特性

5.1 系统时钟和振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本系列芯片所提供的振荡器有三种：外部高频晶体/陶瓷振荡器 OSC、内部高速 HRC 振荡器（16MHz）和内部低速 LRC 振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以作为看门狗定时器、ADC 电路等提供所需要的时钟源。

◇ OSC

- 外部振荡器
- 高速模式支持 4~20MHz 晶振或陶振
- 低速模式支持 32.768KHz 晶振
- 支持从 OSC0/PA5 管脚输入外部时钟

◇ HRC

- 内部 16MHz RC 振荡器
- 出厂前，振荡器频率已经在常温下已经校准，校准精度在±0.5%以内

◇ LRC

- 内部 32KHz RC 振荡器
- 出厂前，振荡器频率已经在常温下已经校准，校准精度在±5%以内
- 上电使能，无法关闭

5.1.2 结构框图

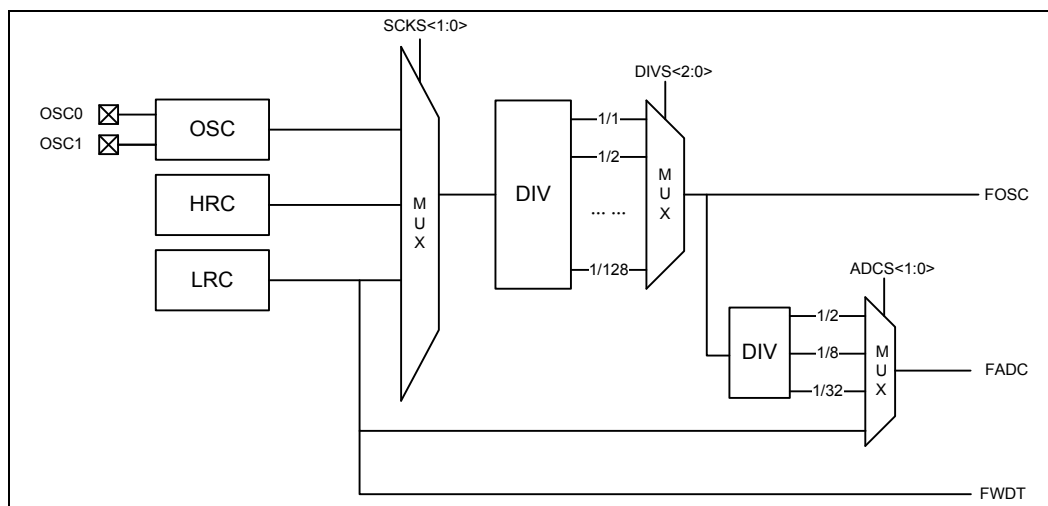


图 5-1 系统时钟内部结构图

5.1.3 时钟源

5.1.3.1 外部高频晶体/陶瓷振荡器 OSC

对于晶体/陶瓷振荡器而言，只要简单地将晶体连接至 OSC0 和 OSC1 管脚间，就会产

生振荡所需的相移及反馈。为保证振荡频率更精准，需连接两个小容量电容 C1 和 C2 到 VSS，具体数值与所使用的晶体/陶瓷振荡器有关，电容参考取值范围为 15~33pF。由芯片配置字 OSCM<1:0>设置外部高频振荡器工作模式（用户通过编程器界面进行设置）：

当 OSCM<1:0> = 00 时，选择 HS 模式，支持 4MHz~20MHz 外部振荡器，OSC0 和 OSC1 端口固定为振荡器功能端口；

当 OSCM<1:0> = 01 时，选择 LP 模式，支持 32.768KHz 外部振荡器，OSC0 和 OSC1 端口固定为振荡器功能端口；

当 OSCM<1:0> = 10 时，选择 EC 模式，直接从 OSC0 管脚输入系统时钟，此时 OSC1 管脚用作普通 I/O 端口。

OSC 振荡器电路示意图如下：

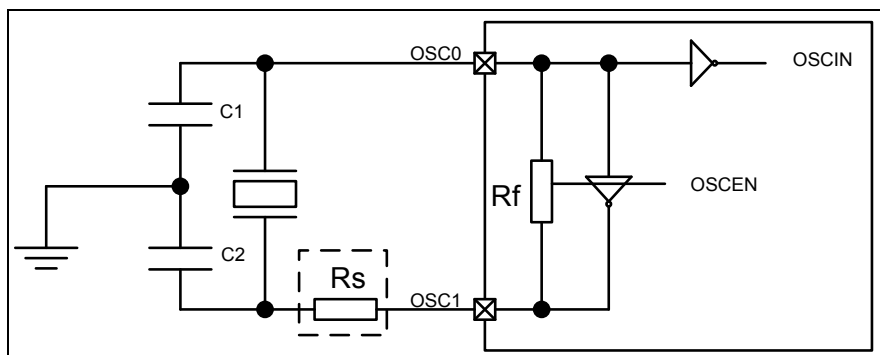


图 5-2 振荡器电路示意图

注：电阻 RS 为可选配置。

Osc Type	晶振频率	C1	C2
LP	32KHz	33pF	33pF
HS	4MHz	15 ~ 33pF	15 ~ 33pF
	8MHz		
	16MHz	15pF	15pF
	20MHz		

表 5-1 振荡器匹配电容参考表

注：电容数据可根据晶振频率大小、外围电路的不同作微调。

5.1.3.2 内部高速 16MHz RC振荡器HRC

芯片内置 16MHz RC 时钟振荡器，不需要外接其它外部器件。出厂前，内置 16MHz RC 时钟振荡器已在常温下校准。

5.1.3.3 内部低速 32KHz RC振荡器LRC

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT 计数时钟源，也可配置为主系统时钟源。出厂前，内置 32KHz RC 时钟振荡器已在常温下校准。

5.1.4 系统时钟源切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，

灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。

芯片上电复位后，内部 16MHz RC 振荡器(HRC)默认作为系统时钟源。可通过配置 OSCC1 寄存器中的 SCKS 位切换系统时钟源。当芯片从睡眠模式唤醒时，默认系统时钟可由芯片配置字来确定使用 HRC 时钟或 LRC 时钟。

系统支持三种时钟之间相互切换，共六种情况：

- ◇ 内部高速 HRC/外部 OSC 时钟切换到内部低速 LRC 时钟
 - 检测 OSCC2 寄存器中的 LRCON 位，直到检测到 LRCON=1；
 - 设置 OSCC1 寄存器中的 SCKS<1:0>=01；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；
 - 用户可选择关闭 HRC/OSC 时钟，即设置 OSCC2 寄存器中的 HRCEN/ OSCEN=0。
- ◇ 内部低速 LRC 时钟切换到内部高速 HRC/外部 OSC 时钟
 - 设置 OSCC2 寄存器中的 HRCEN/ OSCEN=1；
 - 检测 OSCC2 寄存器中的 HRCON/ OSCON 位，直到检测到 HRCON/ OSCON=1；
 - 设置 OSCC1 寄存器中的 SCKS<1:0>=00/10；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；
- ◇ 内部高速 HRC 时钟切换到外部 OSC 时钟
 - 设置 OSCC2 寄存器中的 OSCEN =1；
 - 检测 OSCC2 寄存器中的 OSCON 位，直到检测到 OSCON =1；
 - 设置 OSCC1 寄存器中的 SCKS<1:0>=10；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；
 - 用户可选择关闭 HRC 时钟，即设置 OSCC2 寄存器中的 HRCEN=0。
- ◇ 外部 OSC 时钟切换到内部高速 HRC 时钟
 - 设置 OSCC2 寄存器中的 HRCEN =1；
 - 检测 OSCC2 寄存器中的 HRCON 位，直到检测到 HRCON=1；
 - 设置 OSCC1 寄存器中的 SCKS<1:0>=00；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；
 - 用户可选择关闭 OSC 时钟，即设置 OSCC2 寄存器中的 OSCEN=0。

5.1.4.1 系统上电时序

当 MRSTN/PA4 配置为 MRSTN 时，上电时序如下图所示。其它复位的上电时序参见 5.3 复位模块一节。

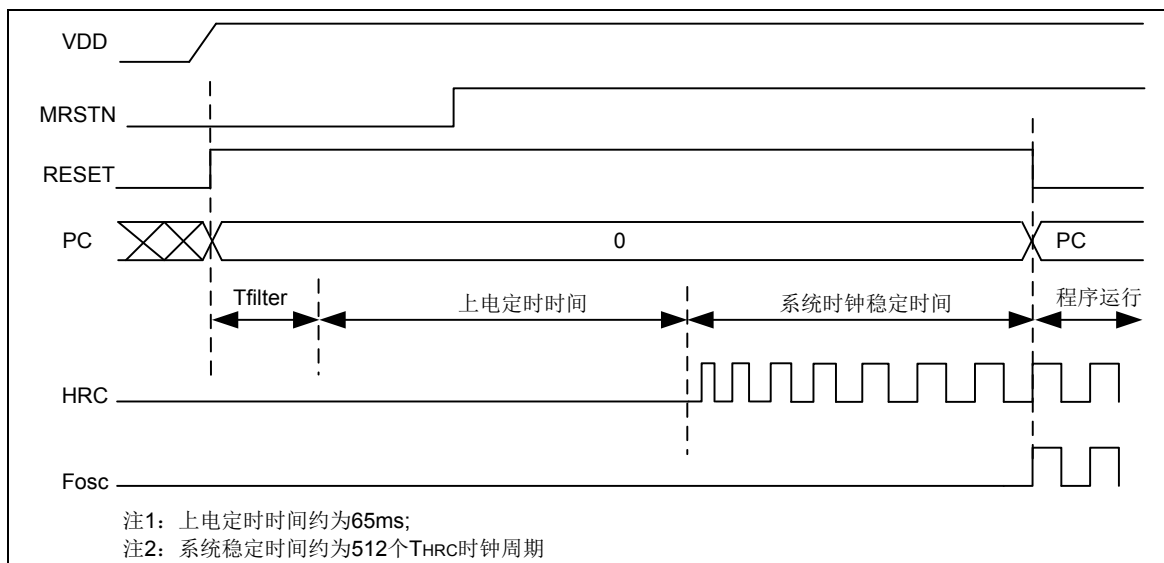


图 5-3 系统上电时序图（外部复位时间小于上电定时时间）

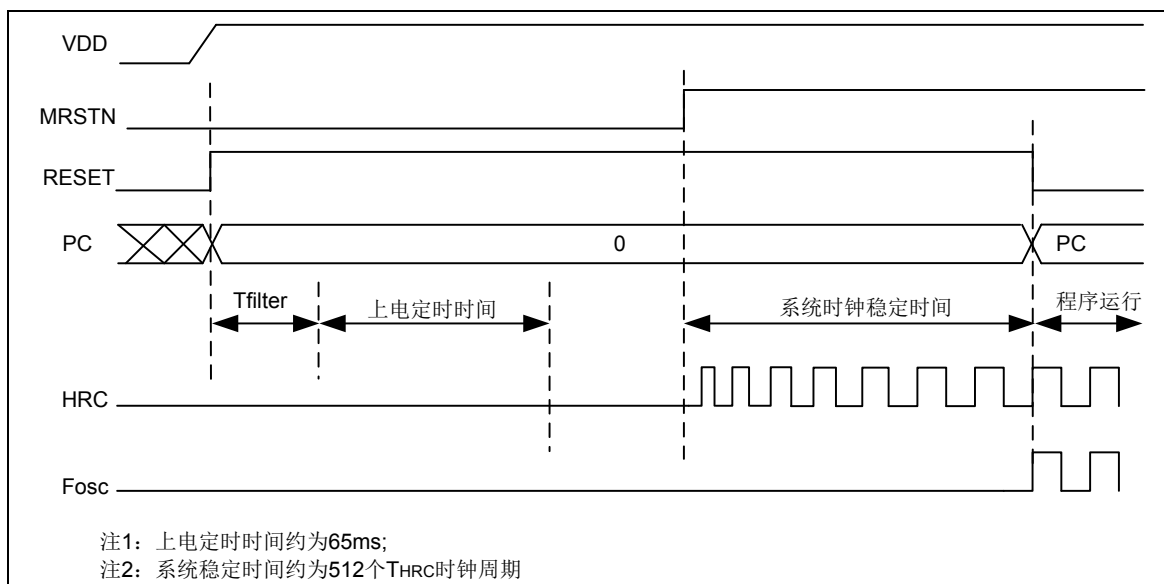


图 5-4 系统上电时序图（外部复位时间大于上电定时时间）

5.1.5 系统时钟分频

系统时钟支持 1 个最大分频比为 1:256 的后分频器，可通过 OSCC1 寄存器中的 POSDIVS<2:0>位进行选择分频比。后分频器本身不可读写，配置系统时钟切换选择位 SCKS 后，后分频器计数自动清零，但不影响分频比设置。

改变系统时钟的分频比也同样视为系统时钟源的切换。

5.1.6 时钟切换等待

改变系统时钟的时钟源和改变系统时钟分频比都被视为系统时钟切换操作。为确保时钟切换时的系统稳定，在执行时钟切换操作时系统时钟会暂停运行，直到时钟切换结束再恢复运行。切换等待时间的长短视切换中的 2 个时钟源的频率而定。

5.1.7 特殊功能寄存器

OSCWP: 时钟控制写保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 为保证系统的稳定运行 OSCC2 和 OSCC1 寄存器默认处于写保护状态。解锁需对 OSCWP 寄存器写入 55H，写入其它值将恢复写保护状态。

OSCC1: 时钟控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	CHG	POSDIVS<2:0>			SST<1:0>		SCKS<1:0>	
R/W	R	R/W	R/W	R/W	R	R	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 CHG: 系统时钟切换标志位

- 0: 切换完成
- 1: 切换进行中

Bit 6~4 POSDIVS<2:0>: 系统时钟后分频比选择位

- 000 = 1:1
- 001 = 1:2
- 010 = 1:4
- 011 = 1:8
- 100 = 1:16
- 101 = 1:32
- 110 = 1:64
- 111 = 1:128

Bit 3~2 SST<1:0>: 系统时钟源标志位

- 00: HRC 时钟源
- 01: LRC 时钟源
- 1X: OSC 时钟源

Bit 1~0 SCKS<1:0>: 系统时钟源选择位

- 00: HRC 时钟源
- 01: LRC 时钟源
- 10: OSC 时钟源
- 11: 保留

OSCC2: 时钟控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	OSCON	—	HRCON	LRCON	OSCEN	—	HRCEN	LRCEN
R/W	R	—	R	R	R/W	—	R/W	R
POR	0	0	0	0	0	0	1	1

Bit 7 OSCON: OSC 时钟状态位

- 0: 关闭状态

- 1: 开启状态
- Bit 6 保留
- Bit 5 HRCON: HRC 时钟状态位
 - 0: 关闭状态
 - 1: 开启状态
- Bit 4 LRCON: LRC 时钟状态位
 - 0: 关闭状态
 - 1: 开启状态
- Bit 3 OSCEN: OSC 时钟使能位
 - 0: 关闭 (无其它硬件强制使能时)
 - 1: 使能
- Bit 2 保留
- Bit 1 HRCEN: HRC 时钟使能位
 - 0: 关闭 (无其它硬件强制使能时)
 - 1: 使能
- Bit 0 LRCEN: LRC 时钟使能位
 - LRC 时钟上电使能, 无法关闭。

注 1: HRC 时钟在 TK 模块使能时将被硬件强制使能, 软件关闭无效;

注 2: 当配置字将外部 OSC 振荡器设置为 HS 或 LP 模式后, 通过寄存器位 SCKS<1:0>, 软件将 OSC 设置为系统时钟源, 或设置 OSCEN=1, 均可使能 OSC 时钟振荡器; 当系统时钟源为外部 OSC, 并且 OSCEN=0 时, 在 IDLE 模式下外部 OSC 振荡器停止工作;

注 3: 当通过寄存器位 SCKS<1:0>, 软件将 HRC 设置为系统时钟源, 或设置 HRCEN=1, 均可使能 HRC 时钟; 当系统时钟源为内部 HRC, 并且 HRCEN=0 时, 在 IDLE 模式下, 内部 HRC 时钟停止工作。

OSCC3: 时钟控制寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	OSC_SU	CLKOEN
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	1	0

- Bit 7~2 保留
- Bit 1 OSC_SU: 外部晶振启动 (startup) 选择
 - 1: 高功耗模式。当芯片配置字选择外部振荡器为 HS 模式, 使用 4~20MHz 外部晶振时, 强制为高功耗模式, 该位不起作用。
 - 0: 低功耗模式。当芯片配置字选择外部振荡器为 LP 模式, 使用 32.768KHz 外部晶振时, 需将该位设置为 0, 切换到低功耗模式。
- Bit 0 CLKOEN: 系统时钟 128 分频输出使能位
 - 0: 关闭
 - 1: 使能, 输出到 CLKO (PB0 端口)

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它的功能在于在发生软件故障时，通过器件复位将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◇ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为 LRC 时钟
- 8 位预分频器（无实际物理地址，不可读写）
- WDTUL 解锁寄存器
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能

5.2.2 WDT操作

本系列芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTCN 可使能硬件看门狗 WDT。当芯片配置字 WDTCN 使能时，且 WDTC 寄存器的 SWDTEN 控制位使能时，WDT 定时器计数使能。当 WDTCN 关闭时，WDT 定时器计数禁止。用户通过编程界面选择 WDTCN 的使能或关闭。用户也可通过配置 WDTC 寄存器的 SWDTEN 位来使能或禁止 WDT 计数，设置该位之前必须先对 WDT 进行解锁，即向 WDTUL 寄存器写入 0xA5。每一次对 WDTC 的写操作都必须重新解锁。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，可使用 CWDT 指令适时清零 WDT 计数器。

使用 CWDT 指令将 WDT 计数器清零。WDT 支持一个预分频器，可通过 WDTC 寄存器中的 WDTPRS<2:0> 位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。WDT 时钟源来自内部 32KHz RC 振荡器 LRC 时钟。在预分频器分频比为 1:1 时，常温下（25℃）WDT 计数溢出时间约为 8ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

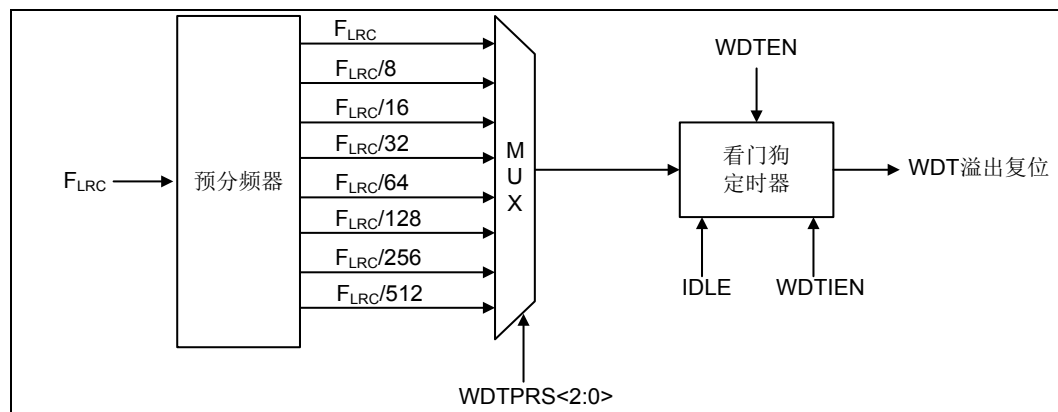


图 5-5 看门狗定时器内部结构图

若系统时钟采用 32.768KHz 外部 OSC 时钟，进入 IDLE0 模式时，OSC 时钟被关闭，在被 WDT 唤醒后，需执行 CWDT 指令，以保证 WDT 唤醒后可正常工作。

5.2.3 特殊功能寄存器

WDT 的功能控制由 WDTC 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字的 WDTCEN 位和 WDTC 控制寄存器的 SWDTEN 位控制。当 WDTCEN 为 1 时，仍可以通过设置 SWDTEN 位来关闭 WDT；当 WDTCEN 为 0 时，SWDTEN 位无效。WDT 在 IDLE 模式下的使能控制，以及 WDT 预分频器的分频比选择，由 WDTC 寄存器设置。

每次对 WDTC 寄存器进行写操作前都必须对 WDT 解锁，即向 WDTUL 寄存器写入 0xA5。

WDTUL: WDT 解锁控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTUL<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~0 WDTUL<7:0>: WDT 解锁寄存器
写入 0xA5 解锁 WDTC 寄存器的写操作。WDTUL 寄存器读出值总为 0x00

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	SWDTEN	WDTIEN	WDTPRS<2:0>		
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	1	1

Bit 7~5 保留

Bit 4 SWDTEN: WDT 软件使能位

0: 关闭

1: 使能 (缺省值)

仅当配置字 WDTCEN=1 时有效。

Bit 3 WDTIEN: WDT 在 IDLE 模式下使能位

0: 关闭

1: 使能 (缺省值)

仅当配置字 WDTCEN=1, SWDTEN=1 时有效。

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位

000: 1:1

001: 1:8

010: 1:16

011: 1:32

100: 1:64

101: 1:128

110: 1:256

111: 1:512(缺省值)

5.3 复位模块

5.3.1 概述

复位功能是所有芯片中基本的部分，本系列芯片支持五种复位方式：

- ◇ 上电复位 POR
- ◇ 掉电复位 BOR，复位电压点可配置
- ◇ 外部复位 MRSTN，低电平复位有效
- ◇ 看门狗定时器 WDT 计数溢出复位
- ◇ RST 指令复位

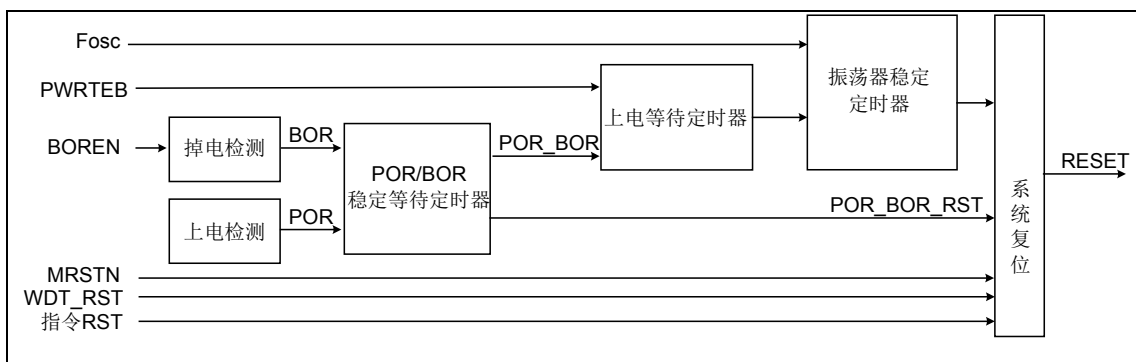


图 5-6 系统复位内部结构图

5.3.2 上电复位POR

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下。

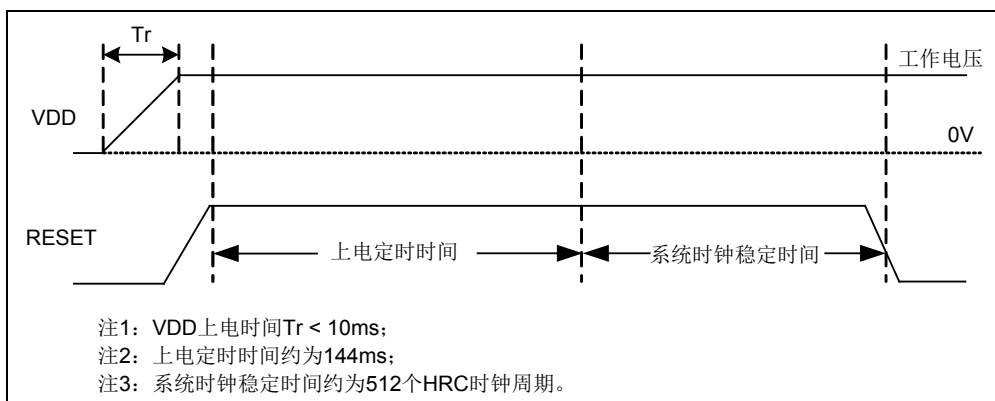


图 5-7 上电复位时序示意图

注：144ms 上电定时时间可以通过芯片配置字中的 PWRTEB 位屏蔽，但如果配置位 MRSTEN=0，MRSTN/PA4 管脚复用为 GPIO 端口，则该 144ms 上电定时时间无法被屏蔽。

5.3.3 掉电复位BOR

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电复位可能会引起系统工作状态不正常或程序执行错误。电压跌落的滤波时间 T_{filter} 约为 $32\mu s$ ，即电压跌落的时间超过 $32\mu s$ ，才会产生掉电复位。

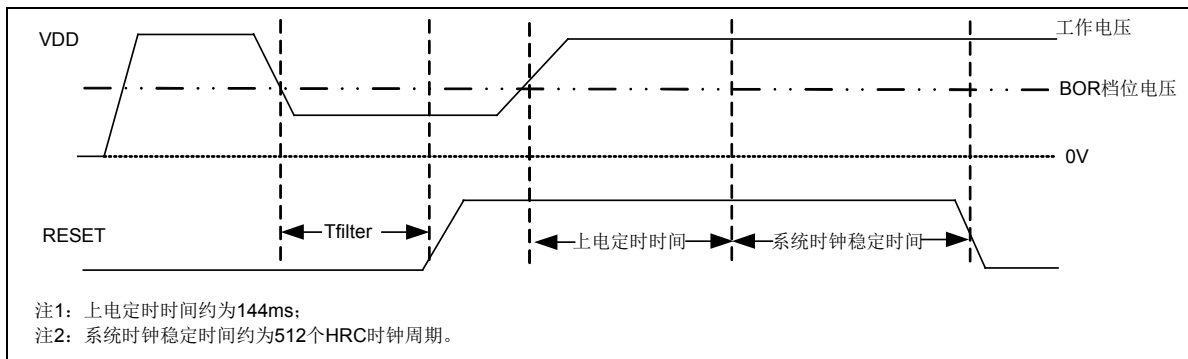


图 5-8 低电压复位时序示意图

注: 144ms 上电定时时间可以通过芯片配置字中的 PWRTEB 位屏蔽, 但如果配置位 MRSTEN=0, MRSTN/PA4 管脚复用为 GPIO 端口, 则该 144ms 上电定时时间无法被屏蔽。

5.3.4 外部MRSTN管脚复位

本系列芯片提供外部 MRSTN 管脚, 用于系统复位。当复位管脚输入低电平信号时, 系统复位。当复位管脚处于高电平时, 系统正常运行。需要注意的是, 在系统上电完成后, 外部复位管脚必须输入高电平, 否则系统将一直保持在复位状态。需要特别注意的是, 禁止将 MRSTN 管脚直接连接到 VDD 上。外部复位滤波时间 T_{filter} 为 $200\mu s$ 左右, 可滤除外部复位管脚上脉宽小于 $200\mu s$ 的干扰脉冲信号, 为确保 MRSTN 管脚的外部复位信号有效, 其低电平脉宽需大于 $250\mu s$ 。

可通过芯片配置字 CFG_WORD0 将 MRSTN 管脚配置为 GPIO 或 MRSTN。

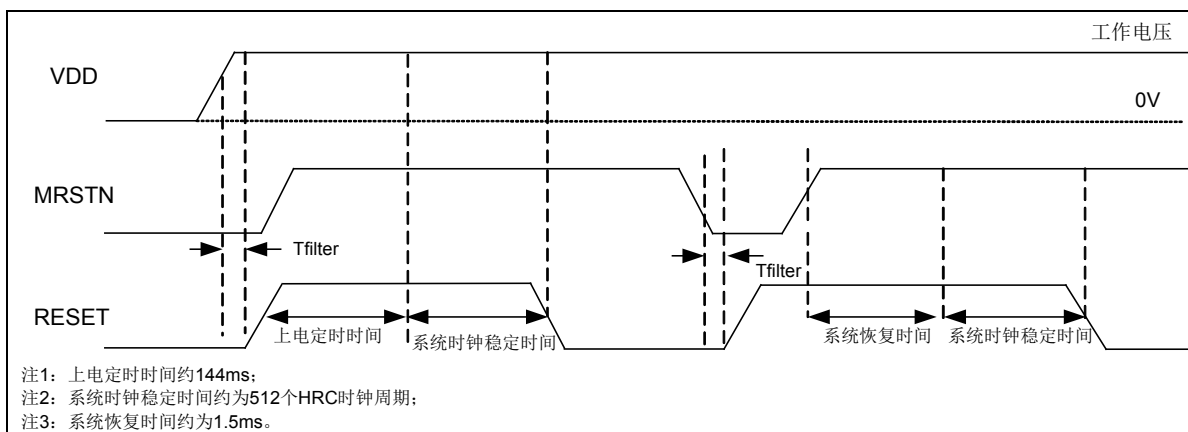


图 5-9 外部 MRSTN 管脚复位

外部 MRSTN 管脚复位电路有多种, 以下介绍两种比较典型的连接电路。

RC 复位电路

RC 复位电路是外部 MRSTN 管脚复位电路最简单的一种, 对外界环境条件要求不高的情

况下，可以采用此种连接方式。

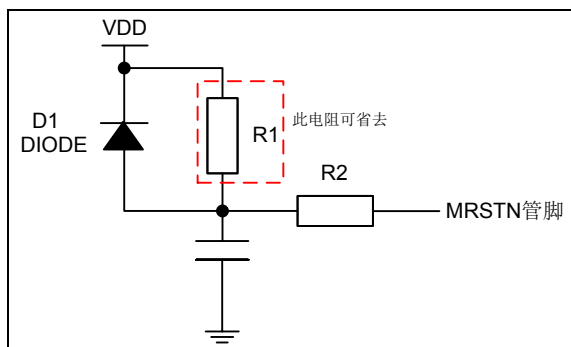


图 5-10 MRSTN 复位参考电路图 1

注 1: 采样 RC 复位，其中 $47K\Omega \leq R1 \leq 100K\Omega$ ，电容 C1 (0.1 μ F)，R2 为限流电阻， $0.1K\Omega \leq R2 \leq 1K\Omega$ 。

注 2: 因复用端口 MRSTN/PA4 做外部 MRSTN 使用时，该端口内部上拉电阻固定为使能，故 R1 电阻可省去。

PNP 三极管复位电路

PNP 三极管复位电路适用于对电源干扰较强的场合。

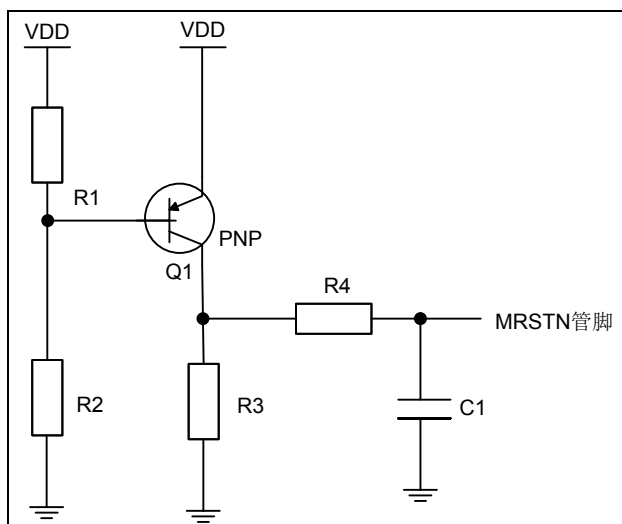


图 5-11 MRSTN 复位参考电路图 2

注: 采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μ F) 接地，C1 另一端作为 MRSTN 输入。

5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

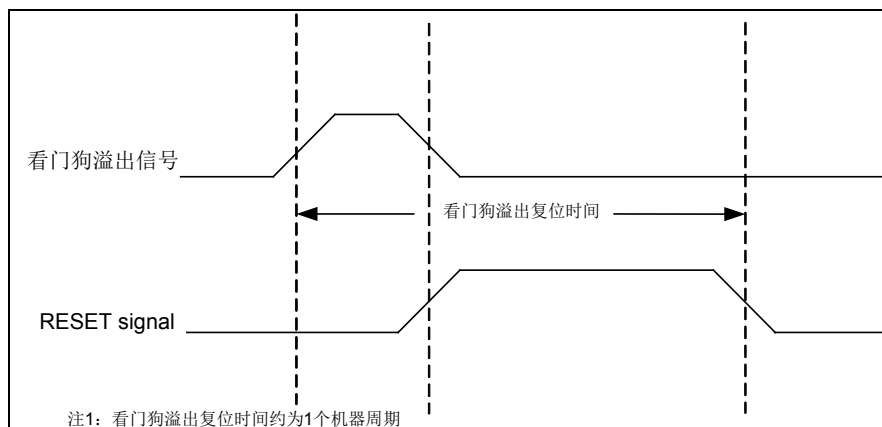


图 5-12 看门狗溢出复位

5.3.6 RST指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部寄存器状态位都将被影响。

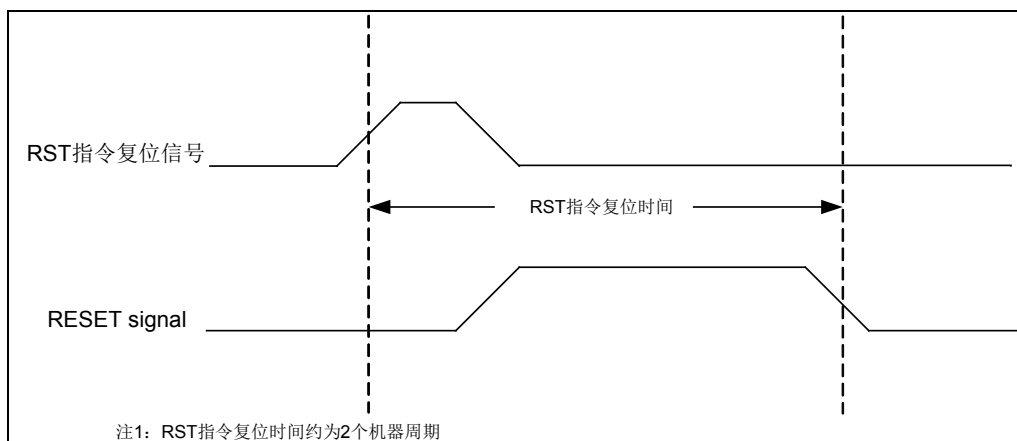


图 5-13 RST 指令复位

5.3.7 特殊功能寄存器

PWRCWP: PWRC 寄存器写保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PWRCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PWRCWP<7:0>: PWRC 寄存器写保护寄存器

当 PWRCWP<7:0>写入 0xA5 时，PWRC 的 SBOREN，SMRSTEN 控制位的写保护解除。

PWRCWP<7:0>写入其它值无效，保持写保护状态。当 SBOREN，SMRSTEN 控制位被写入后，自动重新进入写保护状态。下一次写操作前必须重新解除写保护。

PWRC 寄存器的其它位不受 PWRCWP 写保护寄存器的影响。

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	SBOREN	SMRSTEN	—	IRSTB	TOB	PDB	PORB	BORB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	0	1	1	1	0	x

- Bit 7 **SBOREN**: 掉电复位软件使能位
 0: 禁止 (不建议软件禁止 BOR)
 1: 使能
- Bit 6 **SMRSTEN**: MRSTN/PA4 管脚复用软件配置位
 0: 管脚配置为 GPIO PA4 功能
 1: 管脚配置为 MRSTN 功能 (缺省值)
 仅当配置字 MRSTEN =1 时有效。
- Bit 5 保留
- Bit 4 **IRSTB**: 指令复位标志位
 0: 执行复位指令
 1: 未执行复位指令
 必须用软件置位。
- Bit 3 **TOB**: WDT 溢出标志位
 0: WDT 计数溢出时被清零
 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2 **PDB**: 低功耗标志位
 0: 执行 IDLE 指令后清零
 1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 **PORB**: 上电复位状态位
 0: 上电复位发生
 1: 无上电复位发生
 上电复位后, 必须软件置位。
- Bit 0 **BORB**: 掉电复位状态位
 0: 掉电复位发生
 1: 无掉电复位发生
 掉电复位后, 必须软件置位。

注 1: 如果用户需要将 MRSTN/PA4 管脚复用为通用 I/O 端口, 但又希望屏蔽 144ms 上电定时时间, 则可以设置配置位 MRSTEN=1, 配置位 PWRTB=1, 通过软件设置寄存器位 SMRSTEN=0, 使 MRSTN/PA4 管脚在芯片上电复位期间复用为外部复位端口 MRSTN 且屏蔽了 144ms 上电定时时间, 当复位结束后由软件设置复用为 PA4 端口;

注 2: 为保证芯片工作的稳定性, 不建议软件禁止掉电复位 BOR 模块, 否则可能会因电源电压异常波动, 导致芯片工作异常。

5.4 低功耗操作

5.4.1 概述

用户可通过 IDLE 指令使 CPU 暂停执行，进入 IDLE 状态以降低芯片功耗。用户还可以在执行 IDLE 指令前，关闭部分或全部芯片模块，以进入更深程度的睡眠状态，最大限度的降低芯片功耗。本系列芯片支持多种 IDLE 唤醒源，用于 IDLE 模式下的芯片唤醒。

5.4.2 IDLE 状态

IDLE 指令执行后，系统时钟 FOSC 暂停，CPU 停止运行，PC 保持当前值，采用系统时钟运行的同步功能模块均保持当前状态暂停执行，其它异步功能模块可根据 IDLE 前的设置继续运行或关闭。所有 I/O 端口将保持进入 IDLE 前的状态，若使能 WDT，则 WDT 将被清零并保持运行。PDB 标志位被清零，TOB 标志位被置 1。IDLE 状态下保持异步运行的外设可产生中断，并置相应的中断标志。

IDLE 状态下，若外部晶振配置为 LP 模式（晶振为 32.768KHz），该外部晶振 OSC 是否运行取决于 OSCC2 寄存器的 OSCEN 位，当 OSCEN 为 1 时晶振继续运行，OSCEN 为 0 时晶振关断。

5.4.3 唤醒方式配置

序号	唤醒方式	唤醒使能	中断模式	备注
1	MRSTN	—	—	—
2	WDT	WDTIEN	—	WDT 溢出
3	PINTn	PIEn	默认/向量	—
4	T10INT	T10IE	默认/向量	异步计数模式
5	T11VINT	T11VIE	默认/向量	异步计数模式
6	T12VINT	T12VIE	默认/向量	异步计数模式
7	T13VINT	T13VIE	默认/向量	异步计数模式
8	T20VINT	T20VIE	默认/向量	异步计数模式
9	T21VINT	T21VIE	默认/向量	异步计数模式
10	LVDINT	LVDIE	默认/向量	—

表 5-2 唤醒方式配置表

注：低功耗唤醒与全局中断使能无关，只需相应中断源使能位置位为“1”即可。在低功耗模式时，若外设产生中断信号，即使默认中断模式下，全局中断使能 GIE 为 0，或向量中断模式下，高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断服务程序。

5.4.4 低功耗下的功能模块

执行 IDLE 指令前，通过关闭各功能模块使能位，可使芯片在执行 IDLE 指令后进入更深程度的低功耗状态。同时应避免数字输入的 I/O 管脚处于浮空状态，需将这些管脚接固定电平，或在芯片外部进行上拉或下拉处理，否则会引起 I/O 端口漏电。如果产品封装引脚数小于最大引脚数，则未引出的和未使用的 I/O 管脚都需设置为输出低电平。

功能	类型	使能/关闭	唤醒使能	备注
WDT	异步	WDTEN SWDTEN	WDTIEN	—
PINTn	异步	—	PIEn	—
LVD	异步	LV DEN	LVDIE	—
T10	异步	T10EN	T10IE	仅在异步模式下支持唤醒
T20/T21	异步	T2nEN	T2NIE	仅在异步模式下支持唤醒

表 5-3 功能模块低功耗配置分类表

5.4.5 时钟源的关闭和唤醒

芯片运行状态下，关闭处于空闲状态的时钟源可以降低芯片功耗。处于非空闲状态下的时钟源，也可通过关闭相应的使能位，使芯片进入 IDLE 状态后自动关闭时钟源以降低功耗。每个时钟源都有独立的使能位控制，但使能位在不同的工作状态下，控制略有不同，如下表所示：

时钟源	使能位	*空闲	*运行	*IDLE
OSC	OSCEN=1	运行	运行	运行
	OSCEN=0	关闭	运行	关闭
HRC	HRCEN=1	运行	运行	运行
	HRCEN=0	关闭	运行	关闭
LRC	运行			

表 5-4 功能模块低功耗配置分类表

注：芯片状态说明：

*空闲—当前时钟源未被系统时钟和处于使能状态下的功能模块选为时钟源；

*运行—当前时钟源被系统时钟或处于使能状态下的功能模块选为时钟源，且 CPU 未进入 IDLE 状态；

*IDLE—当前时钟源被系统时钟或处于使能状态下的功能模块选为时钟源，且 CPU 已进入 IDLE 状态；

在 IDLE 状态下被自动关闭的时钟源，当 IDLE 被唤醒时，这些时钟源首先被唤醒，每个时钟源从唤醒到进入正常工作状态都有 WARMUP 时间，WARMUP 时间根据时钟源的时钟频率不同，时间长短也有不同。

同样，IDLE 状态下各个外设模块的时钟源也可以设置关停或打开，由寄存器 CLKG0，和 CLKG1 来控制，相应外设的使能信号使能时，该模块在 IDLE 状态下可运行，否则该模块关停。

5.4.6 唤醒时序图

芯片 IDLE 模式的唤醒时间包括内部 LDO 电压稳定时间、Flash 上电时间和系统时钟稳定时间。IDLE 模式唤醒时间与 Flash 电源和系统时钟是否关闭有关。

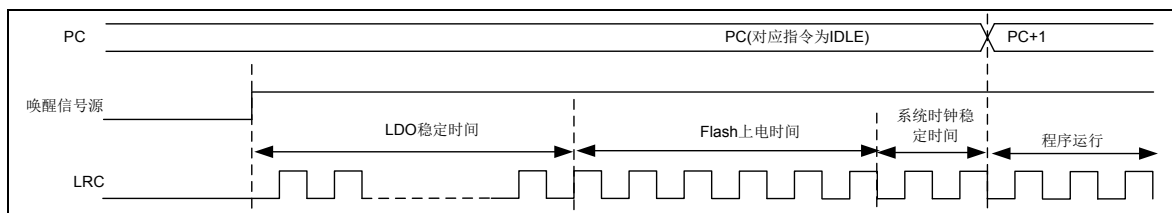


图 5-14 系统唤醒时序图

其中，

LDO 电压稳定时间约为 5 个 LRC 时钟周期。

Flash 上电稳定时间可根据 IDLE 模式下是否关闭 Flash 电源分为两种情况：

当 Flash 电源关闭时，Flash 上电稳定时间为 15 个 LRC 时钟周期；

当 Flash 电源开启时，无需 Flash 上电稳定时间，即为 0 个 LRC 时钟周期。

系统时钟稳定时间根据系统时钟配置可分为如下三种情况：

内部 HRC 时钟的起振稳定时间约为 1 个 LRC 时钟周期；

外部时钟 OSC HS 模式 16MHz 振荡器的起振稳定时间约为 5ms；

外部时钟 OSC LP 模式 32KHz 的起振稳定时间约为 1.2 秒。

IDLE 模式下是否关闭 Flash 电源，可通过配置字 CFG_WORD1 的控制位 PWRDWN 进行设置。IDLE 模式下是否关闭 HRC 时钟和外部 OSC 时钟，可通过寄存器 OSC2 的控制位 HRCEN 和 OSCEN 进行设置。

例如，使用内部 HRC 时钟作为系统时钟时：

PWRDWN=1, HRCEN=0 时，IDLE 模式的唤醒时间约为 $(5+15+1)*32\mu s = 672\mu s$ ；

PWRDWN=0, HRCEN=0 时，IDLE 模式的唤醒时间约为 $(5+1)*32\mu s = 192\mu s$ 。

5.4.7 特殊功能寄存器

CLKG0: 模块时钟关停寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	ADCCE	T21CE	T20CE	—	T13CE	T12CE	T11CE	T10CE
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	1	1	1	—	1	1	1	1

Bit 7 ADCCE: ADC 时钟使能位

0: ADC 关停

1: ADC 工作

Bit 6 T21CE: T21 模块时钟使能位

0: T21 关停

1: T21 工作

Bit 5 T20CE: T20 模块时钟使能位

0: T20 关停

1: T20 工作

Bit 4 保留

Bit 3 T13CE: T13 模块时钟使能位

0: T13 关停

1: T13 工作

- Bit 2 T12CE: T12 模块时钟使能位
 0: T12 关停
 1: T12 工作
- Bit 1 T11CE: T11 模块时钟使能位
 0: T11 关停
 1: T11 工作
- Bit 0 T10CE: T10 模块时钟使能位
 0: T10 关停
 1: T10 工作

CLKG1: 模块时钟关停寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	TKCE	IICCE	UART3CE	UART2CE	UART1CE	UART0CE
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	1	1	1	1	1	1

- Bit 7~6 保留
- Bit 5 TKCE: TK 模块时钟使能位
 0: TK 关停
 1: TK 工作
- Bit 4 IICCE: I2C 模块时钟使能位
 0: I2C 关停
 1: I2C 工作
- Bit 3 UART3CE: UART3 模块时钟使能位
 0: UART3 关停
 1: UART3 工作
- Bit 2 UART2CE: UART2 模块时钟使能位
 0: UART2 关停
 1: UART2 工作
- Bit 1 UART1CE: UART1 模块时钟使能位
 0: UART1 关停
 1: UART1 工作
- Bit 0 UART0CE: UART0 模块时钟使能位
 0: UART0 关停
 1: UART0 工作

注: 当 TK 模块使能且系统进入低功耗模式时, 需关闭 TK 模块, 同时 Cx 复用管脚配置成输出高电平状态, 可以降低功耗。

第6章 外设

6.1 定时器/计数器 (Timer/Counter) 模块

本系列芯片定时/计数器模块包括：

- ◇ 1路8位定时器/计数器 T10；
- ◇ 3路12位多功能定时器 T11/T12/T13；
- ◇ 2路16位多功能定时器 T20/T21，支持 PWM；

6.1.1 8位定时器/计数器 (T10)

6.1.1.1 概述

8位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T10CKI) 进行计数。

- ◇ T10 支持两种工作模式
 - 定时器模式 (时钟源为系统时钟二分频 (Fosc/2))
 - 计数器模式 (时钟源为外部输入时钟 T10CKI)
- ◇ T10 支持以下功能组件
 - 8位预分频器 (无实际物理地址，不可读写)
 - 8位计数器 (T10)
 - 8位控制寄存器 (T10C)
- ◇ 中断和暂停
 - 支持溢出中断标志 (T10IF)
 - 支持中断处理
 - 在 IDLE 模式下，T10 暂停工作

6.1.1.2 内部结构图

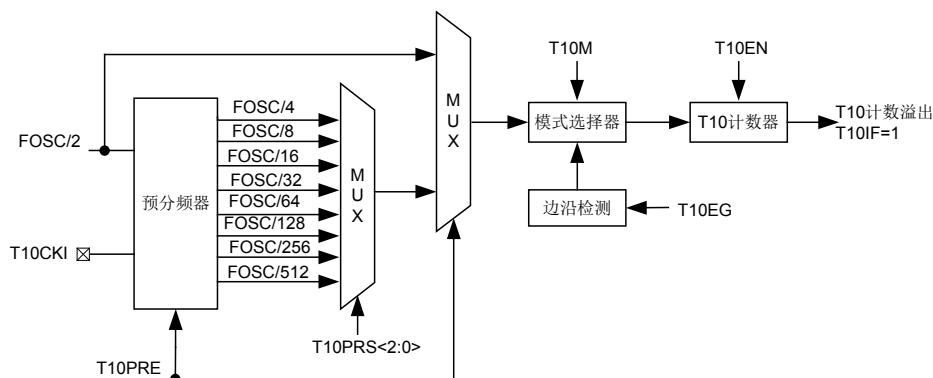


图 6-1 T10 内部结构图

6.1.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T10C 寄存器中的 T10PRE 为“1”时，使能 T10 预分频器。任何对 T10 计数器的写操作都会清零预分频器，但不影

响预分频器的分频比设置，预分频器的计数值无法读写。预分频器的分频比可通过 T10C 寄存器中的 T10PRS <2:0>位进行设置，预分频比范围为 1:2~1:256。

工作模式	T10PRE	T10PRS<2:0>	T10 计数时钟
定时器模式	0	—	Fosc/2
	1	000	(Fosc/2)/2
	1	001	(Fosc/2)/4
	1	010	(Fosc/2)/8
	1	011	(Fosc/2)/16
	1	100	(Fosc/2)/32
	1	101	(Fosc/2)/64
	1	110	(Fosc/2)/128
	1	111	(Fosc/2)/256
计数器模式	0	—	T10CKI
	1	000	T10CKI/2
	1	001	T10CKI/4
	1	010	T10CKI/8
	1	011	T10CKI/16
	1	100	T10CKI/32
	1	101	T10CKI/64
	1	110	T10CKI/128
	1	111	T10CKI/256

表 6-1 T10 预分频器配置表

6.1.1.4 工作模式

T10 有定时器和计数器两种工作模式，定时器模式和计数器模式，通过 T10M 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T10 计数器的时钟源为系统时钟 2 分频 (Fosc/2)；配置为计数器模式时，T10 计数器的时钟源为经系统机器周期同步的外部输入时钟 T10CKI。因此，T10CKI 输入的高电平和低电平时间都至少为一个机器周期。通过 T10C 寄存器中的 T10EG 位选择外部时钟的计数边沿为上升沿或下降沿。T10CKI 所在 IO 端口必须配置为数字输入状态。

6.1.1.5 定时器模式

T10 计数器为递增计数，计数值由 FF_H 变为 00_H 时，T10 计数器发生溢出并重新开始计数。T10 计数器发生溢出，中断标志 T10IF 位被置“1”。如果中断使能位 T10IE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T10 溢出中断响应请求。中断标志 T10IF 位需通过软件清零。在 CPU 进入休眠模式后，T10 模块不工作，因此不产生中断。

当 T10 配置为定时器模式时，若禁止预分频器，T10 计数器的时钟为系统时钟二分频 (Fosc/2)；若使能预分频器，分频器对 Fosc/2 进行分频，此时，T10 计数器的计数时钟为分频后的时钟。

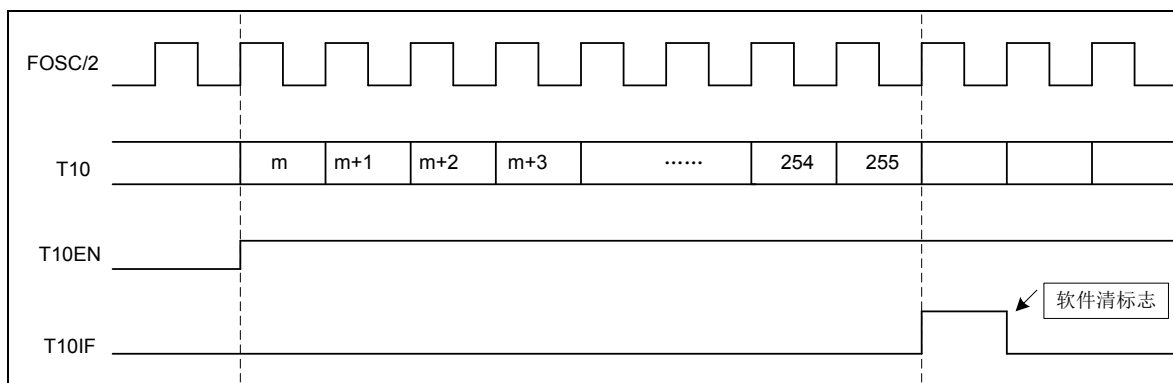


图 6-2 定时器模式时序图

6.1.1.6 计数器模式

当 T10 配置为计数器模式时，若禁止预分频器，则 T10 计数器的时钟为外部输入时钟 T10CKI，并由二分频后的系统时钟 Fosc/2 进行同步，所以 T10CKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T10EG (T10C<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，计数器模式也支持预分频器对外部时钟 T10CKI 进行分频。并且，T10CKI 复用的 IO 端口必须配置为数字输入状态。

当 T10 计数器递增计数由 FF_H变为 00_H时，T10 计数器发生溢出，中断标志 T10IF 位被置“1”。如果中断使能位 T10IE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T10 溢出中断响应请求。中断标志 T10IF 位需通过软件清零。在 CPU 进入休眠模式后，T10 模块不工作，因此不产生中断。

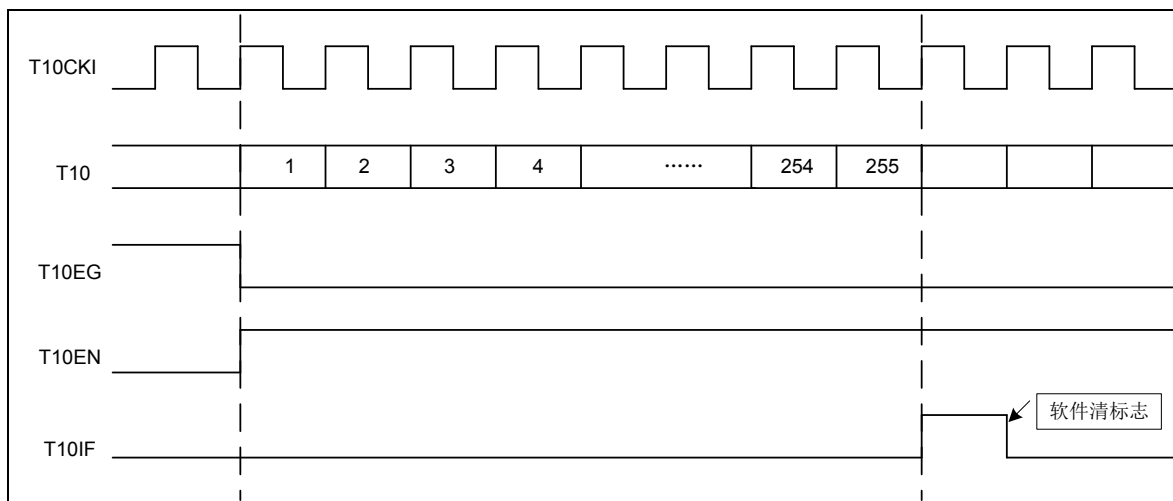


图 6-3 计数器模式时序图 (T10EG=0, T10CKI 上升沿计数)

6.1.1.7 特殊功能寄存器

8 位定时器/计数器 T10 由两个寄存器控制，一个 8 位计数器 T10 和一个控制寄存器 T10C。T10 寄存器用于存放计数值，T10C 控制寄存器用于控制 T10 的使能、T10 的模式选择、T10CKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

T10: T10 计数器								
Bit	7	6	5	4	3	2	1	0
Name	T10<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T10<7:0>: 8 位 T10 计数值

T10C: T10 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T10EN	—	T10M	T10EG	T10PRE	T10PRS<2:0>		
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T10EN: T10 使能位

0: 关闭

1: 使能

Bit 6 保留

Bit 5 T10M: T10 模式选择位

0: 定时器模式 (时钟源为系统时钟二分频 $F_{osc}/2$)

1: 计数器模式 (时钟源为 T10CKI)

Bit 4 T10EG: T10CKI 计数边沿选择位

0: T10CKI 上升沿计数

1: T10CKI 下降沿计数

Bit 3 T10PRE: 预分频器使能位

0: 禁止

1: 使能

Bit 2~0 T10PRS<2:0>: 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

6.1.2 12 位多功能定时器 (T11/T12/T13)

6.1.2.1 概述

12 位多功能定时器 T1n 支持 5 种工作模式: 定时器模式、异步计数器模式、双精度 PWM 模式、互补 PWM 模式和单脉冲发射模式。双精度 PWM 模式下, 每路可同时支持 2 个独立的占空比匹配值, 互补 PWM 模式支持可编程死区控制。

◇ T1n 支持 5 种工作模式

- 定时器模式 (时钟源为系统时钟 F_{osc})
- 异步计数器模式 (时钟源为外部晶振的 LP 模式时钟, 32.768KHz, 并且寄存器位 ASYNCLKS 需设置为 1)
- 双精度 PWM 模式 (时钟源可为系统时钟 F_{osc} 或倍频时钟 PLL 64MHz, 由寄存器 PWMSRC_PLL 的 PWM_PLEN 位及寄存器 T1nCTR 的 PWM_CLKS 位决定)
- 互补 PWM 模式 (时钟源可为系统时钟 F_{osc} 或倍频时钟 PLL 64MHz, 由寄存器 PWMSRC_PLL 的 PWM_PLEN 位及寄存器 T1nCTR 的 PWM_CLKS 位决定)
- 单脉冲发射模式

◇ T1n 支持以下功能组件

- 4 位预分频器和 7 位后分频器
- 预分频支持 1:1, 1:2, 1:3, ..., 1:16 共 16 级可选
- 12 位计数器 (T1n, 计数器初始值可写)
- 12 位周期寄存器 (T1nP)
- 12 位精度寄存器 (T1nR0, T1nR1)

◇ 中断和暂停

- 支持后分频溢出中断 T1nVIF 和 PWM 周期中断 T1nPIF
- 在 IDLE 模式下, T1n 的 PWM 功能暂停工作, LP 模式下的外部晶振用于计数器时钟, 即选择异步计数器模式时, IDLE 模式下 T1n 仍然可以继续工作, 此时可以作为 RTC (real-time clock) 使用。异步计数器模式下溢出中断 T1nVIF 支持唤醒功能。
- 支持可配置 PWM 关断和自动重启, 可选 EPASx 或 PINTx 作为控制源
- 支持 PWM 沿启动 AD 转换

注 1: 本节中 T1n 代表 T11、T12、T13。

注 2: 使用 PLL 时钟时, 需注意在 PLL 使能后, 约有 100us 的时钟锁频稳定时间。

6.1.2.2 内部结构图

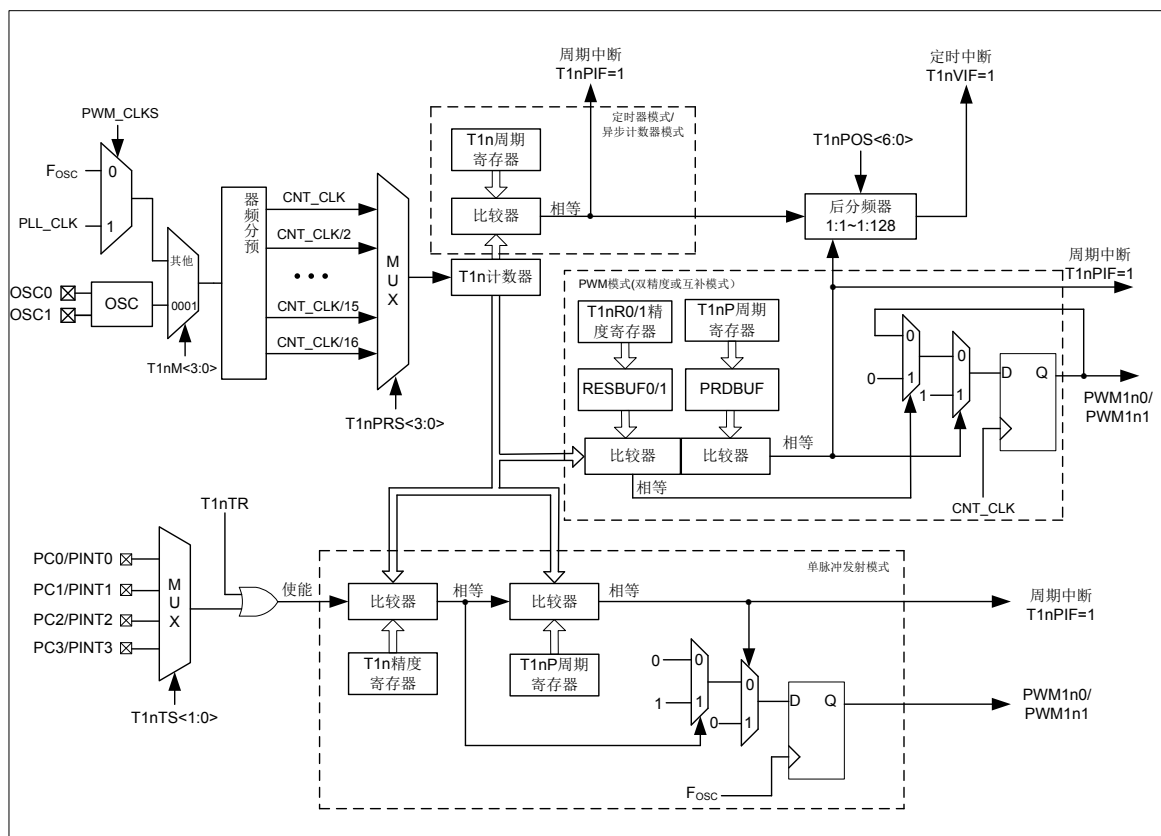


图 6-4 T1n 内部结构图

6.1.2.3 预分频器和后分频器

预分频器和后分频器可以提供更长的溢出中断周期。T1n 模块计数器支持可配置的 4 位预分频器和可配置的 7 位后分频器。预分频器和后分频器的计数值都无法读写，修改 T1n 的控制寄存器或计数器都会把预分频器和后分频器清零，但不改变分频比设置。预分频器的分频比可通过 T1nCM 寄存器中的 T1nPRS <3:0> 位进行设置，预分频比范围为 1: 1~1: 16。后分频器的分频比可通过 T1nCH 寄存器中的 T1nPOS <6:0> 位进行设置，后分频比范围为 1: 1~1: 128，通过计数器与周期寄存器值的匹配，来进行后分频。

6.1.2.4 工作模式

T1n 有 5 种工作模式，定时器模式、异步计数模式，双精度 PWM 模式、互补 PWM 模式和单脉冲发射模式，通过寄存器 T1nCL 的工作模式选择位 T1nM <3:0> 进行模式选择。5 种模式下，T1n 计数器的时钟源均可为系统时钟 Fosc。双精度 PWM 模式、互补 PWM 模式下，时钟源也可为 PLL 时钟。异步计数模式下，时钟源也可为外部晶振 LP 模式时钟（32.768KHz）。

T1nEN 置 1 使能之前，需先由 T1nM 设定工作模式，选择计数时钟，并配置好预分频器、后分频器、周期等参数，保证计数时钟在使能时已稳定。

6.1.2.5 定时器模式

T1nM 为“0000”时，T1n 工作在定时器模式。

T1n 计数器的时钟源为系统时钟 Fosc，并支持预分频器和后分频器。T1n 计数器为可读写寄存器，支持计数初值的设置和计数过程中的计数值改变。T1nEN 使能时，12 位定时器 T1n 对计数时钟进行递增计数，当 T1n 的计数值与 12 位周期寄存器 T1nP 相等时，后分频计数器加 1，同时 T1n 被自动清零并重新开始计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时溢出中断标志 T1nVIF 置“1”，该中断标志需要软件清零。

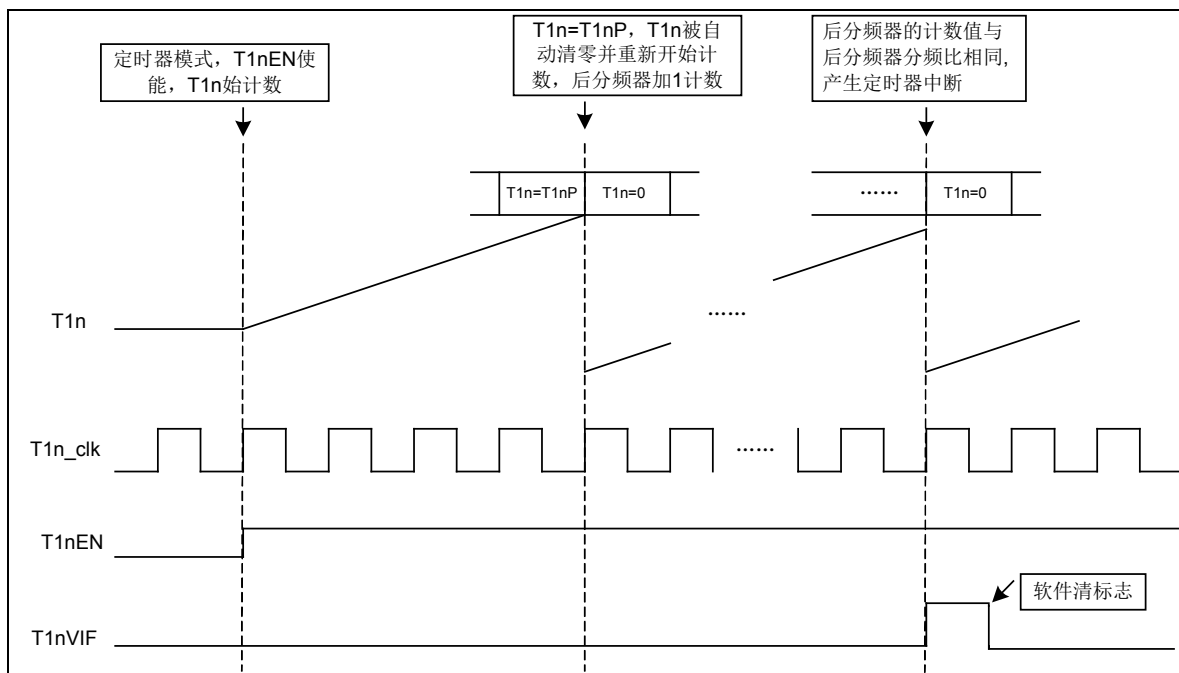


图 6-5 T1n 定时器模式时序图

6.1.2.6 异步计数器模式

T1nM 设置为“0001”时，T1n 工作在异步计数器模式。

异步计数模式支持预分频器和后分频器，可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

异步计数器模式时钟源，需将 T1nAS 寄存器位 ASYNCLKS 固定设置为 1，时钟源为外部晶振的 LP 模式时钟（32.768KHz），可用作 IDLE 模式下的 RTC 计数，具体描述如下：

IDLE 状态下，若外部晶振配置为 LP 模式（晶振为 32.768KHz），该外部晶振 OSC 是否运行取决于 OSCEN 寄存器的 OSCEN 位，当 OSCEN 为 1 时晶振继续运行，此时可用于简单的 RTC 时钟计数，当 OSCEN 为 0 时晶振关断。

T1n 计数器 (T1nH, T1nL) 对时钟源进行递增计数，当 T1n 的计数值与周期寄存器 T1nP 相等时，T1n 被自动清零并重新开始计数，后分频计数加 1，当后分频计数值与后分频比相同时，复位后分频器，产生计数溢出中断 T1nVIF，该中断必须软件清零。在异步计数器模式下，T1n 计数器可以在 CPU 睡眠时继续工作，并且产生的中断 T1nVIF 可以唤醒 CPU。

异步计数器模式下，对 T1n 计数器初始值的写入操作，需延时 3 个外部计数时钟周期才会生效（与预分频比无关）。

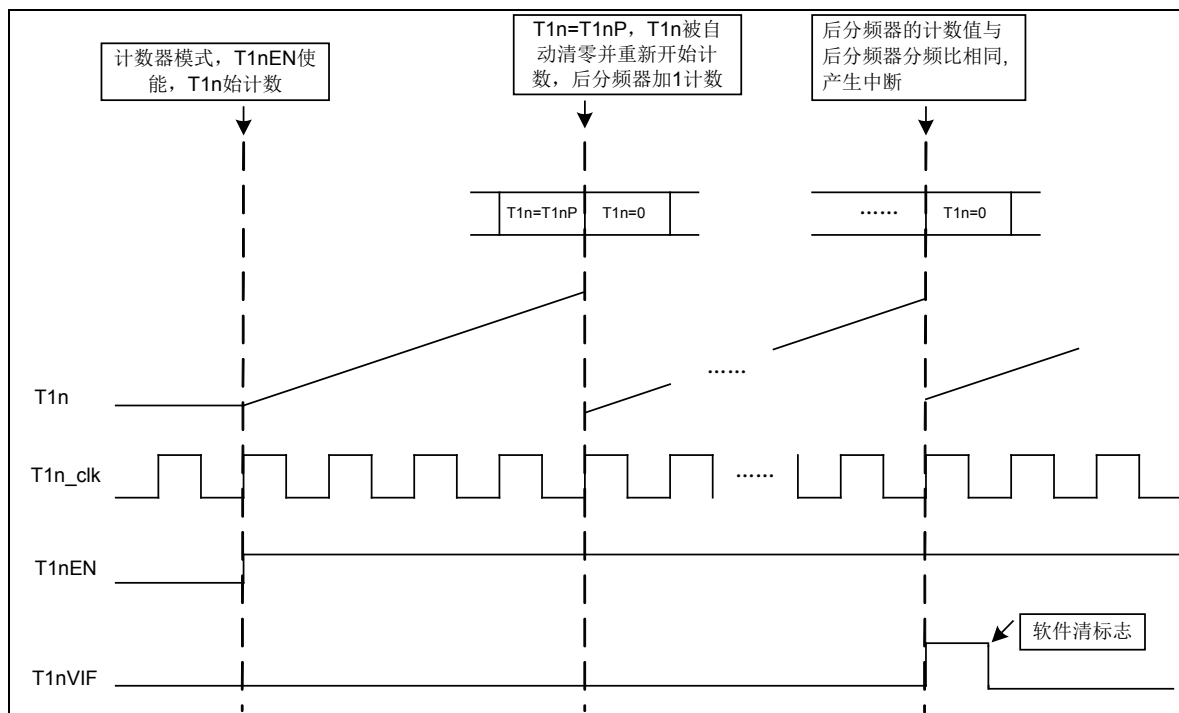


图 6-6 T1n 异步计数模式时序图

6.1.2.7 双精度PWM模式

T1nM为“1100”时，T1n工作在双精度PWM模式。每路支持2个PWM输出端口PWM1n0和PWM1n1，可分别对应于T1nR0和T1nR1独立设置PWM占空比，并可独立设置输出极性。

双精度PWM模式计数时钟源为系统时钟Fosc或倍频时钟PLL 64MHz（由寄存器PWMSRC_PLL的PWM_PLEN位及寄存器T1nCTR的PWM_CLKS位决定），并支持预分频器和后分频器。此模式下，后分频比不影响PWM周期，只影响计数溢出中断标志T1nVIF。

如下图所示，当T1nEN使能。T1nTR为0时，PWM输出关闭，并保持PWM1n0/1输出为0；设置T1nTR为1时，PWM输出波形启动，PWM1n0/1输出起始为1，同时分别将12位周期寄存器T1nP和12位精度寄存器T1nR0/1寄存器的内容，更新至12位PWM周期缓冲器PRDBUF和12位精度缓冲器RESBUF0/1（对缓冲器，软件不可读写），随后12位计数器T1n从零开始递增计数，当T1n与RESBUF0/1的值相等时，PWM0/1输出改变为0，并继续递增计数。当T1n的计数值与PRDBUF相等时，后分频计数器加1，PWM0/1输出恢复为1，同时PRDBUF和RESBUF0/1再次分别载入T1nP和T1nR0/1寄存器的值，并产生周期中断标志T1nPIF，该中断标志需要软件清零。至此一个完整的PWM周期完成，随后计数器T1n从零开始递增计数，继续循环产生新的PWM周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将计数溢出中断标志T1nVIF置“1”，该中断标志需要软件清零。

特别的，若RESBUF的值不小于PRDBUF，则当前PWM周期内PWM输出始终为1。

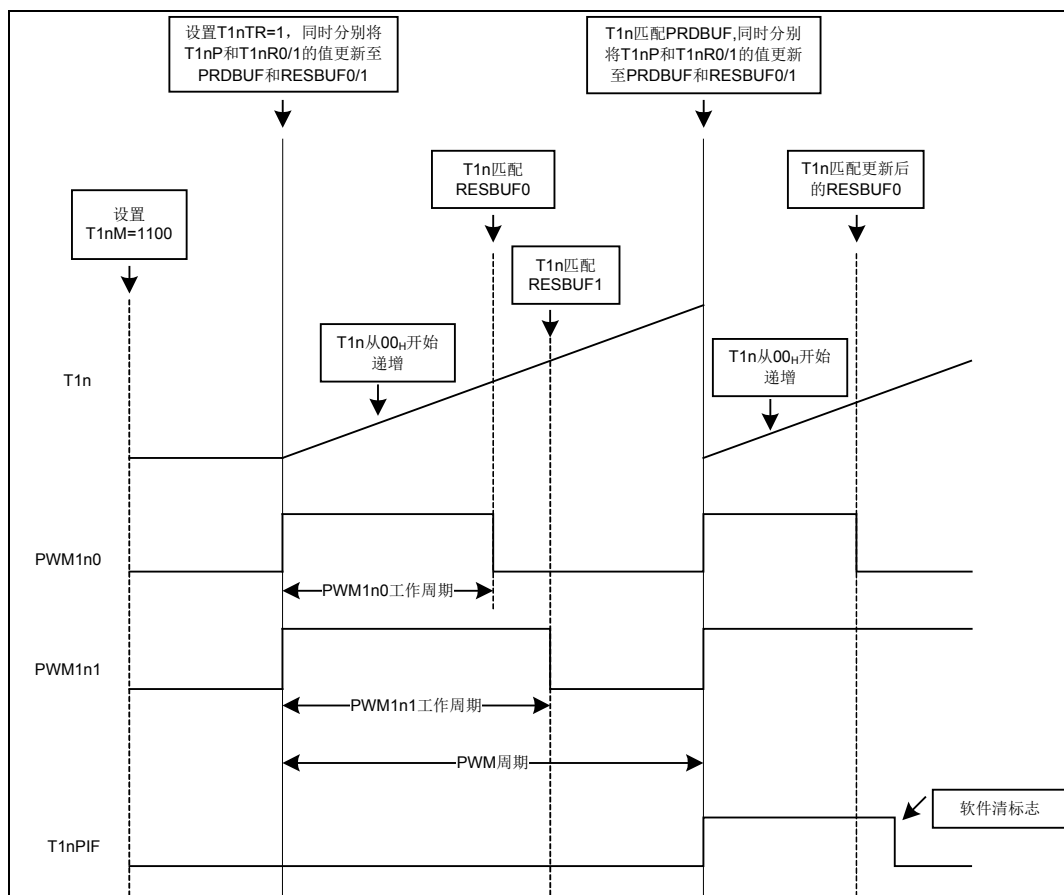


图 6-7 T1n 双精度 PWM 模式示意图

PWM 计算公式如下：

$$\text{PWM 周期} = (T1nP + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (T1nR0/1 + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

Fckps 是计数器的预分频器的分频比。

注：当 T1nR0/1=0 时，PWM 脉宽= T_{osc} × [预分频器分频比]。

6.1.2.8 互补PWM模式

T1nM 为“1101”时，T1n 工作在互补 PWM 模式。每路支持 2 个 PWM 输出端口 PWM1n0 和 PWM1n1，T1nP 用于 PWM 周期设置，T1nR0 用于 PWM 占空比设置，T1nR1 用于互补死区控制。2 个输出端口可独立设置输出极性。

互补 PWM 模式计数时钟源为系统时钟 Fosc 或倍频时钟 PLL 64MHz（由寄存器 PWMSRC_PLL 的 PWM_PLEN 位及寄存器 T1nCTR 的 PWM_CLKS 位决定，并支持预分频器和后分频器。此模式下，后分频比不影响 PWM 周期，只影响计数溢出中断标志 T1nVIF。

如下图所示，当 T1nEN 使能。T1nTR 为 0 时，PWM 输出关闭，并保持 PWM1n0/1 输出为 0；设置 T1nTR 为 1 时，PWM 输出波形启动，PWM1n0 输出起始为 1，PWM1n1 输出起始为 0，同时分别将 T1nP 和 T1nR0 寄存器的内容，更新至 PWM 周期缓冲器 PRDBUF 和精度缓冲器 RESBUF0（对缓冲器，软件不可读写），随后 T1n 从零开始递增计数，当 T1n 与 RESBUF0 的值相等时，PWM1n0 输出改变为 0，PWM1n1 输出改变为 1，并继续递增计数。当 T1n 的计数值与 PRDBUF 相等时，后分频计数器加 1，PWM 输出再次反转，同时 PRDBUF 和 RESBUF0 再次分别载入 T1nP 和 T1nR0 寄存器的值，并产生周期中断标志 T1nPIF，该中断标志需要软件清零。至此一个完整的 PWM 周期完成，随后计数器 T1n 从零开始递增计数，继续循环产生新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将计数溢出中断标志 T1nVIF 置“1”，该中断标志需要软件清零。

T1nR1 用于设置死区延时，延时时间 = $T1nR1 \times T_{osc}$ 。T1nDLYEN 控制位需设置为 1，才可使能死区延时。特别注意：T1nR1 为 0 时，默认死区延时为 1 个 T_{osc} 周期，若无死区延时，则将 T1nDLYEN 设置为 0 即可。

特别的，若 RESBUF (T1nR0) 的值不小于 PRDBUF (T1nP)，则当前 PWM 周期内 PWM1n0 输出始终为 1, PWM1n1 输出始终为 0; 若死区时间 T1nR1 大于或等于 T1nR0，则 PWM1n0, PWM1n1 输出始终为 0; 死区时间须满足：(T1nR0 + 死区时间 T1nR1) < PWM 周期，否则 PWM1n1 输出始终为 0。

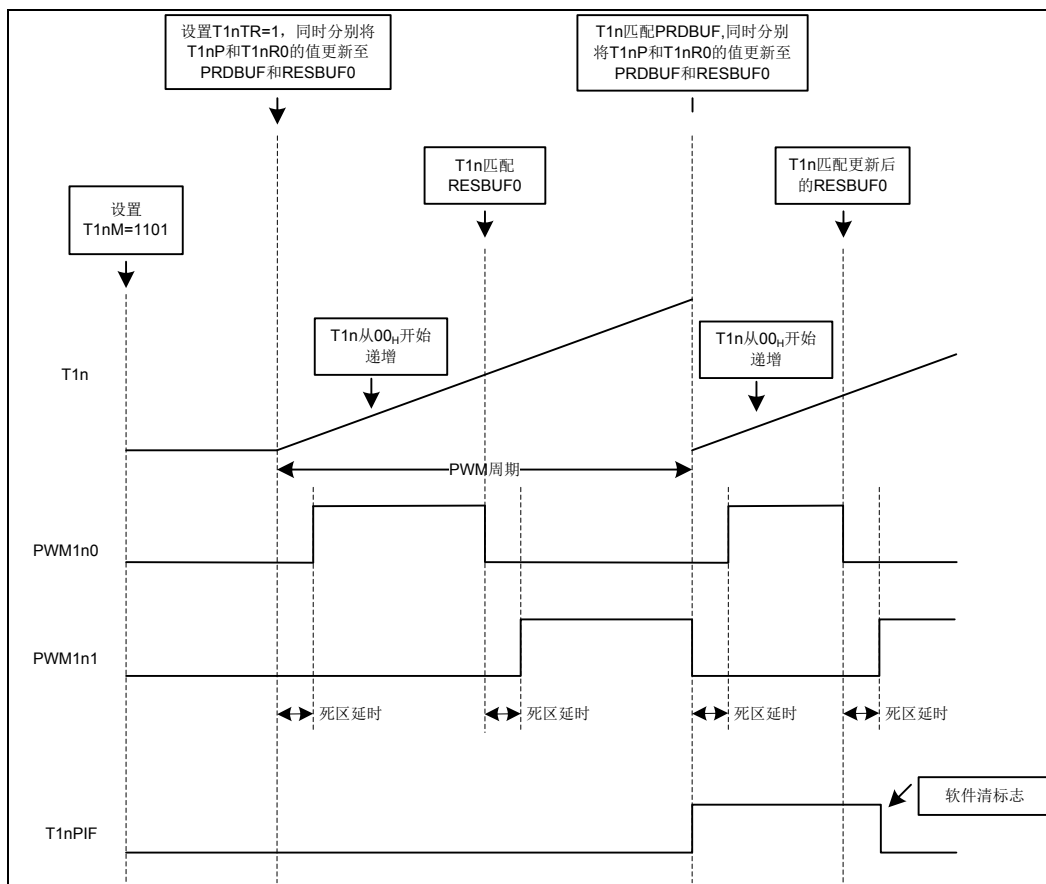


图 6-8 T1n 互补 PWM 模式示意图

PWM 计算公式如下:

$$\text{PWM 周期} = (T1nP + 1) \times \text{Tosc} \times [\text{预分频器分频比}]$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (T1nR0 + 1) \times \text{Tosc} \times [\text{预分频器分频比}]$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

$$\text{PWM 死区延时} = T1nR1 \times \text{Tosc}$$

给定 PWM 频率, PWM 的最大分辨率可计算为:

$$\text{分辨率} = \frac{\log\left(\frac{Fosc}{Fpwm * Fckps}\right)}{\log 2}$$

Fckps 是计数器的预分频器的分频比。

注: T1nR1 为 0 时, 死区延时为一个 TOSC。

6.1.2.9 单脉冲发射模式

T1nM="1110"时, 为单脉冲发射模式。每路支持 2 个单脉冲输出端口 PWM1n0 和 PWM1n1, 每个输出端口均可独立设置输出极性。

单脉冲发射模式计数时钟源为系统时钟 Fosc, 只支持预分频器, 后分频器不可用, 用户应关闭计数溢出中断使能位 T1nVIE。

此模式通过 PINT0/1/2/3 条件触发或软件置位触发, 在等待一定周期(由 T1nR0 和 T1nR1 寄存器设置)后, 产生一定宽度(由 T1nP 寄存器设置)的单脉冲。如下图所示:

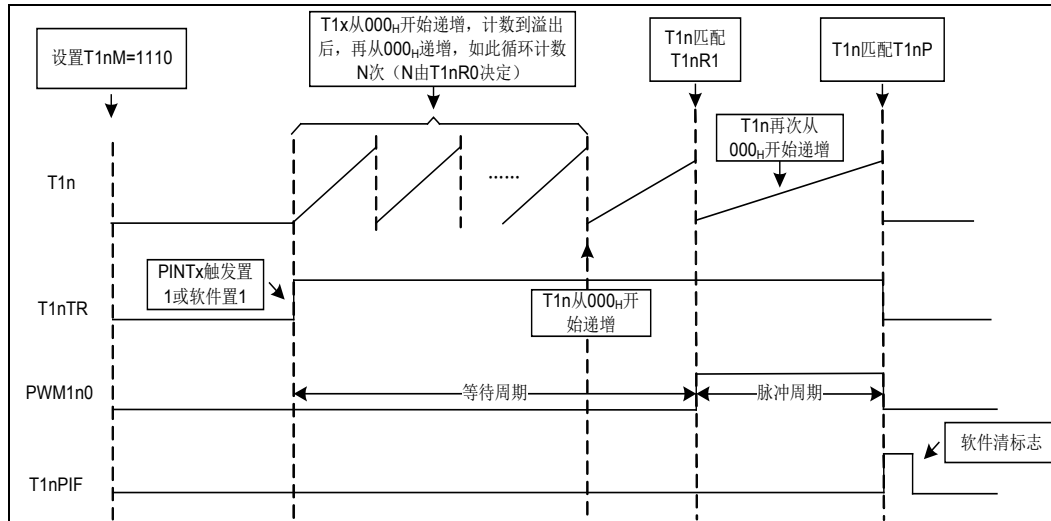


图 6-9 T1n 单脉冲发射模式示意图

计数器和分频器

进入此工作模式后计数器先保持为 0 并等待 (T1n=000H), 触发后 (T1nTR 被置 1), 计数器先递增计数到等待周期, 之后计数器清零并计数到发射周期; 发射周期计数完成后, 硬件自动将 T1nTR 位清 0, 同时将周期中断标志 T1nPIF 置 1。计数器再次保持为 0 并等待下一次触发事件。

注: T1nTR 为 1 时发生的触发事件被忽略。

触发事件

支持两种触发事件：PINT0/1/2/3 端口外部中断事件（硬件将 T1nTR 位置 1）和软件将 T1nTR 位置 1。

等待周期和发射周期

等待周期 = T1n 计数时钟周期 x (4096 x T1nR0+ T1nR1)

发射周期 = T1n 计数时钟周期 x T1nP

注：T1n 计数时钟周期为时钟源经过预分频器后的时钟周期。

6.1.2.10 PWM关断事件和重启

支持两类关断事件，EPAS0/1 管脚输入“0”关断事件和 PINT 触发关断事件。其中 8 个 PINT 关断事件是“或”关系，任何一个发生，即可触发关断；所有关断事件释放后方可重启。

当自动关断位 ASEN 使能，ASES 为 2'b00，EPAS0 管脚输入为“0”时，会发生自动关断事件。

当自动关断位 ASEN 使能，ASES 为 2'b01，EPAS1 管脚输入为“0”时，会发生自动关断事件。

当自动关断位 ASEN 使能，ASES 为 2'b10，PINT 管脚有一个输入为“0”时（可有一个 PINT 管脚或多个 PINT 管脚为 0，由寄存器 T1nPWSHUT 决定），会发生自动关断事件。

当自动关断位 ASEN 使能，ASES 为 2'b11，有一个 PINT 中断时（可有一个 PINT 管脚或多个 PINT 管脚中断，由寄存器 T1nPWSHUT 决定），会发生自动关断事件。

当关断事件发生后，PWM 输出管脚处于关断状态，管脚的关断状态可通过设置寄存器 T1nAS<1:0>位控制，EPWM 输出管脚可以被设置输出为“1”、“0”或者高阻（三态）。在关断状态下，关断事件标志位 T1nASF 置 1。如果关断事件未撤离，关断事件标志位不能被清零。

在关断状态下，如果 T1nARS 位为 1，当关断事件撤离后，硬件会自动清零 T1nASF，并在下一个周期重启 PWM 功能；如果 T1nARS 位为 0，当关断事件撤离后，需要用软件清零 T1nASF 重启 PWM 功能；PWM 重启后，会在下一个 PWM 周期正常输出。

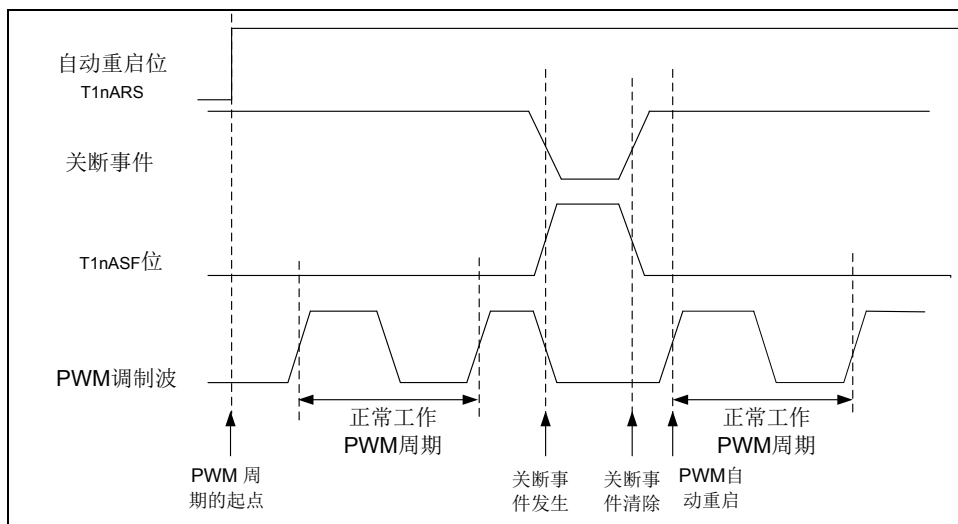


图 6-10 PWM 关断与自动重启

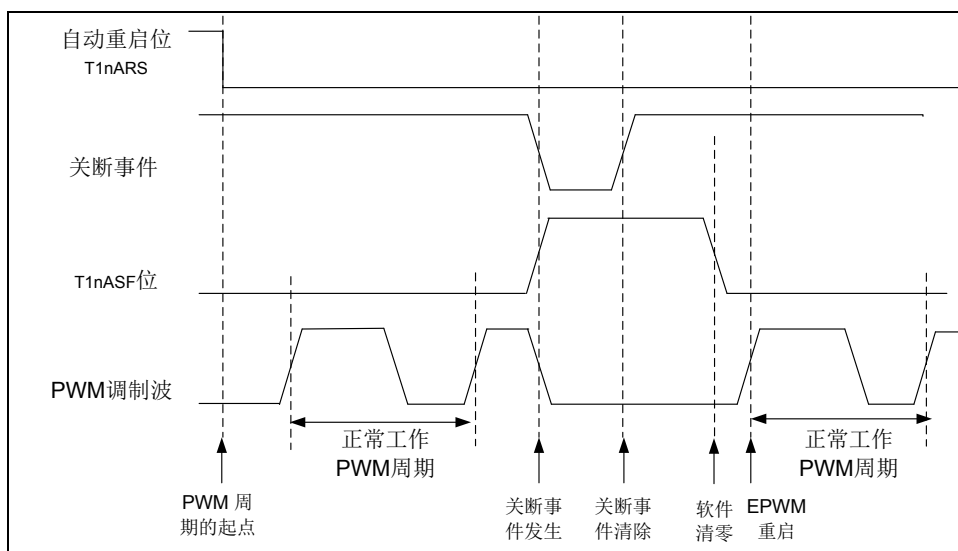


图 6-11 PWM 关断与软件重启

注 1: 通过 T1nOM<1:0>位, 可为每组 PWM 输出引脚选择有效输出信号。不推荐在 PWM 管脚为输出状态时, 改变输出极性的配置, 以免可能导致的应用电路损坏。

注 2: 在 PWM 功能模块初始化工作完成后, 再将 PWM1n0 和 PWM1n1 所在的 IO 管脚设置为输出状态。

6. 1. 2. 11 PWM沿启动AD转换

当 ADEN (ADCCL<0>), SMPS (ADCCL<2>) 位为 1 使能时, 支持 PWM 输出沿启动 AD 转换, 为了保证有效沿启动 AD 转换, 在 PWM 输出沿后增加了可配置延时滤波电路。当 T1nADEN 置为 1 时, 通过软件配置 8 位 PWM 沿检测延时寄存器 TMRADC。设置寄存器 T1nADS 选择启动沿, 当 T1nADS 为 0 时, 内部延时计数器在 PWM 的上升沿开始计数, 计数时钟为 Fosc 二分频时钟; 当 T1nADS 为 1 时, 内部延时计数器在 PWM 的下降沿开始计数, 计数时钟为 Fosc。当计数器计数值大于 TMRADC 时, 产生启动 AD 转换的触发信号, 硬件自动启动 AD 转换。

在 AD 转换还未完成前, 硬件自动屏蔽启动 AD 转换的 PWM 触发信号沿。

内部计数器计数时钟为系统时钟 Fosc，在 IDLE 模式下，PWM 停止工作，所以不能触发 AD 转换。

6.1.2.12 特殊功能寄存器

T1nL: T1n 计数器低 8 位 (T11L/ T12L/ T13L)								
Bit	7	6	5	4	3	2	1	0
Name	T1n<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1n<7:0>: T1n 计数值低 8 位

T1nH: T1n 计数器高 4 位 (T11H/ T12H/ T13H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T1n<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留

Bit 3~0 T1n<11:8>: T1n 计数值高 4 位

T1nPL: T1n 周期寄存器低 8 位 (T11PL/ T12PL/ T13PL)								
Bit	7	6	5	4	3	2	1	0
Name	T1nP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T1nP<7:0>:

 双精度 PWM 模式: PWM 周期值低 8 位

 互补 PWM 模式: PWM 周期值低 8 位

 单脉冲发射模式: 发射脉冲宽度低 8 位

T1nPH: T1n 周期寄存器高 4 位 (T11PH/ T12PH/ T13PH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T1nP<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4 保留

Bit 3~0 T1nP<11:8>:

 双精度 PWM 模式: PWM 周期值高 4 位

 互补 PWM 模式: PWM 周期值高 4 位

 单脉冲发射模式: 发射脉冲宽度高 4 位

T1nR0L: T1n 精度寄存器 0 低 8 位 (T11R0L/ T12R0L/T13R0L)								
Bit	7	6	5	4	3	2	1	0
Name	T1nR0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1nR0<7:0>:
 双精度 PWM 模式: PWM1n0 精度值低 8 位
 互补 PWM 模式: PWM 精度值低 8 位
 单脉冲发射模式: T1n 循环计数值低 8 位

T1nR0H: T1n 精度寄存器 0 高 4 位 (T11R0H/ T12R0H/ T13R0H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T1nR0<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留
 Bit 3~0 T1nR0<11:8>:
 双精度 PWM 模式: PWM1n0 精度值高 4 位
 互补 PWM 模式: PWM 精度值高 4 位
 单脉冲发射模式: T1n 循环计数值高 4 位

T1nR1L: T1n 精度寄存器 1 低 8 位 (T11R1L/ T12R1L/ T13R1L)								
Bit	7	6	5	4	3	2	1	0
Name	T1nR1<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1nR1<7:0>:
 双精度 PWM 模式: PWM1n1 精度值低 8 位
 互补 PWM 模式: 死区延时值低 8 位
 单脉冲发射模式: 等待周期值低 8 位

T1nR1H: T1n 精度寄存器 1 高 4 位 (T11R1H/ T12R1H/ T13R1H)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T1nR1<11:8>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留
 Bit 3~0 T1nR1<11:8>:
 双精度 PWM 模式: PWM1n1 精度值高 4 位
 互补 PWM 模式: 死区延时值高 4 位
 单脉冲发射模式: 等待周期值高 4 位

注: 互补 PWM 模式, T1nR1 为 0 时, 死区延时为一个 T_{osc}。

T1nCL: T1n 控制寄存器低 8 位 (T11CL/ T12CL/ T13CL)								
Bit	7	6	5	4	3	2	1	0
Name	T1nM<3:0>				T1nTS<1:0>		T1nDLYEN	T1nTR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 T1nM <3:0>: T1n 工作模式选择位
 0000: 定时器模式 (计数器时钟源为 FOSC)
 0001: 异步计数器模式 (计数器时钟源为外部时钟 LP 模式的时钟 (32KHz), 可用作简化的 RTC 功能, 此时 ASYNCLKS 位需设置为 1)
 1100: 双精度 PWM 模式
 1101: 互补 PWM 模式
 1110: 单脉冲发射模式
 其它: 保留
- Bit 3~2 T1nTS<1:0>: T1n 单脉冲触发选择位
 00: PINT0
 01: PINT1
 10: PINT2
 11: PINT3
- Bit 1 T1nDLYEN: 互补 PWM 模式下, 死区延时使能位
 0: 无死区时间
 1: 有死区时间
- Bit 0 T1nTR:
 定时器/异步计数器模式: 保留
 双精度 PWM 模式: PWM 使能位
 0: 停止 (波形复位)
 1: 使能 (波形产生)
 互补 PWM 模式: PWM 使能位
 0: 停止 (波形复位)
 1: 使能 (波形产生)
 单脉冲发射模式: 触发标志 (软件置 1, 硬件清 0)
 0: 发射等待
 1: 触发并开始计数

T1nCM: T1n 控制寄存器中 8 位 (T11CM/ T12CM / T13CM)								
Bit	7	6	5	4	3	2	1	0
Name	T1nADEN	T1nADS	T1nOM<1:0>		T1nPRS<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T1nADEN: PWM 沿启动 ADC 使能位
 0: 禁止
 1: 使能
- Bit 6 T1nADS: PWM 沿启动 ADC 选择位
 0: 上升沿

- 1: 下降沿
- Bit 5~4 T1nOM<1:0>: PWM1n1 和 PWM1n0 输出极性选择位
 00: PWM1n0, PWM1n1 高有效
 01: PWM1n0 低有效, PWM1n1 高有效
 10: PWM1n0 高有效, PWM1n1 低有效
 11: PWM1n0, PWM1n1 低有效
- Bit 3~0 T1nPRS<3:0>: T1n 预分频器分频比选择位
 0000: 分频比为 1:1
 0001: 分频比为 1:2
 0010: 分频比为 1:3
 0011: 分频比为 1:4
 0100: 分频比为 1:5
 0101: 分频比为 1:6
 0110: 分频比为 1:7
 0111: 分频比为 1:8
 1000: 分频比为 1:9
 1001: 分频比为 1:10
 1010: 分频比为 1:11
 1011: 分频比为 1:12
 1100: 分频比为 1:13
 1101: 分频比为 1:14
 1110: 分频比为 1:15
 1111: 分频比为 1:16

T1nCH: T1n 控制寄存器高 8 位 (T11CH/ T12CH/ T13CH)								
Bit	7	6	5	4	3	2	1	0
Name	T1nEN	T1nPOS<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T1nEN : T1n 使能位
 0: 关闭
 1: 使能
- Bit 6~0 T1nPOS<6:0>: T1n 后分频器分频值
 后分频次数 = T1nPOS + 1

T1nAS: T1n 自动关断寄存器 (T11AS/ T13AS/ T13AS)								
Bit	7	6	5	4	3	2	1	0
Name	ASYNCLKS	ASEN	ASES<1:0>		T1nARS	T1nASF	PSS1nBD<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ASYNCLKS 异步计数模式时钟选择位
 0: 无效 (异步计数模式无时钟源, 不工作), 需固定写 1
 1: 外部晶振的 LP 模式时钟 (32.768KHz, 可用作简化的 RTC 功能)

- Bit 6 ASEN :自动关断 PWM 使能位
 0: 不会发生自动关断 PWM
 1: 使能自动关断 PWM 功能
- Bit 5~4 ASES<1:0>: 自动关断 PWM 事件选择位
 00: EPAS0 低电平时自动关断 PWM
 01: EPAS1 低电平时自动关断 PWM
 10: PINT 管脚为低电平时自动关断 PWM
 11: PINT 中断发生时关断 PWM
- Bit 3 T1nARS 自动重启控制位
 0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 EPWM
 1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, EPWM 自动重启
- Bit 2 T1nASF 自动关断事件标志位
 0: 未发生关断事件
 1: 已经发生关断事件
- Bit 1~0 PSS1nBD: 管脚 PWM1n1 和 PWM1n0 关断状态控制位
 00: 端口输出"0"
 01: 端口输出"1"
 1x: 端口为三态

T1nPWMShut: PWM 自动关断 PINT 管脚控制位 (T11PwMShut/T12PwMShut/T13PwMShut)								
Bit	7	6	5	4	3	2	1	0
Name	T1nPWMShut<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 T1nPWMShut<7:0>: PWM 自动关断 PINT 管脚选择位
 PINT0 ~ PINT7 可设置任意多个为 1, 其中任何一个中断有效都可触发关断
 0: 不触发关断
 1: 触发关断

T1nTMRADC: PWM 沿检测延时寄存器 (T11TMRADC/T12TMRADC/T13TMRADC)								
Bit	7	6	5	4	3	2	1	0
Name	TMRADC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 T1nTMRADC<7:0>: PWM 沿检测延时时间设置寄存器

T1nOC: T11/12/13 复用输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	P31EN	P30EN	P21EN	P20EN	P11EN	P10EN
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留

- Bit 5 P31EN: PWM131 输出使能位
0: 关闭
1: 使能
- Bit 4 P30EN: PWM130 输出使能位
0: 关闭
1: 使能
- Bit 3 P21EN: PWM121 输出使能位
0: 关闭
1: 使能
- Bit 2 P20EN: PWM120 输出使能位
0: 关闭
1: 使能
- Bit 1 P11EN: PWM111 输出使能位
0: 关闭
1: 使能
- Bit 0 P10EN: PWM110 输出使能位
0: 关闭
1: 使能

PWMSRC_PLL: PWM 时钟选择位								
Bit	7	6	5	4	3	2	1	0
Name	PLL_LOCKDLY_TIME<3:0>				—	PLL_LOCK_RDY	PLLVCO_HP	PWM_PLEN
R/W	R/W	R/W	R/W	R/W	—	R	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 PLL_LOCKDLY_TIME<3:0>: PLL 稳定时间设置
4'b0000: 等待 256 个 PLL 时钟后输出 LOCK RDY 信号
4'b0010: 等待 512 个 PLL 时钟后输出 LOCK RDY 信号
4'b0100: 等待 1024 个 PLL 时钟后输出 LOCK RDY 信号
4'b1000: 等待 2048 个 PLL 时钟后输出 LOCK RDY 信号
- Bit 3 保留
- Bit 2 PLL_LOCK_RDY: PLL 稳定标志位
0: PLL 输出时钟未稳定
1: PLL 输出时钟稳定
- Bit 1 PLLVCO_HP: PLL 大电流使能位
0: 大电流禁止 (应用时需保持为 0)
1: 大电流使能 (仅供测试用, 禁止用户设置为 1)
- Bit 0 PWM_PLEN: PLL 时钟使能位:
0: 禁止
1: 使能

注: PLL 倍频时钟模块的时钟源固定为内部 HRC 16MHz, 所以在使能 PLL 时, 必须确保 HRC 时钟处于工作状态, 可以将 HRC 时钟设置为系统时钟, 或者设置 HRCEN=1。

T1nCTR: T1n 计数值读取控制寄存器 (T11CTR/T12CTR/T13CTR)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	PWM_CLKS	—	—	RD_READY	RD_TRIG
R/W	—	—	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 保留

Bit 4 PWM_CLKS: PWM 时钟源选择位
 0: 系统时钟 Fosc 时钟作为 PWM 时钟源
 1: PLL 64MHz 时钟作为 PWM 时钟源

Bit 3~2 保留

Bit 1 RD_READY: 读取计数器值的 READY 标志位
 0: 读数据还没准备好
 1: 计数器数据已准备好, 可读取 T1nL, T1nH 计数器的值 (需软件写 0 清除)

Bit 0 RD_TRIG: 读取计数器值的 TRIG 标志位
 0: 不读取计数器的值 (硬件清 0, 软件写 0 无效)
 1: 写 1 触发读取计数器 T1nL, T1nH 的值

注: RD_READY 和 RD_TRIG 位仅在异步计数模式下有效, 在异步计数模式下, 每次读取 T1n 计数器之前, 均需先软件将 RD_TRIG 置 1, 再查询 RD_READY 位为 1 后, 才能读取得到计数器的值, 计数器数据的准备时间, 约 2 个计数时钟周期。

6.1.3 16 位多功能定时器 (T20/T21)

6.1.3.1 概述

16 位多功能定时器 T2n 支持 7 种工作模式，定时器模式、同步计数器模式、异步计数器模式，双精度 PWM 模式、互补 PWM 模式、捕捉器模式、比较器模式。

- ◇ T2n 支持 7 种工作模式
 - 定时器模式 (时钟源为 Fosc)
 - 同步计数器模式 (时钟源是 T2nCKI 经过 Fosc 同步后的时钟)
 - 异步计数器模式 (时钟源可选择外部晶振的 LP 模式时钟或者外灌时钟 T2nCKI)
 - 双精度 PWM 模式 (时钟源可为系统时钟 Fosc 或倍频时钟 PLL 64MHz, 由寄存器 PWMSRC_PLL 的 PWM_PLLEN 位及寄存器 T2nCTR 的 PWM_CLKS 位决定)
 - 互补 PWM 模式 (时钟源可为系统时钟 Fosc 或倍频时钟 PLL 64MHz, 由寄存器 PWMSRC_PLL 的 PWM_PLLEN 位及寄存器 T2nCTR 的 PWM_CLKS 位决定)
 - 捕捉器模式
 - 比较器模式
- ◇ T2n 支持以下功能组件
 - 4 位预分频器和 7 位后分频器
 - 16 位计数器 T2n (计数器初始值可写)
 - 16 位捕捉/比较寄存器 T2nCP0 和 T2nCP1
- ◇ 中断和暂停
 - 支持溢出中断 T2nVIF 和多功能中断 T2nMIF
 - 在 IDLE 模式下, 异步计数溢出中断可产生唤醒 CPU
 - 支持可配置 PWM 关断和自动重启, 可选 EPASx 或 PINTx 作为控制源
 - 支持 PWM 沿启动 AD 转换

注：本节中 T2n 代表 T20 或 T21。

6.1.3.2 内部结构图

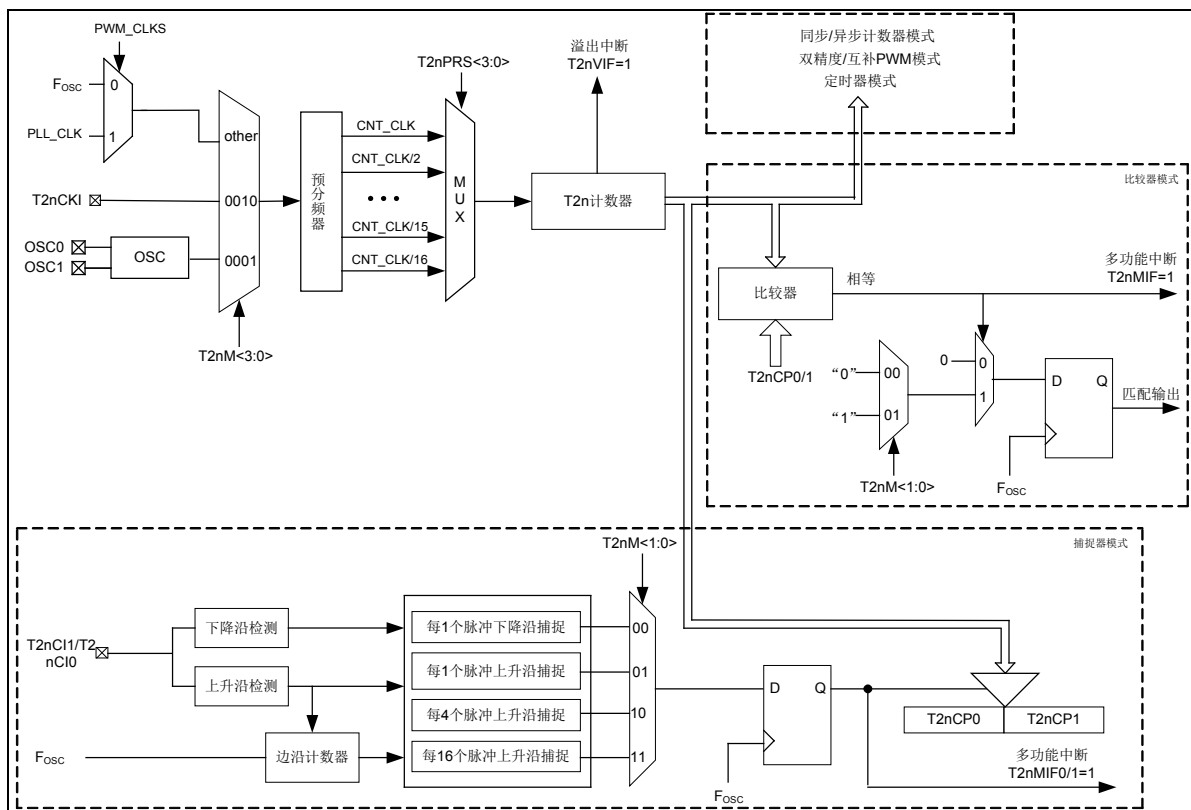


图 6-12 T2n 内部结构图

定时器模式、同步计数器模式、异步计数器模式，双精度 PWM 模式以及互补 PWM 模式与 T1n 的各模式基本一致，上图不再重复给出。

6.1.3.3 预分频器和后分频器

预分频器可以提供更长的溢出周期。T2n 支持可配置的预分频器。通过 T2nCM 寄存器中的 T2nPRS 位配置预分频器的分频比，预分频比的范围为 1:1 ~ 1:16。任何对计数器或控制寄存器的写操作都会使预分频器清零，但不改变配置的分频比。预分频器的计数值不可读写。

后分频器的分频比可通过 T2nCH 寄存器中的 T2nPOS<6:0>位进行设置，后分频比范围为 1:1~1:128，通过计数器与周期寄存器值的匹配，来进行后分频。

6.1.3.4 工作模式

T2n 有 7 种工作模式，定时器模式、同步计数器模式、异步计数器模式、双精度 PWM 模式、互补 PWM 模式、捕捉器模式、比较器模式，通过 T2nM<3:0>进行模式选择。双精度 PWM 模式、互补 PWM 模式下，时钟源也可 PLL 时钟。异步计数模式下，时钟源也可外部晶振 LP 模式时钟（32.768KHz）或 T2nCKI 外部时钟。

T2nEN 置 1 使能之前，需先由 T2nM 设定工作模式，选择计数时钟，并配置好预分频器、后分频器、周期等参数。保证计数时钟在使能时已稳定。

6.1.3.5 定时器模式

当 T2nM 为 0000 时，T2n 工作在定时器模式。

T2n 计数器的时钟源为系统时钟 Fosc，并支持预分频器和后分频器。

T2n 计数器为可读写寄存器，支持计数初值的设置和计数过程中的计数值改变。

T2nEN 使能时，16 位定时器 T2n 对计数时钟进行递增计数，当 T2n 的计数值与周期寄存器 T2nP 相等时，后分频计数器加 1，同时 T2n 计数器被自动清零并重新开始计数。

当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时溢出中断标志 T2nVIF 置“1”，该中断标志需要软件清零。

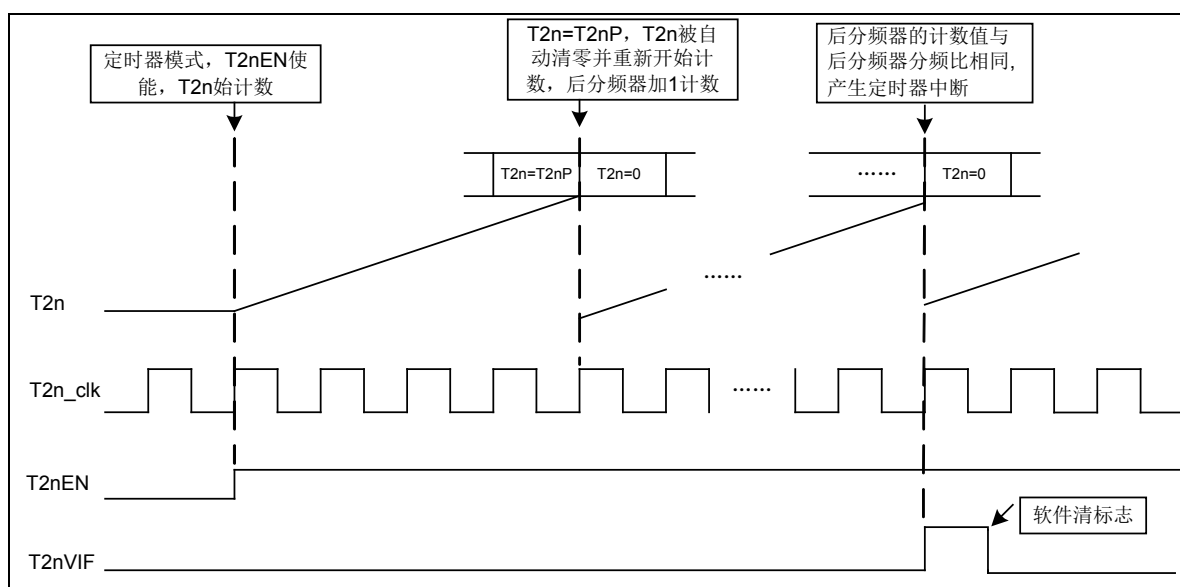


图 6-13 T2n 定时器模式时序图

6.1.3.6 异步/同步计数器模式

T2nM 设置为“0001/0010”时，T2n 工作在同步/异步计数器模式。

计数模式支持预分频器和后分频器，可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

同步计数器模式时钟源为外部输入时钟 T2nCKI (T2n Clock Input)，上升沿有效。

异步计数器模式时钟源可通过 T2nAS 寄存器位 ASYNCLKS 进行选择，当该位为 0 时，时钟源为外部输入时钟 T2nCKI，上升沿有效；当该位为 1 时，时钟源为外部晶振的 LP 模式时钟 (32.768KHz)，可用作 IDLE 模式下的简化版 RTC 计数，具体描述如下：

IDLE 状态下，若外部晶振配置为 LP 模式 (晶振为 32.768KHz)，该外部晶振 OSC 是否运行取决于 OSCEN 寄存器的 OSCEN 位，当 OSCEN 为 1 时晶振继续运行，此时可用于简单的 RTC 时钟计数，当 OSCEN 为 0 时晶振关断。

T2n 计数器 (T2nH, T2nL) 对时钟源进行递增计数，当 T2n 的计数值与周期寄存器 T2nP 相等时，T2n 被自动清零并重新开始计数，后分频计数加 1，当后分频计数值与后分频比相同时，复位后分频器，产生计数溢出中断 T2nVIF，该中断必须软件清零。在异步计数器模式下，T2n 计数器可以在 CPU 睡眠时继续工作，并且产生的中断 T2nVIF 可以唤醒 CPU。

异步/同步计数器模式下，对 T2n 计数器初始值的写入操作，需延时 3 个 T2nCKI 时钟周

期才会生效（与预分频比无关）。

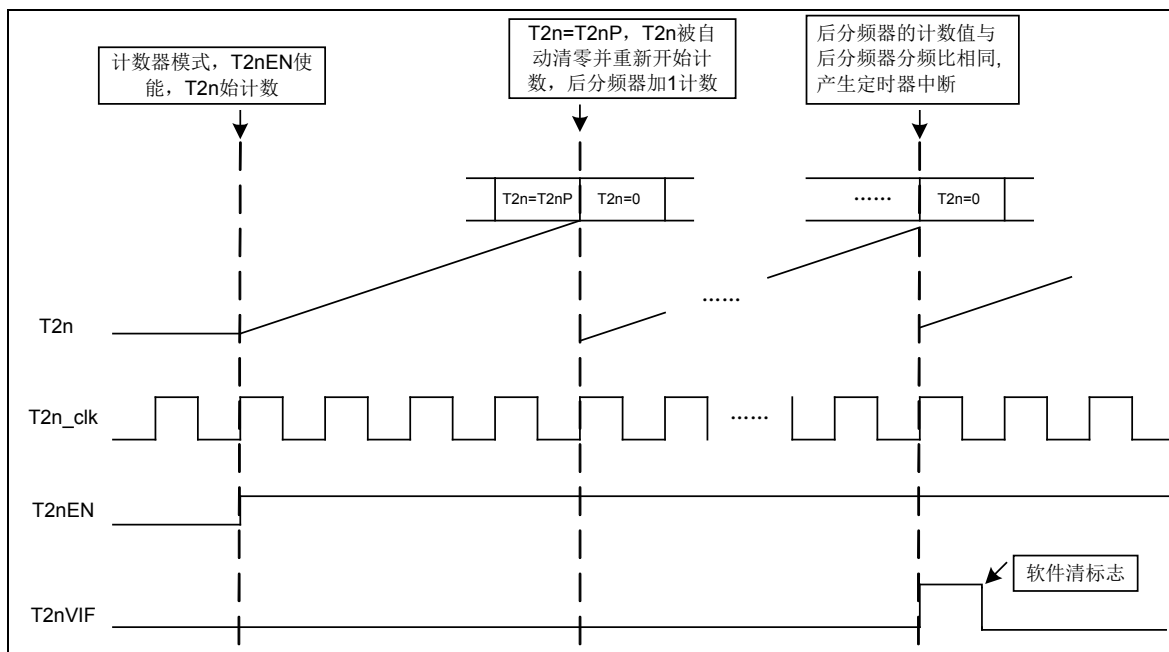


图 6-14 T2n 计数器模式时序图

6.1.3.7 双精度PWM模式

T2nM为“1100”时，T2n工作在双精度PWM模式。每路支持2个PWM输出端口PWM2n0和PWM2n1，可分别对应于T2nR0和T2nR1独立设置PWM占空比，并可独立设置输出极性。

双精度PWM模式计数时钟源为系统时钟Fosc或倍频时钟PLL 64MHz（由寄存器PWMSRC_PLL的PWM_PLLEN位及寄存器T1nCTR的PWM_CLKS位决定），并支持预分频器和后分频器。此模式下，后分频比不影响PWM周期，只影响计数溢出中断标志T2nVIF。

如下图示，当T2nEN使能，T2nTR为0时，PWM输出关闭，并保持PWM2n0/1输出为0；设置T2nTR为1时，PWM输出波形启动，PWM2n0/1输出起始为1，同时分别将16位周期寄存器T2nP和16位精度寄存器T2nR0/1寄存器的内容，更新至16位PWM周期缓冲器PRDBUF和16位精度缓冲器RESBUF0/1（该缓冲器软件不可读写），随后16位计数器T2n从零开始递增计数，当T2n与RESBUF0/1的值相等时，PWM0/1输出改变为0，并继续递增计数。当T2n的计数值与PRDBUF相等时，后分频计数器加1，PWM0/1输出恢复为1，同时PRDBUF和RESBUF0/1再次分别载入T2nP和T2nR0/1寄存器的值，并产生周期中断标志T2nPIF，该中断标志需要软件清零。至此一个完整的PWM周期完成，随后计数器T2n从零开始递增计数，继续循环产生新的PWM周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将计数溢出中断标志T2nVIF置“1”，该中断标志需要软件清零。

特别的，若RESBUF的值不小于PRDBUF，则当前PWM周期内PWM输出始终为1。

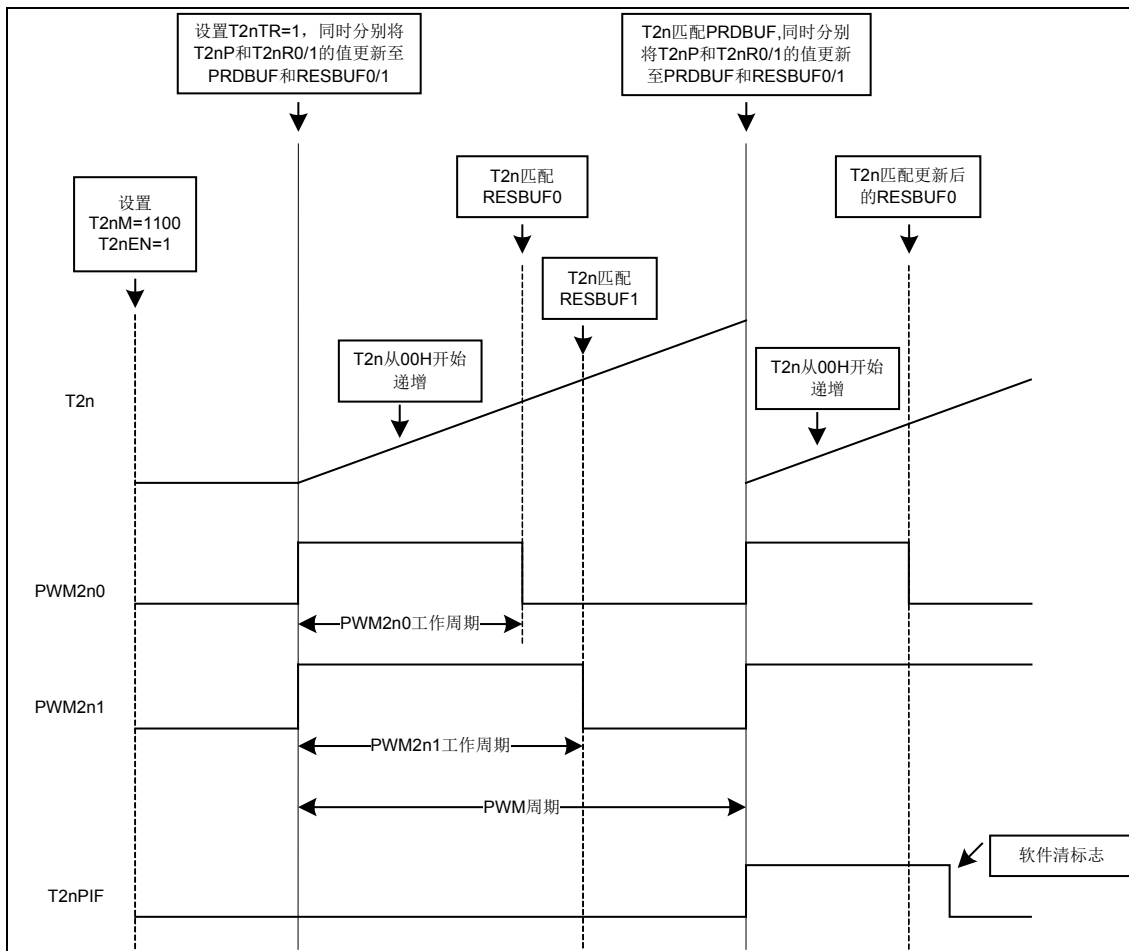


图 6-15 T2n 双精度 PWM 模式示意图

PWM 计算公式如下：

$$\text{PWM 周期} = (T2nP + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (T2nR0/1 + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

Fckps 是计数器的预分频器的分频比。

注：当 T2nR0/1=0 时，PWM 脉宽= T_{osc} × [预分频器分频比]。

6.1.3.8 互补PWM模式

T2nM 为“1101”时，T2n 工作在互补 PWM 模式。每路支持 2 个 PWM 输出端口 PWM2n0 和 PWM2n1，T2nP 用于 PWM 周期设置，T2nR0 用于 PWM 占空比设置，T2nR1 用于互补死区控制。2 个输出端口可独立设置输出极性。

互补 PWM 模式计数时钟源为系统时钟 F_{osc} 或倍频时钟 PLL 64MHz（由寄存器 PWMSRC_PLL 的 PWM_PLLEN 位及寄存器 T1nCTR 的 PWM_CLKS 位决定），并支持

预分频器和后分频器。此模式下，后分频比不影响 PWM 周期，只影响计数溢出中断标志 T2nVIF。

如下图示，当 T2nEN 使能。T2nTR 为 0 时，PWM 输出关闭，并保持 PWM2n0/1 输出为 0；设置 T2nTR 为 1 时，PWM 输出波形启动，PWM2n0 输出起始为 1，PWM2n1 输出起始为 0，同时分别将 T2nP 和 T2nR0 寄存器的内容，更新至 PWM 周期缓冲器 PRDBUF 和精度缓冲器 RESBUF0（对缓冲器，软件不可读写），随后 T2n 从零开始递增计数，当 T2n 与 RESBUF0 的值相等时，PWM2n0 输出改变为 0，PWM2n1 输出起始为 1，并继续递增计数。当 T2n 的计数值与 PRDBUF 相等时，后分频计数器加 1，PWM 输出再次反转，同时 PRDBUF 和 RESBUF0 再次分别载入 T2nP 和 T2nR0 寄存器的值，并产生周期中断标志 T2nPIF，该中断标志需要软件清零。至此一个完整的 PWM 周期完成，随后计数器 T2n 从零开始递增计数，继续循环产生新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将计数溢出中断标志 T2nVIF 置“1”，该中断标志需要软件清零。

T2nR1 用于设置死区延时，延时时间 = $T2nR1 \times T_{osc}$ 。T2nDLYEN 控制位需设置为 1，才可使能死区延时。特别注意：T2nR1 为 0 时，默认死区延时为 1 个 T_{osc} 周期，若无需死区延时，则 T2nDLYEN 设置为 0 即可。

特别的，若 RESBUF (T2nR0) 的值不小于 PRDBUF (T2nP)，则当前 PWM 周期内 PWM2n0 输出始终为 1，PWM2n1 输出始终为 0；若死区时间 T2nR1 大于或等于 T2nR0，则 PWM2n0，PWM2n1 输出始终为 0；死区时间须满足： $(T2nR0 + \text{死区时间 } T2nR1) < \text{PWM 周期}$ ，否则 PWM2n1 输出始终为 0。

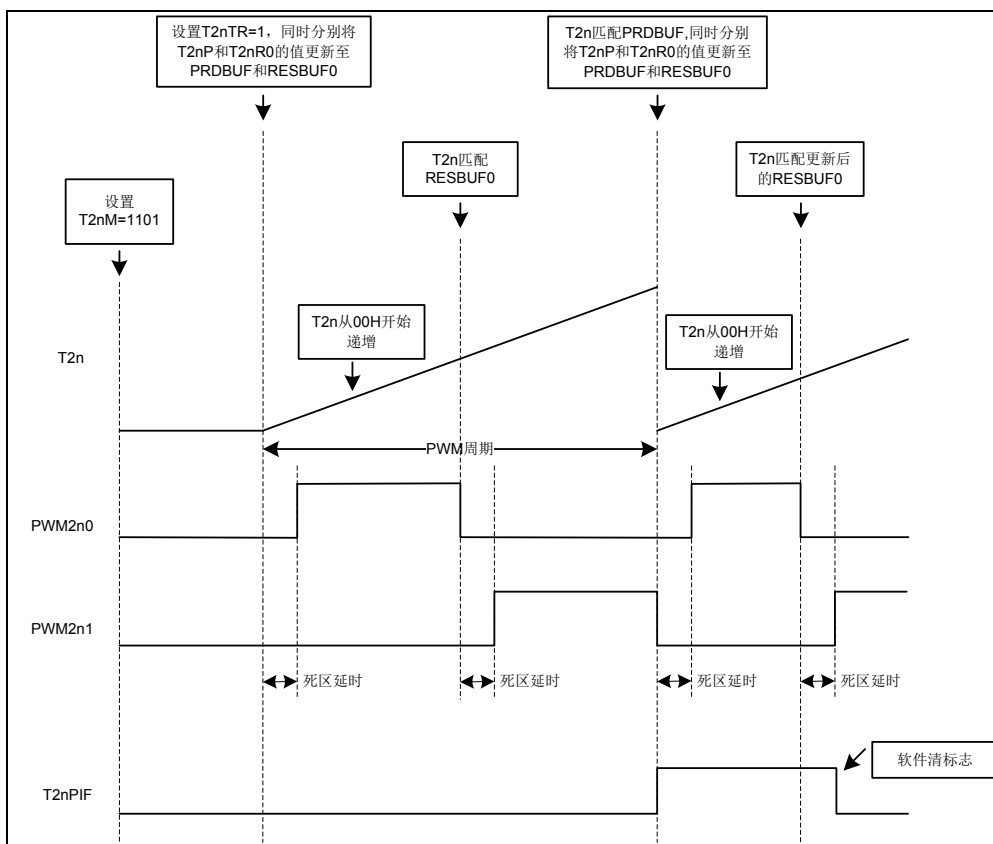


图 6-16 T2n 互补 PWM 模式示意图

PWM 计算公式如下:

$$\text{PWM 周期} = (T2nP + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (T2nR0 + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

$$\text{PWM 死区延时} = T2nR1 \times T_{osc}$$

给定 PWM 频率, PWM 的最大分辨率可计算为:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

Fckps 是计数器的预分频器的分频比。

注: T2nR1 为 0 时, 死区延时为一个 T_{osc}。

6.1.3.9 捕捉器模式

T2nM 设置为“01xx”时, T2n 工作在捕捉器模式, T2n 支持 2 个相互独立的捕捉输入端口 T2nCI0 和 T2nCI1。该模式下支持 4 种捕捉条件选择。

T2n 配置为捕捉模式时, 时钟源为系统时钟 (F_{osc})。在此模式下, 16 位计数器 T2n 进行递增计数, 当 T2nCI0/1 输入信号的变化状态满足捕捉条件时, 计数器 T2n 的值将被载入到相应的 16 位捕捉寄存器 T2nCP0/1 中, 并产生多功能中断 T2nMIF0/1, 该中断必须由软件清零。计数器继续递增计数。若下一次捕捉事件发生时, 捕捉寄存器 T2nCP0/1 中的值未被及时读取, 将被新捕捉的值覆盖。当计数值溢出时 (即从 FFFF_H 变为 0000_H), 产生溢出中断 T2nVIF, 该中断必须软件清零。

T2n 支持 1 个用于捕捉条件判断的边沿计数器。此边沿计数器仅在捕捉模式有效。当 T2n 关闭或切换为其它模式时, 该边沿计数器被清零。但在 T2n 的 4 种捕捉模式相互切换时, 该边沿计数器不会被清零。因此, 当切换捕捉模式后, 首次捕捉可能存在误差, 同时也可能导致错误的中断产生。为了避免产生错误中断, 用户在改变模式时应该禁止 T2n 相应中断使能位, 并且清除中断标志。

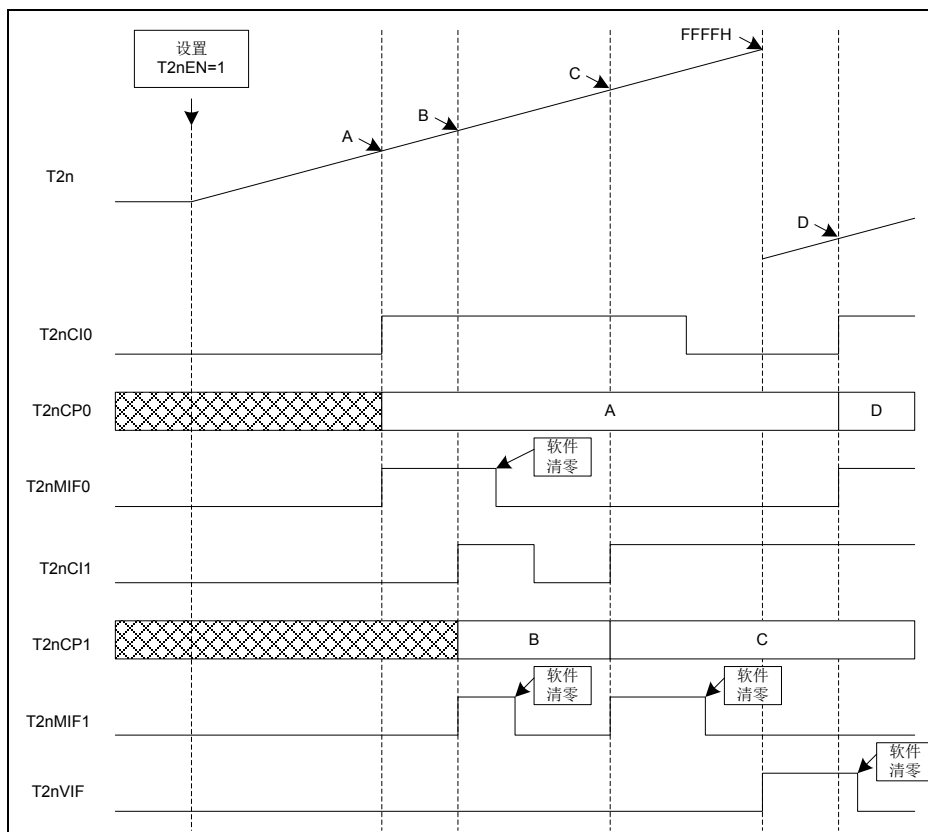


图 6-17 T2n 捕捉器模式时序图 (T2nM=0101, 每个脉冲上升沿捕捉信号)

6.1.3.10 比较器模式

T2nM 设置为“10xx”时，T2n 工作在比较器模式。

比较器模式时钟源为系统时钟 (Fosc)。在此模式下，16 位计数器 T2n 进行递增计数。当计数器 T2n 的计数值与比较寄存器 T2nCP0/1 中的比较值相等时，执行相应的比较匹配事件，并产生多功能中断 T2nMIF，该中断必须软件清零。。当计数值溢出时(即从 FFFF_H 变为 0000_H)，产生溢出中断 T2nVIF，该中断必须软件清零；计数溢出后，继续从 0 开始递增计数。

比较器模式配置位 T2nM 配置为 1000 或 1001 时，当 T2n 计数器匹配 T20CP0L/H 时，PWM2n0 端口输出 0 或 1 并保持；当 T2n 计数器匹配 T20CP1L/H 时，PWM2n1 端口输出 0 或 1 并保持。

T2nCL 寄存器的 T2nM 设置为 1011 对应的比较器模式，匹配 T20CP0L/H 或 T20CP1L/H 时，可触发 ADC 转换。ADC 必须先使能，且设置为硬件采样，即 ADCCL 寄存器的 ADEN 和 SMPS 控制位都需设置为 1。因匹配时 T2n 被清零，因此只有 T20CP0L/H 或 T20CP1L/H 中的较小值在该模式下有效。

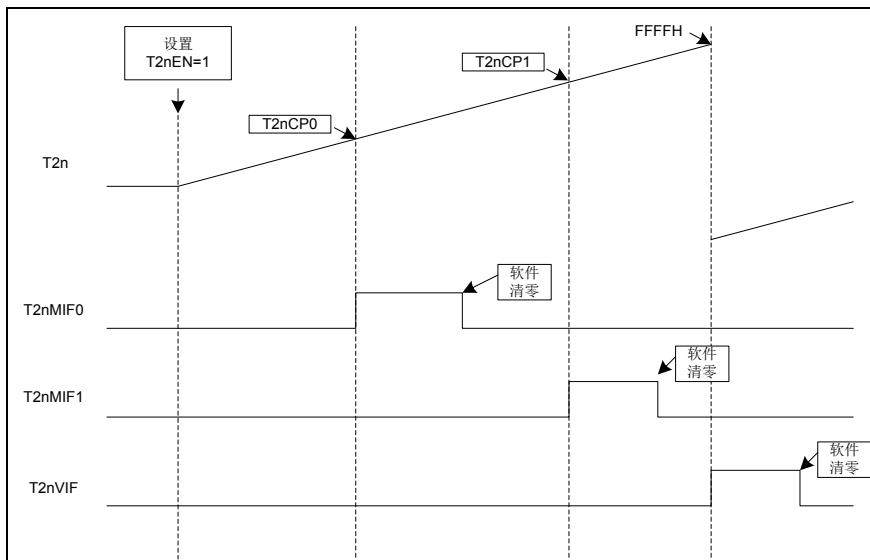


图 6-18 T2n 比较器模式时序图

6.1.3.11 PWM关断事件和重启

支持两类关断事件，EPAS0/1 管脚输入“0”关断事件和 PINT 触发关断事件。其中 8 个 PINT 关断事件是“或”关系，任何一个发生，即可触发关断；所有关断事件释放后方可重启。

当自动关断位 ASEN 使能，ASES 为 2'b00，EPAS0 管脚输入为“0”时，会发生自动关断事件。

当自动关断位 ASEN 使能，ASES 为 2'b01，EPAS1 管脚输入为“0”时，会发生自动关断事件。

当自动关断位 ASEN 使能，ASES 为 2'b10，PINT 管脚有一个输入为“0”时（可有一个 PINT 管脚或多个 PINT 管脚为 0，由寄存器 T2nPWSHUT 决定），会发生自动关断事件。

当自动关断位 ASEN 使能，ASES 为 2'b11，有一个 PINT 中断时（可有一个 PINT 管脚或多个 PINT 管脚中断，由寄存器 T2nPWSHUT 决定），会发生自动关断事件。

当关断事件发生后，PWM 输出管脚处于关断状态，管脚的关断状态可通过设置寄存器 T2nAS<1:0>位控制，EPWM 输出管脚可以被设置输出为“1”、“0”或者高阻（三态）。在关断状态下，关断事件标志位 T2nASF 置 1。如果关断事件未撤离，关断事件标志位不能被清零。

在关断状态下，如果 T2nARS 位为 1，当关断事件撤离后，硬件会自动清零 T2nASF，并在下一个周期重启 PWM 功能；如果 T2nARS 位为 0，当关断事件撤离后，需要用软件清零 T2nASF 重启 PWM 功能；PWM 重启后，会在下一个 PWM 周期正常输出。

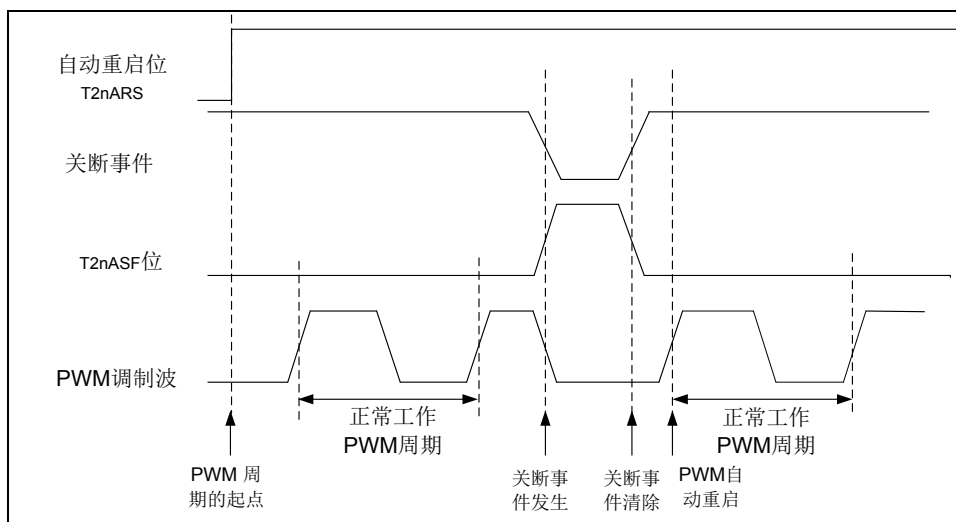


图 6-19 PWM 关断与自动重启

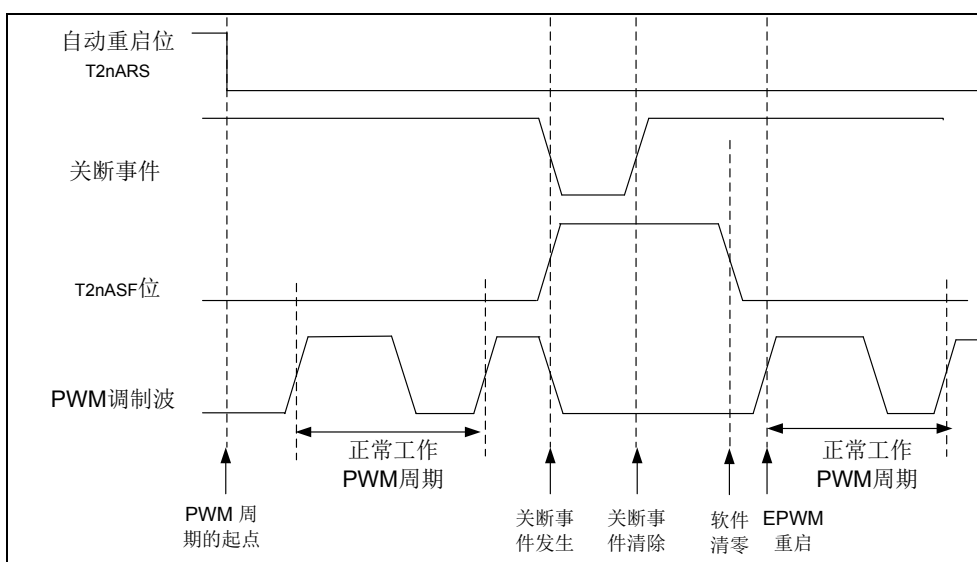


图 6-20 PWM 关断与软件重启

注 1: 通过 T2nOM<1:0>位, 可为每组 PWM 输出引脚选择有效信号。不推荐在 PWM 管脚为输出状态时, 改变输出极性的配置, 以免可能导致的应用电路损坏。

注 2: 在 PWM 功能模块初始化工作完成后, 再将 PWM2n0 和 PWM2n1 所在的 IO 管脚设置为输出状态。

6.1.3.12 PWM沿启动AD转换

当 ADEN (ADCCL<0>), SMPS (ADCCL<3>) 位为 1 使能时, 支持 PWM 输出沿启动 AD 转换, 为了保证有效沿启动 AD 转换, 在 PWM 输出沿后增加了可配置延时滤波电路。当 T2nADEN 置为 1 时, 通过软件配置 8 位 PWM 沿检测延时寄存器 TMRADC。设置寄存器 T2nADS 选择启动沿, 当 T2nADS 为 0 时, 内部计数器在 PWM 的上升沿开始计数; 当 T2nADS 为 1 时, 内部计数器在 PWM 的下降沿开始计数。当计数器计数值大于 TMRADC 时, 产生启动 AD 转换的触发信号, 硬件自动启动 AD 转换。

在 AD 转换还未完成前, 硬件自动屏蔽启动 AD 转换的 PWM 触发信号沿。

内部计数器计数时钟为系统时钟 Fosc，在 IDLE 模式下，PWM 停止工作，所以不能触发 AD 转换。

6.1.3.13 特殊功能寄存器

T2nL: T2n 计数器低 8 位 (T20L/T21L)								
Bit	7	6	5	4	3	2	1	0
Name	T2n<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2n<7:0>: T2n 计数器低 8 位

T2nH: T2n 计数器高 8 位 (T20H/T21H)								
Bit	7	6	5	4	3	2	1	0
Name	T2n<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2n<15:8>: T20 计数器高 8 位

T2nPL: T2n 周期寄存器低 8 位 (T20PL/T21PL)								
Bit	7	6	5	4	3	2	1	0
Name	T2nP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nP<7:0>:
双精度 PWM 模式: PWM 周期值低 8 位
互补 PWM 模式: PWM 周期值低 8 位

T2nPH: T2n 周期寄存器高 8 位 (T20PH/T21PH)								
Bit	7	6	5	4	3	2	1	0
Name	T2nP<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nP<15:8>:
双精度 PWM 模式: PWM 周期值高 8 位
互补 PWM 模式: PWM 周期值高 8 位
单脉冲发射模式: 发射脉冲宽度高 8 位

T2nR0L: T2n 精度寄存器 0 低 8 位 (T20R0L/ T21R0L)								
Bit	7	6	5	4	3	2	1	0
Name	T2nR0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR0<7:0>:
双精度 PWM 模式: PWM2n0 精度值低 8 位
互补 PWM 模式: PWM 精度值低 8 位

T2nR0H: T2n 精度寄存器 0 高 8 位 (T20R0H/T21R0H)								
Bit	7	6	5	4	3	2	1	0
Name	T2nR0<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR0<15:8>:
双精度 PWM 模式: PWM2n0 精度值高 8 位
互补 PWM 模式: PWM 精度值高 8 位

T2nR1L: T2n 精度寄存器 1 低 8 位 (T20R1L/T21R1L)								
Bit	7	6	5	4	3	2	1	0
Name	T2nR1<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR1<7:0>:
双精度 PWM 模式: PWM2n1 精度值低 8 位
互补 PWM 模式: 死区延时值低 8 位

T2nR1H: T2n 精度寄存器 1 高 8 位 (T20R1H/T21R1H)								
Bit	7	6	5	4	3	2	1	0
Name	T2nR1<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR1<15:8>:
双精度 PWM 模式: PWM2n1 精度值高 8 位
互补 PWM 模式: 死区延时值高 8 位

注: 互补 PWM 模式, T2nR1 为 0 时, 死区延时为一个 T_{osc}。

T2nCP0L: T2n 捕捉/比较寄存器 0 低 8 位 (T20CP0L/T21CP0L)								
Bit	7	6	5	4	3	2	1	0
Name	T2nCP0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nCP0<7:0>:
定时/计数器模式: 保留
捕捉模式: T2nCI0 捕捉值低 8 位
比较模式: T2nCO0 比较值低 8 位

T2nCP0H: T2n 捕捉/比较寄存器 0 高 8 位 (T20CP0H/T21CP0H)								
Bit	7	6	5	4	3	2	1	0
Name	T2nCP0<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nCP0<15:8>:
 定时/计数器模式: 保留
 捕捉模式: T20CI0 捕捉值高 8 位
 比较模式: T20CO0 比较值高 8 位

T2nCP1L: T2n 捕捉/比较寄存器 1 低 8 位 (T20CP1L/T21CP1L)								
Bit	7	6	5	4	3	2	1	0
Name	T2nCP1<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nCP1<7:0>:
 定时/计数器模式: 保留
 捕捉模式: T2nCI1 捕捉值低 8 位
 比较模式: T2nCO1 比较值低 8 位

T2nCP1H: T2n 捕捉/比较寄存器 1 高 8 位 (T20CP1H/T21CP1H)								
Bit	7	6	5	4	3	2	1	0
Name	T2nCP1<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nCP1<15:8>:
 定时/计数器模式: 保留
 捕捉模式: T2nCI1 捕捉值高 8 位
 比较模式: T2nCO1 比较值高 8 位

T2nCL: T2n 控制寄存器低 8 位 (T20CL/T21CL)								
Bit	7	6	5	4	3	2	1	0
Name	T2nM<3:0>				—	—	T2nDLYEN	T2nTR
R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 T2nM <3:0>: T2n 工作模式选择位
 0000: 定时器模式 (计数器时钟源为 Fosc)
 0001: 异步计数器模式 (计数器时钟源为 T2nCKI, 或外部时钟 LP 模式的时钟, 可用作简化的 RTC 功能)
 0010: 同步计数器模式 (计数时钟源为 T2nCKI 经 Fosc 同步后的时钟)
 0100: 捕捉模式, 每 1 个脉冲下降沿捕捉
 0101: 捕捉模式, 每 1 个脉冲上升沿捕捉
 0110: 捕捉模式, 每 4 个脉冲上升沿捕捉

- 0111: 捕捉模式, 每 16 个脉冲上升沿捕捉
 - 1000: 比较器模式, 匹配时输出 1
 - 1001: 比较器模式, 匹配时输出 0
 - 1010: 比较器模式, 匹配时输出不改变
 - 1011: 比较器模式, 匹配时复位 T2n, 并触发 ADC 转换
 - 1100: 双精度 PWM 模式
 - 1101: 互补 PWM 模式
 - 其它: 保留
- Bit 3~2 保留
- Bit 1 T2nDLYEN: 使能互补 PWM 死区时间
0: 无死区时间
1: 有死区时间
- Bit 0 T2nTR:
双精度/互补 PWM 模式: PWM 使能位
0: 停止 (波形复位)
1: 使能 (波形产生)

T2nCM: T2n 控制寄存器中 8 位 (T20CM/T21CM)								
Bit	7	6	5	4	3	2	1	0
Name	T2nADEN	T2nADS	T2nOM<1:0>		T2nPRS<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T2nADEN: PWM 沿启动 ADC 使能位
0: 禁止
1: 使能
- Bit 6 T2nADS: PWM 沿启动 ADC 选择位
0: 上升沿
1: 下降沿
- Bit 5~4 T2nOM<1:0>: PWM2n1 和 PWM2n0 输出极性选择位
00: PWM2n0, PWM2n1 高有效
01: PWM2n0 低有效, PWM2n1 高有效
10: PWM2n0 高有效, PWM2n1 低有效
11: PWM2n0, PWM2n1 低有效
- Bit 3~0 T2nPRS<3:0>: T2n 预分频器分频比选择位
0000: 分频比为 1:1
0001: 分频比为 1:2
0010: 分频比为 1:3
0011: 分频比为 1:4
0100: 分频比为 1:5
0101: 分频比为 1:6
0110: 分频比为 1:7
0111: 分频比为 1:8
1000: 分频比为 1:9
1001: 分频比为 1:10

- 1010: 分频比为 1:11
- 1011: 分频比为 1:12
- 1100: 分频比为 1:13
- 1101: 分频比为 1:14
- 1110: 分频比为 1:15
- 1111: 分频比为 1:16

T2nCH: T2n 控制寄存器高 8 位 (T20CH/T21CH)								
Bit	7	6	5	4	3	2	1	0
Name	T2nEN	T2nPOS<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T2nEN : T2n 使能位
 0: 关闭
 1: 使能
- Bit 6~0 T2nPOS<6:0>: T2n 后分频器分频值
 后分频次数 = T2nPOS<6:0> + 1

T2nAS: T2n 自动关断寄存器 (T20AS/T21AS)								
Bit	7	6	5	4	3	2	1	0
Name	ASYNCLKS	ASEN	ASES<1:0>		T2nARS	T2nASF	PSS2nBD<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ASYNCLKS: 异步计数模式时钟选择位
 0: T2nCKI 作为异步计数时钟选择位
 1: 外部晶振的 LP 模式时钟 (32.768KHz, 可用于简化的 RTC 功能)
- Bit 6 ASEN: 自动关断 PWM 使能位
 0: 不会发生自动关断 PWM
 1: 使能自动关断 PWM 功能
- Bit 5~4 ASES<1:0>: 自动关断 PWM 事件选择位
 00: EPAS0 低电平时自动关断 PWM
 01: EPAS1 低电平时自动关断 PWM
 10: PINT 管脚为低电平时自动关断 PWM
 11: PINT 中断发生时关断 PWM
- Bit 3 T2nARS: 自动重启控制位
 0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 EPWM
 1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, EPWM 自动重启
- Bit 2 T2nASF: 自动关断事件标志位
 0: 未发生关断事件
 1: 已经发生关断事件
- Bit 1~0 PSS2nBD<1:0>: 管脚 PWM2n1 和 PWM2n0 关断状态控制位
 00: 端口输出"0"
 01: 端口输出"1"

1x: 端口为三态

T2nPWMSHUT: PWM 自动关断 PINT 管脚选择位 (T20PWMSHUT/T21PWMSHUT)								
Bit	7	6	5	4	3	2	1	0
Name	T2nPWMSHUT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nPWMSHUT<7:0>: PWM 自动关断 PINT 管脚选择位
 PINT0 ~ PINT7 可设置任意多个为, 其中任何一个中断有效都可触发关断
 0: 不触发关断
 1: 触发关断

T2nTMRADC: PWM 沿检测延时寄存器 (T20TMRADC/ T21TMRADC)								
Bit	7	6	5	4	3	2	1	0
Name	TMRADC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TMRADC<7:0>: PWM 沿检测延时时间设置寄存器

T2NOC: T2n 复用输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	P51EN	P50EN	P41EN	P40EN
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留

Bit 3 P51EN: PWM211 输出使能位
 0: 关闭
 1: 使能

Bit 2 P50EN: PWM210 输出使能位
 0: 关闭
 1: 使能

Bit 1 P41EN: PWM201 输出使能位
 0: 关闭
 1: 使能

Bit 0 P40EN: PWM200 输出使能位
 0: 关闭
 1: 使能

T2nCTR: T2n 计数值读取控制寄存器 (T20CTR/T21CTR)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	PMW_CLKS	—	—	RD_READY	RD_TRIG
R/W	—	—	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 保留

Bit 4 **PMW_CLKS**: PWM 时钟源选择位
 0: 系统时钟 Fosc 时钟作为 PWM 时钟源
 1: PLL 64MHz 时钟作为 PWM 时钟源

Bit 3~2 保留

Bit 1 **RD_READY**: 读取计数器值的 READY 标志位
 0: 读数据还没准备好
 1: 计数器数据已准备好, 可读取 T2nL, T2nH 计数器的值 (需软件写 0 清除)

Bit 0 **RD_TRIG**: 读取计数器值的 TRIG 标志位
 0: 不读取计数器的值 (硬件清 0, 软件写 0 无效)
 1: 写 1 触发读取计数器 T2nL, T2nH 的值

注: RD_READY 和 RD_TRIG 位仅在异步计数模式下有效, 在异步计数模式下, 每次读取 T2n 计数器之前, 均需先软件将 RD_TRIG 置 1, 再查询 RD_READY 位为 1 后, 才能读取得到计数器的值, 计数器数据的准备时间, 约 2 个计数时钟周期。

6.2 异步接收发送器 (UART0/UART1/UART2/UART3)

6.2.1 概述

本系列芯片支持 4 组全双工的通用异步接收器发送器 UART0/UART1/UART2/UART3，是与外部设备进行通讯的串行接口，可以很方便的与其它具有串行接口的外部设备通讯。

- ◇ 支持两种工作模式
 - 异步接收器
 - 异步发送器
- ◇ 传输波特率配置
 - 高速模式
 - 低速模式
 - 支持 8/9 位传输数据格式，约定数据从最低位开始接收/发送
- ◇ 支持全双工模式
- ◇ UARTn 支持以下功能组件
 - 接收数据寄存器 RXnB
 - 接收控制寄存器 RXnC
 - 发送数据寄存器 TXnB
 - 发送控制寄存器 TXnC
 - 发送移位寄存器 TXnR（无实际物理地址，不可读写）
 - 波特率寄存器 BRnR
- ◇ 中断和暂停
 - 支持接收中断标志 (RXnIF, 只读)
 - 支持发送中断标志 (TXnIF, 只写)
 - 支持中断处理
 - 在 IDLE 模式下，支持接收/发送中断唤醒
- ◇ 兼容 RS-232/RS-442/RS-485 的通讯接口
- ◇ 两级接收 FIFO

注：文中描述内容为相应型号最大封装资源。

6.2.2 内部结构图

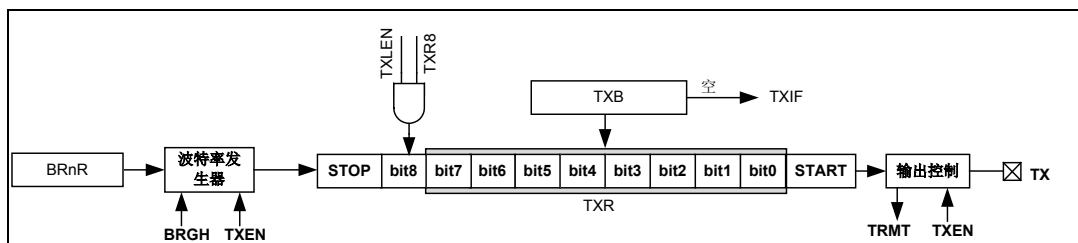


图 6-21 UART 发送端原理图

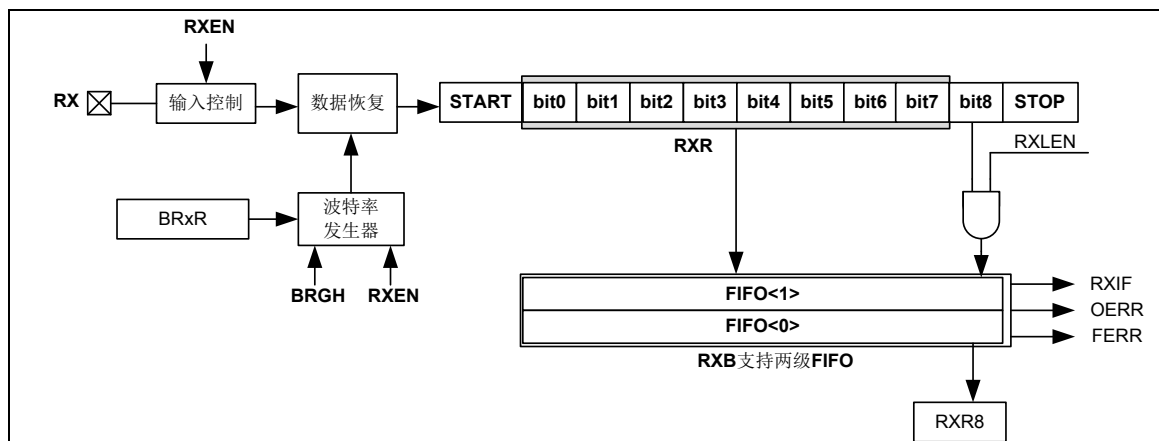


图 6-22 UART 接收端原理图

6.2.3 波特率配置

UARTn 自身具有一个波特率发生器，通过它可以设定数据传输速率。波特率是由一个独立的内部 8 位计数器产生，它由 BRnR 寄存器和 TXnC 寄存器的 BRGHn 来控制。BRGHn 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。

波特率	计算公式	BRGHn
低速模式	$F_{osc}/(64x(BRnR<7:0>+1))$	0
高速模式	$F_{osc}/(16x(BRnR<7:0>+1))$	1

表 6-2 UARTn 波特率配置表

6.2.4 传输数据格式

UARTn 的传输数据格式有两种选择，8 位或 9 位。接收 9 位数据时，读取 RXnC 寄存器中的 RXnR8 位可以得到接收的第 9 位数据。发送 9 位数据时，可通过 TXnC 寄存器中的 TXnR8 位设置将要发送的第 9 位数据。

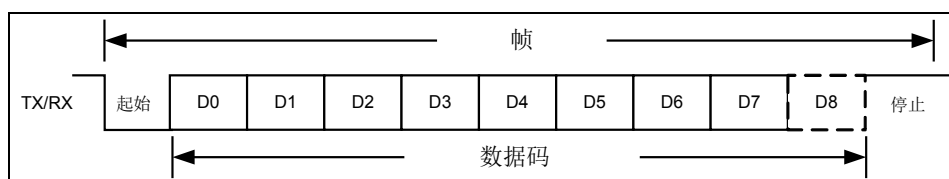


图 6-23 UARTn 数据格式示意图

6.2.5 异步发送器

异步发送器发送数据时，起始位 (START) 和结束位 (STOP) 由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 TXnB 和 TXnR8 内，就能实现异步发送，异步发送器还可以实现数据连续发送。

在发送数据时，必须先使能异步发送器，再写发送数据寄存器 TXnB，否则写入的发送数据无效；如果是 9 位数据格式，则需在使能异步发送器后，先写第 9 位数据 TXnR8，再写 TXnB，否则第 9 位数据可能会发送错误。

支持 1 级发送移位寄存器 TXnR (该寄存器用户不可访问)，在数据发送时，硬件电路将发

送数据寄存器 TXnB 和 TXnR8 中的数据，先传输到发送移位寄存器，再通过发送端口 TXn 进行数据发送。发送移位寄存器 TXnR 为空时，会置起空标志位 TRMTn，再次写入发送数据时，会清零 TRMTn。禁止异步发送 (TXnEN=0) 时，也会置起空标志位 TRMTn。

当前数据发送完毕后，中断标志位 TXnIF 被置“1”。如果发送中断使能位 TXnIE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 UART 发送中断请求。中断标志位 TXnIF 为只读，不可软件清零，在空标志位 TRMTn=0 时，写发送数据寄存器 TXnB，或禁止异步发送 (TXnEN=0) 时，可清零 TXnIF。使能异步发送 (TXnEN=1) 时，在首个数据发送前，也会置起发送中断标志位 TXnIF，第一次写发送数据寄存器 TXnB 后，该数据自动传输至移位寄存器 TXnR，并清零 TRMTn，但不清零 TXnIF，第二次写 TXnB 时，才会清零 TXnIF。

在发送数据时，用户可以通过查询发送移位寄存器空标志位 TRMTn 或发送中断标志位 TXnIF，判断数据是否发送完毕，当 TRMTn=1 或 TXnIF=1 时，可以写入下一个待发送数据；也可以在发送中断服务程序中，写入下一个待发送数据，实现数据的连续发送。

由于 UART 发送器发送端口 TXn 与 I/O 端口复用，在使用 UART 发送端口前，需首先设置所复用的 I/O 端口处于输出状态，并输出高电平。

通过查询空标志位 TRMTn，进行数据发送的操作流程图如下：

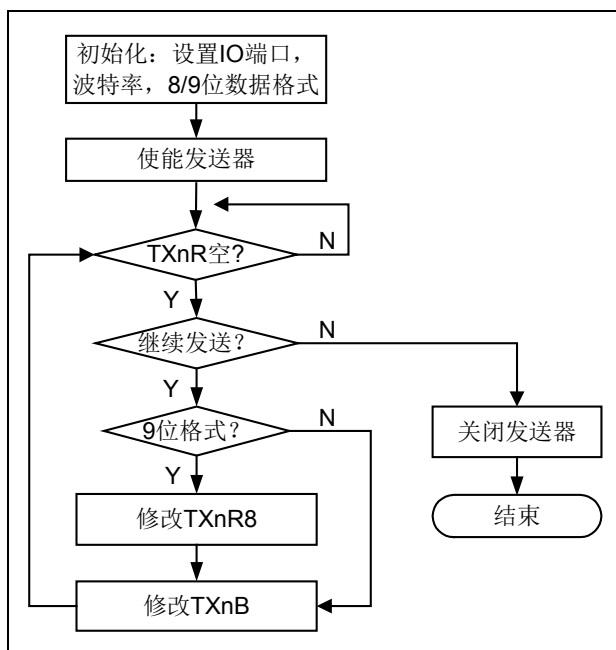


图 6-24 UARTn 发送器操作流程图

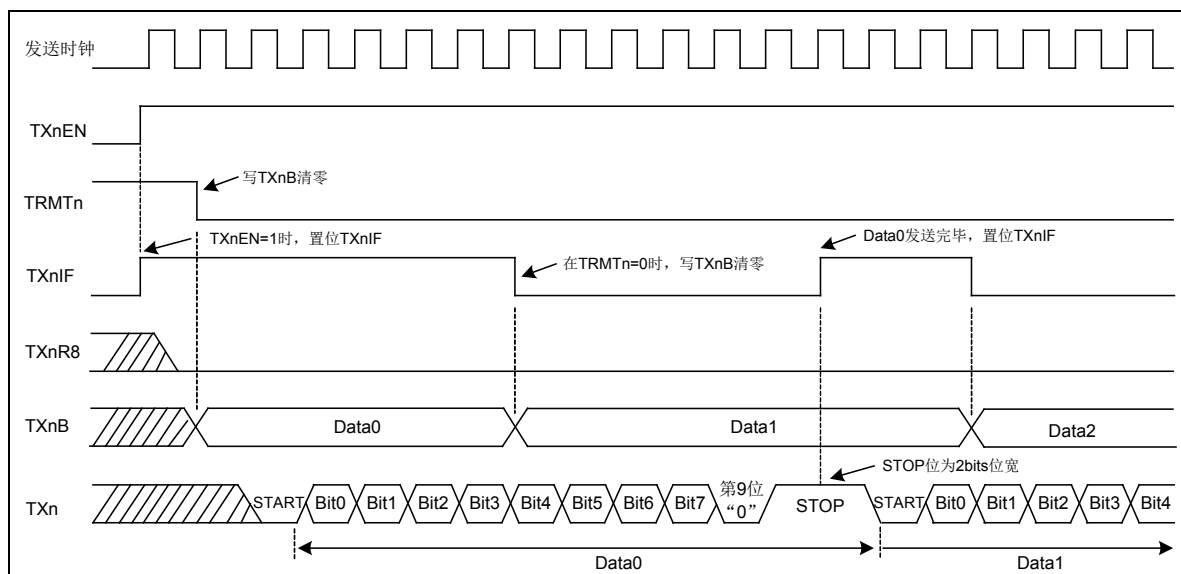


图 6-25 UARTn 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）

6.2.6 异步接收器

异步接收器接收数据时，用户可以查询 $RXnIF$ 中断标志位，来判断是否收到完整的一帧数据，并通过读取接收数据寄存器 $RXnB$ 和 $RXnR8$ 获得数据，也可以在接收中断服务程序中，读取数据。芯片内部提供 2 级 9 位 FIFO 作为接收数据缓冲区（该数据缓冲区用户不可直接访问，需读取 $RXnB$ 来获得缓冲区中的数据），若用户在第 3 个数据接收完毕前，未读取 $RXnB$ ，则溢出标志位 $OERRn$ 将置 1。在一帧数据结束时，如果异步接收器没有接收到结束位 $STOP$ ，则帧格式错误标志位 $FERRn$ 将置 1。

当前数据接收完毕后，中断标志位 $RXnIF$ 被置“1”。如果接收中断使能位 $RXnIE$ 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 UART 接收中断请求。中断标志位 $RXnIF$ 为只读，不可软件清零，读取接收数据寄存器 $RXnB$ ，或禁止异步接收（ $RXnEN=0$ ）时，可清零 $RXnIF$ 。

由于 UART 接收器接收端口 RXn 与 I/O 端口复用，在使用 UART 接收端口前，需首先设置所复用的 I/O 端口处于输入状态。

通过查询中断标志位 $RXnIF$ ，进行数据接收的操作流程图如下：

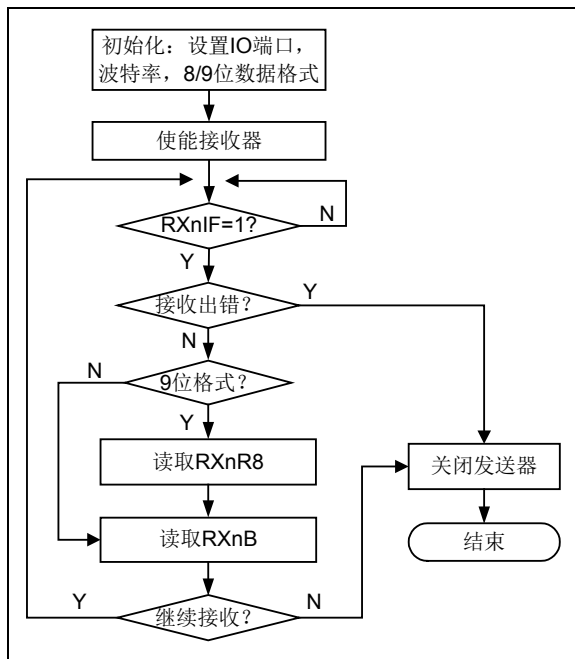


图 6-26 UARTn 接收器操作流程

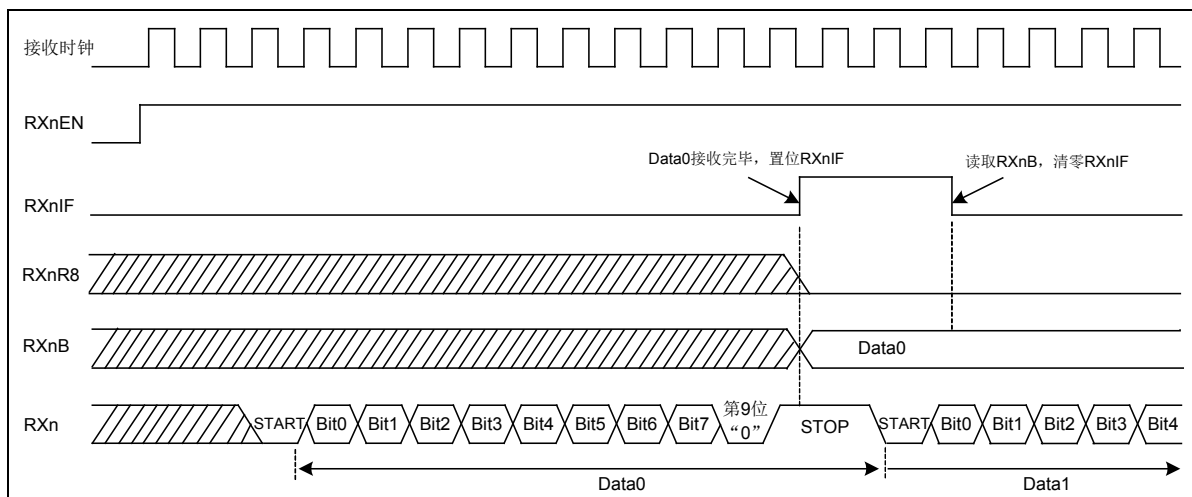


图 6-27 UARTn 接收器接收数据时序图（9 位数据格式）

6.2.7 特殊功能寄存器

BRnR: UARTn 波特率寄存器 (BR0R/BR1R/BR2R/BR3R)								
Bit	7	6	5	4	3	2	1	0
Name	BRnR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 BRnR<7:0>: UARTn 波特率设置, 00_H~FF_H

RXnB: UARTn 接收数据寄存器 (RX0B/RX1B/RX2B/RX3B)								
Bit	7	6	5	4	3	2	1	0
Name	RXnB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 RXnB<7:0>: UARTn 接收到的数据

RXnC: UARTn 接收控制/状态寄存器 (RX0C/RX1C/RX2C/RX3C)								
Bit	7	6	5	4	3	2	1	0
Name	RXnEN	RXnLEN	—	—	—	OERRn	FERRn	RXnR8
R/W	R/W	R/W	—	—	—	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7 RXnEN: 接收器使能位

0: 禁止

1: 使能

Bit 6 RXnLEN: 接收器数据格式选择位

0: 8 位数据接收格式

1: 9 位数据接收格式

Bit 5~3 保留

Bit 2 OERRn: 接收溢出标志位

0: 无溢出错误

1: 有溢出错误 (清 RXnEN 清零)

Bit 1 FERRn: 帧格式错标志位

0: 无帧格式错误

1: 帧格式错 (读 RXnB 清零)

Bit 0 RXnR8: 第 9 位接收数据位

0: 第 9 位数据为 0

1: 第 9 位数据为 1

TXnB: UARTn 发送数据寄存器 (TX0B/TX1B/TX2B/TX3B)								
Bit	7	6	5	4	3	2	1	0
Name	TXnB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TXnB<7:0>: UARTn 发送的数据

TXnC: UARTn 发送控制/状态寄存器 (TX0C/TX1C/TX2C/TX3C)								
Bit	7	6	5	4	3	2	1	0
Name	TXnEN	TXnLEN	BRGHn	—	—	—	TRMTn	TXnR8
R/W	R/W	R/W	R/W	—	—	—	R	R/W
POR	0	0	0	0	0	0	1	0

Bit 7 TXnEN: 发送器使能位

0: 禁止

	1: 使能
Bit 6	TXnLEN: 发送器数据格式选择位
	0: 8 位数据格式
	1: 9 位数据格式
Bit 5	BRGHn: 波特率模式选择位
	0: 低速模式
	1: 高速模式
Bit 4~2	保留
Bit 1	TRMTn: 发送移位寄存器 (TXnR) 空标志位
	0: TXnR 不空
	1: TXnR 空
Bit 0	TXnR8: 第 9 位发送数据设置
	0: 第 9 位数据为 0
	1: 第 9 位数据为 1

6.3 I2C总线从动器 (I2CS)

6.3.1 概述

- ◇ 只支持从动模式
 - 支持 7 位从机地址
 - 支持标准 I2C 总线协议，最大传输速率 400Kbit/s
 - 支持 I2CS 端口 SCL/SDA 开漏或者推挽输出
 - 支持 2 级发送/接收缓冲
 - 支持自动时钟下拉等待功能
 - 支持自动发送“未应答”功能
 - 约定数据从最高位开始接收/发送
- ◇ I2CS 支持以下功能组件
 - 5 位 I2C 采样滤波寄存器 (I2CX16)
 - I2C 控制寄存器 (I2CC)
 - 从机地址寄存器 (I2CSA)
 - 发送数据缓冲器 (I2CTB)
 - 接收数据缓冲器 (I2CRB)
 - 中断使能寄存器 (I2CIEC)
 - 中断标志寄存器 (I2CIFC)
- ◇ 中断和暂停
 - 支持接收“起始位+从机地址匹配+发送应答位”中断标志 (I2CSRIF)
 - 支持接收结束位中断标志 (I2CSPIF)
 - 支持发送空中断标志 (I2CTBIF, 只可读)
 - 支持接收满中断标志 (I2CRBIF, 只可读)
 - 支持发送错误标志 (I2CTEIF)
 - 支持接收溢出中断标志 (I2CROIF)
 - 支持接收未应答标志 (I2CNAIF)
 - 在 IDLE 模式下，暂停接收和发送

6.3.2 I2CS端口配置

型号	I2CTE	I2CS 时钟端口配置	I2CS 数据端口配置
ES7H2023	1	SCL	SDA
	0	PC1/PC7	PC0/PC6
ES7H2024	1	SCL	SDA
	0	PC1	PC0

6.3.3 通讯协议

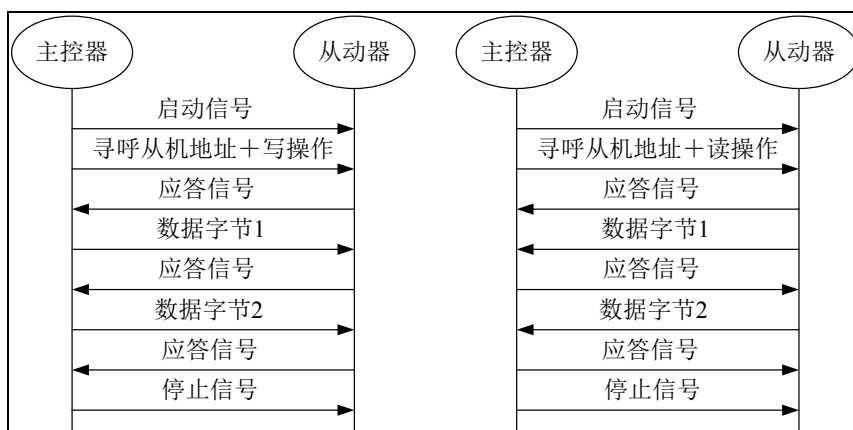


图 6-28 I2C 总线通讯协议示意图

注：I2C 通讯中，必须遵循以下协议

1. 通讯由主控器发起，发送启动信号 S（开始）控制总线，发送停止信号 P（结束）释放总线；
2. 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器，且每一个从动器都必须有一个独立且唯一的寻呼地址；
3. 主控器在发送启动信号后，紧接着寻呼从动器地址以及发送读写方式位；
4. 读写控制位 R/#W（称为方向位）用于通知从动器数据传送的方向，“0”表示这次通讯是由主控器向从动器“写”数据，“1”表示这次通讯是由主控器向从动器“读”数据；
5. I2C 通讯协议支持应答机制，即发送方每传送一个字节的的数据（包括寻呼地址），接收方必须回答一个应答信号（ACK 或者 NACK），发送方再根据应答信号进行下一步的操作；
6. 如果主控器和从动器的时钟线（SCL）都使用开漏设计，且主控器支持时钟线等待请求操作，那么从动器可以在时钟线为低电平时下拉时钟线，使主控器等待从动器，直到从动器释放时钟线；
7. 每个数据字节在传送时都是高位在前。

6.3.4 数据传输格式参考

I2C 存储器的数据传输参考格式如下：

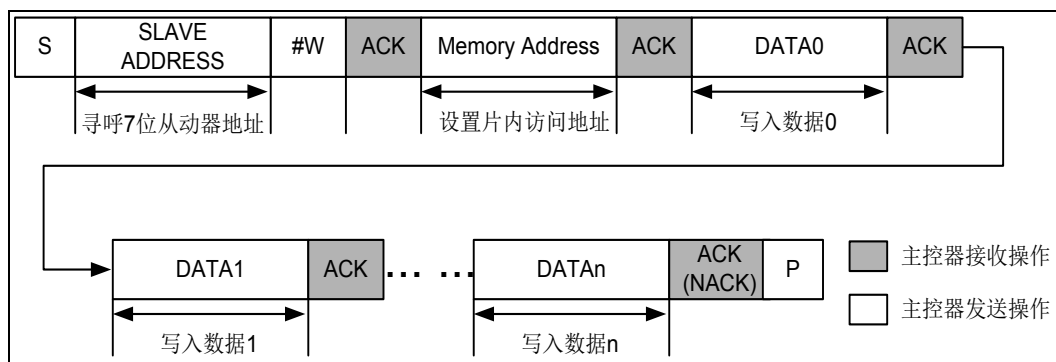


图 6-29 主控器写入从动器数据示意图

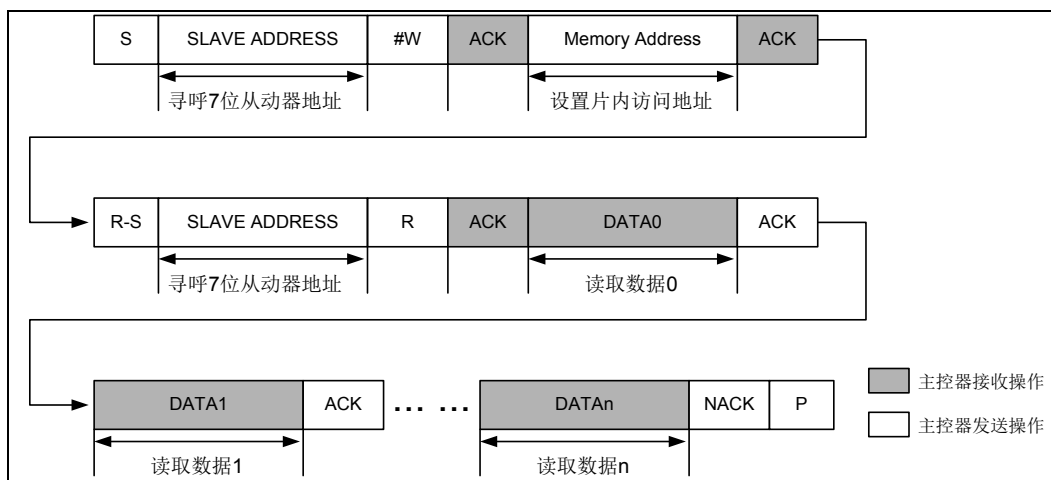


图 6-30 主控器读取从动器数据示意图

6.3.5 中断和暂停

当 I2CSRIF、I2CSPIF、I2CTBIF、I2CRBIF、I2CTEIF、I2CROIF 和 I2CNAIF 中任何一个中断标志位置 1 时, I2C 总中断标志位 I2CIF (INTF2<6>) 就会置 1, 需要软件清零 I2CIF, 在清零 I2CIF 总中断标志位之前, 先清零 I2CSRIF、I2CSPIF、I2CTEIF、I2CROIF 和 I2CNAIF 等相关中断标志位。如果中断使能位 I2CIE (INTE2<6>) 和全局中断使能位 GIE (INTG<7>) 使能, 则产生 I2C 中断, 否则不响应中断。

在 IDLE 模式下, I2CS 模块通讯暂停。

注: GIE、I2CIE 和 I2CIF 位请参考《中断处理》章节中的中断使能寄存器和中断标志寄存器。

6.3.6 特殊功能寄存器

I2CX16: I2C 采样滤波寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	I2CX16<4:0>				
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	—	—	—	0	0	0	0	0

Bit 7~5 保留

Bit 4~0 I2CX16<4:0>: I2C 采样滤波器设置

01_H~1F_H: 通信时钟和数据采样滤波时间为 $T_{osc} \times (I2CX16+1) \times 3$

00_H: 禁止采样滤波

I2CC: I2C 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 I2CTE: 通信端口使能

0: 禁止

1: 使能

- Bit 6 I2CPU: I2C 内部弱上拉使能
0: 禁止
1: 使能 (仅用于内部测试使用, 禁止在芯片应用时设置为 1)
- Bit 5 I2COD: I2C 开漏输出使能
0: 推挽输出
1: 开漏输出
- Bit 4 I2CTAS: I2C 发送应答设置位
0: 发送 ACK
1: 发送 NACK
- Bit 3 I2CANAE: I2C 自动未应答使能位
0: 禁止
1: 使能
- Bit 2 I2CCSE: I2C 时钟下拉等待使能位
0: 禁止
1: 使能
- Bit 1 I2CRST: 软件复位 I2C 模块
0: 禁止
1: 使能
- Bit 0 I2CEN: I2C 使能模块
0: 禁止
1: 使能

注 1: 当 I2C 时钟下拉等待使能时:
当片外主控器寻呼从动器地址+R 时, 若在数据发送之前, 2 级发送数据缓冲器全空, 则在本机地址后的应答位之前下拉时钟线 (此原则在 I2CANAE 不使能的条件下成立); 若在数据发送之后, 2 级发送数据缓冲器全空, 则在从动器接收应答位之后下拉时钟线;
当片外主控器寻呼从动器地址+#W 时, 若在数据接收之前, 且 I2CANAE=0, 2 级接收数据缓冲器全满, 则在本机地址后的应答位之前下拉时钟线; 若在数据接收之后, 2 级接收数据缓冲器全满, 则在从动器发送应答位之前下拉时钟线。

注 2: 当 I2C 自动未应答使能时:
当片外主控器寻呼本机地址+R 时, 若 2 级发送数据缓冲器全空, 则本机地址后的应答位为“NACK”;
当片外主控器寻呼本机地址+#W 时, 若在数据接收之前, 2 级接收数据缓冲器全满时, 本机地址后的应答位为“NACK”; 若在接收数据后, 且 I2CCSE=0, 2 级接收数据缓冲器全满时, 则接收数据后的应答位为“NACK”。

注 3: 如果需要使能 I2C 数据端口 SDA 为内部弱上拉, 可以通过如下方式实现: 设置 I2C 开漏输出使能 I2COD=1, 并且设置复用为 SDA 功能的对应 IO 端口的内部弱上拉控制位为使能 PCPUx=1。

注 4: I2CRST 会复位寄存器 I2CX16, I2CIEC, I2CIFC, I2CTB, I2CRB, 以及 I2C 模块使能控制位 I2CEN。

I2CSA: I2C 地址寄存器									
Bit	7	6	5	4	3	2	1	0	
Name	I2CSADR<6:0>							I2CRW	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
POR	0	0	0	0	0	0	0	0	

Bit 7~1 I2CSADR<6:0>: 从机地址

Bit 0 I2CRW: 从机地址匹配后, 自动更新读/写位

0: 读

1: 写

I2CTB: I2C 发送数据缓冲寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CTB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CTB<7:0>: I2C 发送数据缓冲寄存器

注: 第一个需要发送的数据, 在发送使能前写入发送数据缓冲器。

I2CRB: I2C 接收数据缓冲寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CRB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CRB<7:0>: I2C 接收数据缓冲寄存器

I2CIEC: I2C 中断使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	0	0	0	0	0	0	0

Bit 7 保留

Bit 6 I2CNAIE: I2C 接收未应答中断使能位

0: 禁止

1: 使能

Bit 5 I2CROIE: I2C 接收溢出中断使能

0: 禁止

1: 使能

Bit 4 I2CTEIE: I2C 发送错误中断使能

0: 禁止

1: 使能

Bit 3 I2CRBIE: I2C 接收满中断使能位

0: 禁止

1: 使能

Bit 2 I2CTBIE: I2C 发送缓冲器未中断使能位

0: 禁止

1: 使能

Bit 1 I2CSPIE: I2C 接收结束位中断使能位

0: 禁止

1: 使能

Bit 0 I2CSRIE: I2C 接收“起始位+从机地址匹配+发送应答位”中断使能位
0: 禁止
1: 使能

I2CIFC: I2C 中断使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF
R/W	—	R/W	R/W	R/W	R	R	R/W	R/W
POR	—	0	0	0	0	1	0	0

Bit 7 保留

Bit 6 I2CNAIF: I2C 接收未应答中断标志位
0: 未接收或者未发送 NACK
1: 接收或发送 NACK，产生中断标志（软件清零）

Bit 5 I2CROIF: I2C 接收溢出中断标志
0: 2 级接收数据缓冲器和 I2C 移位寄存器未全满
1: 2 级接收数据缓冲器和 I2C 移位寄存器全满，产生中断标志（软件清零）

Bit 4 I2CTEIF: I2C 发送错误中断标志
0: 主机读从机数据操作正常
1: 2 级发送数据缓冲器全空，主机继续读从机数据，产生中断标志（软件清零）

Bit 3 I2CRBIF: I2C 接收满中断标志
0: 2 级接收数据缓冲器未空
1: 2 级接收数据缓冲器未空时，产生中断标志

Bit 2 I2CTBIF: I2C 发送缓冲器未空中断标志位
0: 2 级发送数据缓冲器满
1: 2 级发送数据缓冲器未空时，产生中断标志

Bit 1 I2CSPIF: I2C 接收结束位中断标志位
0: 未接收到结束位
1: 接收到结束位，产生中断标志（软件清零）

Bit 0 I2CSRIF: I2C 接收“起始位+从机地址匹配+发送应答位”中断标志位
0: 未接收到“起始位+地址位且地址匹配+发送应答位”
1: 接收到“起始位+地址位且地址匹配+发送应答位”，产生中断标志（软件清零）

注 1: 清总中断标志位 I2CIF 前，先清除 I2CIFC 寄存器的相关中断标志位；
注 2: 连续接收数据超过 2 个时，发生接收溢出，并且第 3 个接收数据会丢失；
注 3: I2C 模块在每帧数据发送完成后，接收到结束位时，硬件自动清零发送缓冲寄存器。

6.4 模/数转换器模块 (ADC)

6.4.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。

本系列芯片最多支持 12-bit x(12+2)通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◇ 模/数转换器特性

- 12 位 AD 采样精度
- 最多 12+2 个模拟输入通道可选
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 可配置 AD 采样时间
- 支持高/低速转换选择
- 多种转换时钟频率可选
- 可配置多种参考源
- 支持电源电压检测，常温条件下电源分压比 (VDD/4) 精度为±1.5%

◇ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCCL, ADCCM, ADCCH)
- 数模端口控制寄存器 PAS, PCS, PES

◇ 中断和暂停

- 支持 AD 转换中断
- 在 IDLE 模式下，当使用 LRC 时钟源时，ADC 保持工作，但其中断不可唤醒 CPU

6.4.2 ADC 内部结构图

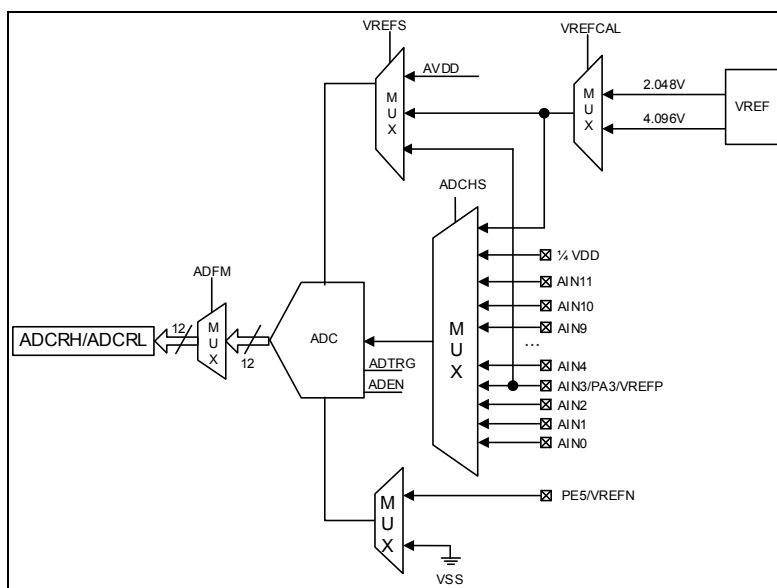


图 6-31 ADC 内部结构图

6.4.3 ADC配置

ADC 电路使用前，根据需要对以下几个方面进行正确的配置，才可得到正确转换结果。

时钟选择

ADC 转换时钟频率可选 F_{osc} 、 $F_{osc}/2$ 、 $F_{osc}/4$ 、 $F_{osc}/8$ 、 $F_{osc}/16$ 、 $F_{osc}/32$ 、 $F_{osc}/64$ 或 LRC，可通过 ADCKS<2:0>寄存器选择所需要的时钟。

参考电压选择

ADC 电路正向参考电压可通过 VREFPS <1:0>位选择 AVDD、2.048V、4.096V 或 VREFP 复用端口。其中 2.048V 和 4.096V 是片内集成参考电压源，出厂前，在常温下已校准。

采样时间选择

硬件采样，可通过 ADCCH 寄存器中的 ADST<1:0>位选择 2/4/8/16 个 Tadclk 四种采样时间。

软件采样，SMPS 位设置为 0，使能软件采样时，采样时间长度由软件等待时间决定。在将 SMPON 位置 1 使能 ADC 采样后，软件可等待任意长时间，再将 SMPON 清零来结束当前采样。

复用端口类型选择

本系列芯片中 ADC 电路的所有模拟输入通道 AINx、参考电压外部输入脚均和 PA/PC/PE 端口复用，在使用 ADC 电路转换前，须先将所使用的管脚通过 PAS/PCS/PES 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前，需先选择 A/D 模拟通道。本系列芯片 ADC 电路最多支持 12 个外部通道、1 个内部参考电压 VREF 和一个 1/4VDD 电压可选，外部通道分别为 AIN0~AIN11。A/D 模拟通道选择哪个通道可通过 ADCCL 寄存器中的 ADCHS<3:0>位选择。

1/4VDD 电压通道可用于电源电压监控等运用。

对齐方式选择

本系列芯片 ADC 电路转换的结果支持两种对齐方式，低位对齐和高位对齐，可通过 ADCCH 寄存器中的 ADFM 位进行选择。

6.4.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤，实际应用中还需要考虑 ADC 自身工作的建立(参见寄存器 ADCCL 后面的备注描述内容)。

Step 1: 选择 ADC 转换时钟，通过 ADCCH 寄存器中的 ADCKS<2:0>选择 ADC 转换时钟。

Step 2: 选择 ADC 参考电压源，通过 ADCCM 寄存器中的 VREFPS 和 VREFNS 位进行选择。

Step 3: 选择 ADC 采样时间，通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST<1:0>设定。

Step 4: 设置复用端口设为模拟类型，即选择哪些管脚作为 ADC 转换输入管脚，由端口类型选择寄存器 PAS、PBS 控制选择。

Step 5: 选择模拟信号输入通道 AINx，通过 ADCCL 寄存器中的 ADCHS<3:0>选择 ADC 模拟通道。

Step 6: 设置转换结果对齐方式，通过 ADCCH 寄存器中的 ADFM 位，选择高位对齐放置还是低位对齐放置。

Step 7: 如果要使用中断，则中断控制寄存器需要正确地设置，以确保 ADC 中断功能被正确激活。在默认中断模式时，需将全局中断使能位/高优先级中断使能位 GIE 置“1”，将 ADC 中断使能位置“1”；在向量中断模式时，需将全局中断使能位/高优先级中断使能位 GIE 置“1”，根据 ADC 中断所在组的优先级决定是否要开启低优先级中断使能位 GIEL，将 ADC 中断使能位置“1”。

Step 8: 使能 ADC 电路，将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 9: 将 ADCCL 寄存器中的 ADC 转换启动位 ADTRG 位设置为“1”，开始 ADC 转换。

Step 10: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位，确定此次 ADC 转换是否完成。

Step 11: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

6.4.5 ADC时序特征示意图

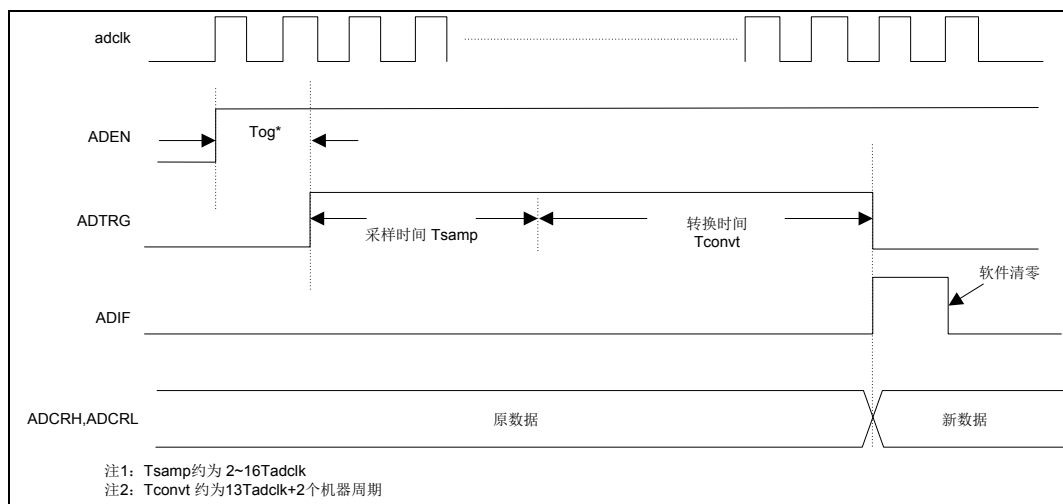


图 6-32 ADC 时序特征示意图

注 1: $Tog > 30\mu s$;

注 2: AD 转换时钟周期 $Tadclk$ ，可通过 ADCKS<2:0>寄存器配置不同的频率。

注 3: ADC 时钟周期 $Tadclk \geq 0.5\mu s$ ，ADC 转换时间表参考附录所示。

6.4.6 特殊功能寄存器

ADCR	ADCRH								ADCRL							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	—	—	—	—

Bit 11~0 D11~D0: ADC 转换结果

ADCCL: ADC 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	1	0	0

- Bit 7~4 ADCHS<3:0>: A/D 模拟通道选择位
 0000: 通道 0 (AIN0)
 0001: 通道 1 (AIN1)
 0010: 通道 2 (AIN2)
 0011: 通道 3 (AIN3)
 0100: 通道 4 (AIN4)
 0101: 通道 5 (AIN5)
 0110: 通道 6 (AIN6)
 0111: 通道 7 (AIN7)
 1000: 通道 8 (AIN8)
 1001: 通道 9 (AIN9)
 1010: 通道 10 (AIN10)
 1011: 通道 11 (AIN11)
 1100: VREF (由 ADCCM 寄存器的 VREFSEL<1:0>选取参考电压值)
 1101: 1/4 VDD
 1110: 保留
 1111: 保留
- Bit 3 SMPON: A/D 采样软件控制位
 0: 结束采样
 1: 启动采样
- Bit2 SMPS: A/D 采样模式选择位
 0: 使能软件采样, 硬件采样禁止
 1: 禁止软件采样, 硬件采样使能
- Bit 1 ADTRG: ADC 转换启动位
 0: ADC 未进行转换, 或 A/D 转换已完成
 1: ADC 转换正在进行, 该位置 1 启动 A/D 转换
 当 SMPS=1 时, 该位软件置 1 启动 A/D 采样转换
 当 SMPS=0 时, SMPON=1 启动采样, 该位硬件自动置 1
- Bit 0 ADEN: ADC 使能位
 0: 关闭
 1: 使能

注 1: 在 ADEN 使能后, ADC 需要先完成自身工作建立, 才能得到正确的转换结果。ADC 电路工作建立方式为, ADEN 使能后, 延时 30us 以上, 启动第一次 ADC 转换 (ADTRG=1), 转换结束后, 再延时 100us 以上, ADC 工作建立完成, 后续启动 ADC 转换, 即可得到正确的转换结果。对应用程序来说, 在 ADEN 使能后, 第一次 ADC 转换前和转换后, 分别添加至少 30us 和 100us 延时, 同时因 ADC 建立过程中得到的转换结果与理论值偏差极大且不可预知, 所以在应用程序中需要丢弃 ADEN 使能后的第一次转换结果;

注 2: 因每次 ADEN 重新使能后, 均需要执行上述 ADC 工作建立过程, 所以应用中, 在芯片正常运行时不建议关闭 ADC, 保持 ADEN=1, 只在进入 IDLE 休眠模式前, 可以关闭 ADC。

ADCCM: ADC 控制寄存器中 8 位								
Bit	7	6	5	4	3	2	1	0
Name	—	VREFPS<1:0>		VREFNS	—	—	VREFSEL<1:0>	
R/W	—	R/W	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	1

Bit 7 保留

Bit 6~5 VREFPS<1:0>: 正参考电压选择位

00: VREFP 选用 VDD

01: VREFP 选用 VREF 内部参考电压。参考电压的值可由 VREFSEL<1:0>配置。

10: VREFP 选用来自 PA3 端口外部参考电压, 该电压不能低于 1.8V@VDD=5.0V, 1.4V@VDD=3.3V

11: 保留

Bit 4 VREFNS: 负参考电压选择位

0: 选择 VSS

1: 选择来自 PE5 端口的的外部参考电压

Bit 3~2 保留

Bit 1~0 VREFSEL<1:0>: 参考电压选择位

00: 禁止设置

01: 2.048V (支持电源电压范围 2.4V~5.5V) (缺省值)

10: 4.096V (支持电源电压范围 4.5V~5.5V)

11: 2.048V (支持电源电压范围 2.4V~5.5V)

注: VREF 内部参考电压值, 请参考“附录 3.1.7 芯片功能模块特性”章节中的 ADC 内部参考电压特性表。

ADCCH: ADC 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCKS<2:0>			ADST<1:0>		ADVCMHS	ADHSEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	0	1	0	1	1

Bit 7 ADFM: 结果对齐方式选择位

0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)

1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)

Bit 6~4 ADCKS<2:0>: A/D 转换时钟频率 (Tadclk) 选择位

000: Fosc

001: Fosc/2

010: Fosc/4

011: Fosc/8

100: Fosc/16

101: Fosc/32

110: Fosc/64

111: LRC 时钟

Bit 3~2 ADST<1:0>: A/D 采样时间选择位

00: 2 个 Tadclk

- 01: 4 个 Tadclk
- 10: 8 个 Tadclk
- 11: 16 个 Tadclk
- Bit 1 ADVCMHS: AD VCM 高速模式控制位（必须软件设置为 1，使能高速模式）
 - 0: 禁止
 - 1: 使能
- Bit 0 ADHSEN: AD 转换速度控制位（推荐软件设置为 0，低速模式）
 - 0: 低速
 - 1: 高速

注：推荐设置 ADHSEN=0，否则 IDLE 睡眠模式功耗会增大约 0.8uA，模拟小信号 ADC offset 偏差也会增大。

6.5 低电压检测模块 (LVD)

6.5.1 概述

本系列芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMC 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能就会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

6.5.2 LVD操作

LVD 功能的使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零时，LVD 功能禁能。当 LVDEN 位置高时，LVD 功能使能。LVD 模块将电源电压 VDD 与预先设定的阈值电压进行比较，比较结果通过 LVDC 寄存器的 LVDO 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDVS 配置，当检测电源电压 VDD 时，预置电压阈值范围为 2.2V~4.6V。当目标电压低于预置电压阈值时，LVDO 位被置高，表明检测到低电压产生。当 LVDO 变化时，产生 LVD 中断标志，触发 LVD 中断标志的条件可选择为 LVDO 上升沿产生、LVDO 下降沿产生和 LVDO 上升沿或下降沿都产生。当 LVD 中断使能开启时产生 LVD 中断请求。在睡眠模式下 LVD 中断可唤醒芯片。

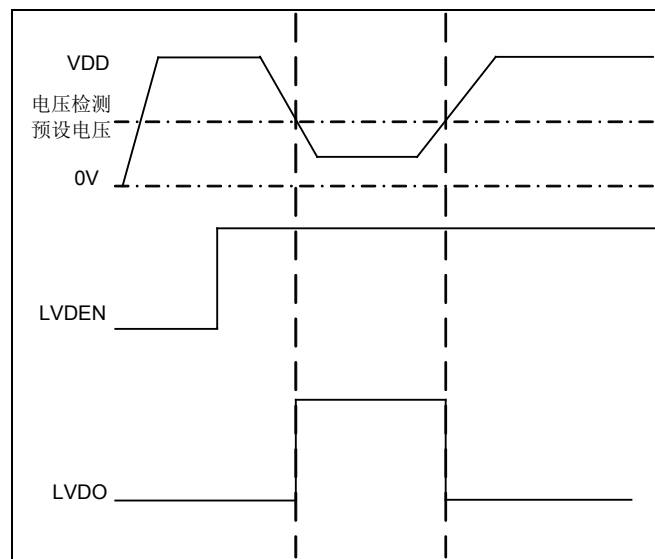


图 6-33 LVD 工作时序图

6.5.3 特殊功能寄存器

LVDCL: LVD 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LVDFLTEN	LVDIFS<1:0>		LVDO	LVDEN
R/W	—	—	—	R/W	R/W	R/W	R	R/W
POR	0	0	0	0	0	0	x	0

- Bit 7~5 保留
- Bit 4 LVDFLTEN: LVD 滤波器使能
0: 禁止
1: 使能
- Bit 3~2 LVDIFS <1:0>: LVD 中断标志产生模式选择位
00: LVDO 上升沿产生中断
01: LVDO 下降沿产生中断
10: LVDO 上升或下降沿都产生中断
11: 保留
- Bit 1 LVDO: LVD 输出状态位
0: 被监测电压高于电压阈值
1: 被监测电压低于电压阈值
- Bit 0 LVDEN: LVD 使能位
0: 禁止
1: 使能

注 1: 当 IAP 擦除或编程时, 为防止误擦或误编程, 建议使能 LVD, 在 LVD 有效时, 自动退出 IAP 操作;
注 2: 当 LVD 滤波器使能时, 约 200us 宽度的 LVD 低压信号被滤除。为防止误编程、误擦除, 建议禁止 LVD 滤波。

LVDCH: LVD 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	LVDVS<3:0>				—	—	—	—
R/W	R/W	R/W	R/W	R/W	—	—	—	—
POR	0	0	0	0	0	0	0	0

- Bit 7~4 LVDVS<3:0>: LVD 触发电压选择
0000: 保留 (default)
0001: 保留
0010: 2.2V
0011: 2.4V
0100: 2.6V
0101: 2.8V
0110: 3.0V
0111: 3.6V
1000: 4.0V
1001: 4.6V
1010: 保留
1111: 保留
- Bit 3~0 保留

6.6 偏置电压产生模块 (VGEN)

6.6.1 概述

- ◇ 支持低速和高速模式
- ◇ 支持 GND, 1/2VDD 和 VDD 偏置电压可选
- ◇ 每个偏置电压端口的偏置电压可独立配置

VGEN 仅用于 8 个大电流端口产生 1/2 偏置电压输出。可用于实现 LCD 驱动，通过软件来模拟产生驱动波形。

PB0~PB7 管脚用于产生 LCD 偏置电压时，需注意不能与阻性负载共用管脚，防止偏置电压被拉低；为保证 LCD 驱动显式效果，也不建议与容性负载共用管脚。PB0~PB7 功能复用管脚用于非 LCD 驱动功能时，需设置 VBIAS_SELx 关闭偏置电压通道。

6.6.2 内部结构图

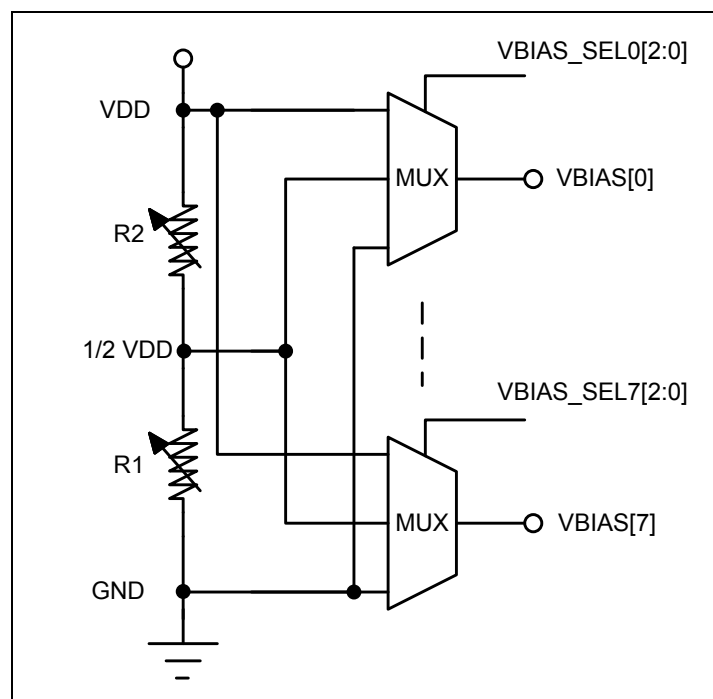


图 6-34 LCD 偏置电压产生模块框图

6.6.3 LCD 偏置电压基本设置

若未使用 LCD 偏置电压产生模块，禁止使能，以关闭 LCD 偏置电压产生电路至 IO 的输出通道，防止产生过大的工作电流。

LCD 偏置电压产生的基本配置：

1. 设置 PBS 寄存器，设置相应的端口为模拟端口。
2. 设置 VBIAS0 控制寄存器的 VBIAS_HS 位，设置为高速或低速模式。
高速模式 R1~R2 电阻阻值分别为 3K Ω 。
低速模式 R1~R2 电阻阻值分别为 30K Ω 。

3. 设置各个端口的偏置初值。
4. 设置 VBIAS0 控制寄存器的 VBIAS_EN，使能 LCD 偏置电压产生电路。
5. 通过软件，使用定时器等资源，定期调整各个偏置电压端口的偏置值。

6.6.4 偏置电压选择

对各偏置电压输出端口，可通过 VBIAS_SELx 配置，获得 1/2 偏置电压驱动模式。内部偏置电压参考源为电源电压 VDD：

- ◇ 1/2 偏置（3 种电压等级：VSS、1/2VDD 和 VDD）

6.6.5 特殊功能寄存器

VBIAS0: 端口偏置电压控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	VBIAS_HS	VBIAS_SEL1<2:0>			VBIAS_EN	VBIAS_SEL0<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 VBIAS_HS: 高低速模式选择位
 0: 低速模式
 1: 高速模式
- Bit 6~4 VBIAS_SEL1<2:0>: PB1 偏置电压控制位
 000: GND
 001: 保留
 010: 1/2 VDD
 011: 保留
 100: VDD
 其它: 关闭偏置电压通道
- Bit 3 VBIAS_EN: 分压偏置输出使能位
 0: 禁止
 1: 使能
- Bit 2~0 VBIAS_SEL0<2:0>: PB0 偏置电压控制位
 000: GND
 001: 保留
 010: 1/2 VDD
 011: 保留
 100: VDD
 其它: 关闭偏置电压通道

VBIAS1: 偏置电压端口电压控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	VBIAS_SEL3<2:0>			—	VBIAS_SEL2<2:0>		
R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 保留
- Bit 6~4 VBIAS_SEL3<2:0>: PB3 偏置电压控制位
 000: GND
 001: 保留
 010: 1/2 VDD
 011: 保留
 100: VDD
 其它: 关闭偏置电压通道
- Bit 3 保留
- Bit 2~0 VBIAS_SEL2<2:0>: PB2 偏置电压控制位
 000: GND
 001: 保留
 010: 1/2 VDD
 011: 保留
 100: VDD
 其它: 关闭偏置电压通道

VBIAS2: 偏置电压端口偏置电压控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	VBIAS_SEL5<2:0>			—	VBIAS_SEL4<2:0>		
R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 保留
- Bit 6~4 VBIAS_SEL5<2:0>: PB5 偏置电压控制位
 000: GND
 001: 保留
 010: 1/2 VDD
 011: 保留
 100: VDD
 其它: 关闭偏置电压通道
- Bit 3 保留
- Bit 2~0 VBIAS_SEL4<2:0>: PB4 偏置电压控制位
 000: GND
 001: 保留
 010: 1/2 VDD
 011: 保留
 100 : VDD
 其它: 关闭偏置电压通道

VBIAS3: 偏置电压端口偏置电压控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	VBIAS_SEL7<2:0>			—	VBIAS_SEL6<2:0>		
R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 保留

Bit 6~4 VBIAS_SEL7<2:0>: PB7 偏置电压控制位

000: GND

001: 保留

010: 1/2 VDD

011: 保留

100: VDD

其它: 关闭偏置电压通道

Bit 3 保留

Bit 2~0 VBIAS_SEL6<2:0>: PB6 偏置电压控制位

000: GND

001: 保留

010: 1/2 VDD

011: 保留

100: VDD

其它: 关闭偏置电压通道

6.7 触摸按键控制 (TK)

6.7.1 概述

- ◇ 支持最多 24 个触摸按键，一路按键补偿通道
- ◇ 支持 4MHz、2MHz、1MHz 和 500KHz 共 4 种工作频率
- ◇ 一个 16 位充电计时器对 Cp-Cx 的充放电次数计数
 - 支持 4MHz、2MHz、1MHz 和 500KHz 频率的计数时钟
 - 最大充放电时间约 131ms (500KHz)
 - 该充电计时器用户不可访问
- ◇ 支持触摸按键扫描中断
- ◇ 支持 1 个模拟比较器 ACP，负端参考电压 VREF 可选
可通过 VRC 寄存器的 VRCS<2:0>位选择
- ◇ 支持增强 Cp 充电电流
 - 可通过 TKCTL 寄存器的 TKCHGS 位使能
- ◇ 支持由电压泵给触控按键选择器 AMUX 供电
 - 电源电压 VDD 小于 3V 时，建议使能 AMUX 电压泵，提高 AMUX 供电电压，降低 Cp 充放电阻抗
 - 通过 TKTUN 寄存器的 TKA VS 控制位使能 AMUX 电压泵
- ◇ 支持比较器中断

型号	最大触摸按键数
ES7H2023	24
ES7H2024	12

注 1: 在某些恶劣环境下, 为保证 TK 各按键的触摸灵敏度, 建议不要将复用管脚同时用作 TK 触摸按键输入与 ADC 模拟输入功能。

注 2: TK4 和 TK5 的信噪比相对于其它通道会低。对于某些恶劣环境, 不建议将这两个通道作为 TK 通道。

6.7.2 内部结构图

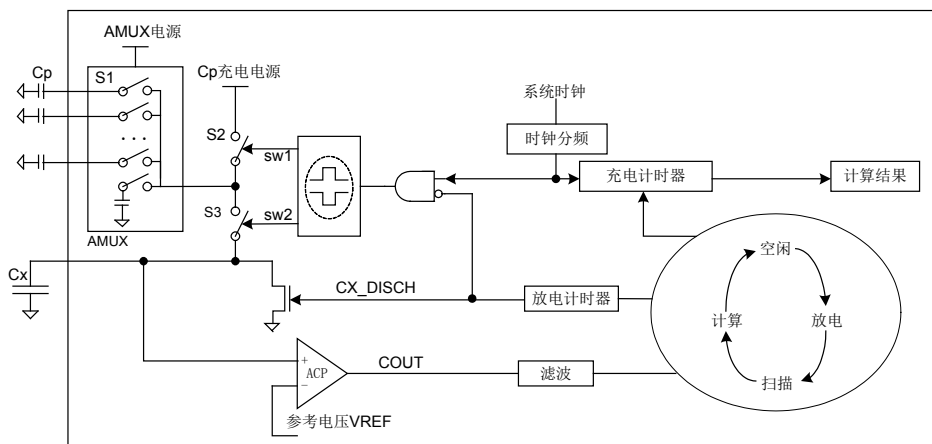


图 6-35 触摸按键触摸结构示意图

6.7.3 触摸按键扫描工作原理

本系列芯片实现一种电容式感应按键检测，电容式感应按键检测方法采用了“电容电荷转移”的工作原理。

在上图中，开关 S1 由按键选通寄存器控制；开关 S2 由脉宽调制后的系统时钟分频信号控制；开关 S3 由脉宽调制后的系统时钟分频信号的互补信号控制。当有手指触摸按键时，相当于增加了一个到地的电容 Cf，实际电容变成 Cp+Cf，相对于未触摸时，电容 Cx 充电的时间将会变短，如下面的触摸状态示意图所示。根据电容 Cx 充电时间的长短，来实现触摸按键的扫描。具体的工作原理如下：

1. S1, S2 闭合, S3 断开, 系统开始对电容 Cp 充电。充电计时器启动, 开始统计电容 Cx 充电的时间。
2. S1, S3 闭合, S2 断开, 电容 Cp 对电容 Cx 放电。
3. 循环往复 1、2 步骤给电容 Cx 充电, 直到电容 Cx 上的电压大于比较器 ACP 负端的参考电压 VREF 时, 模拟比较器 COUT 输出高电平。充电计时器停止计数。
可通过 TKTUN 控制寄存器的 TKCFT<1:0> 设定 COUT 输出的滤波时间, 消除干扰信号的影响, 提高系统稳定性。亦可通过将 VRC 寄存器的 HYSEN 位置 1, 使能模拟比较器 ACP 的输出迟滞功能, 减缓 ACP 输入端电压波动引起的 COUT 信号跳变。
4. 放电计时器输出高电平, 并驱动 N 管导通, 此时 S2, S3 断开, 电容 Cx 开始放电。
(为了保证电容 Cx 放电完全, 可增加放电时间, 即用户可根据电容 Cx 的容量大小, 软件配置不同的放电时间。)
放电计时器的时间长度由 TKTUN 控制寄存器的 TKDIST<2:0> 位设定。
5. 滤波器输出为低电平并且电容 Cx 放电结束时, 若设定为多次采样, 且多次采样还未结束, 则跳转至步骤 1, 开始下一次按键扫描, 否则跳转至步骤 6, 开始计算按键扫描结果。
6. 把统计的一次按键扫描数值或多次按键扫描数值平均值按设定的放大系数进行放大运算, 以便增加当前状态值的噪声容限。同时放电计时器开始电容 Cx 放电的计时。如果没有错误启动和计算溢出, 硬件会自动产生运算结束中断, 并加载 24 位的采样值, 从而完成一次按键扫描。

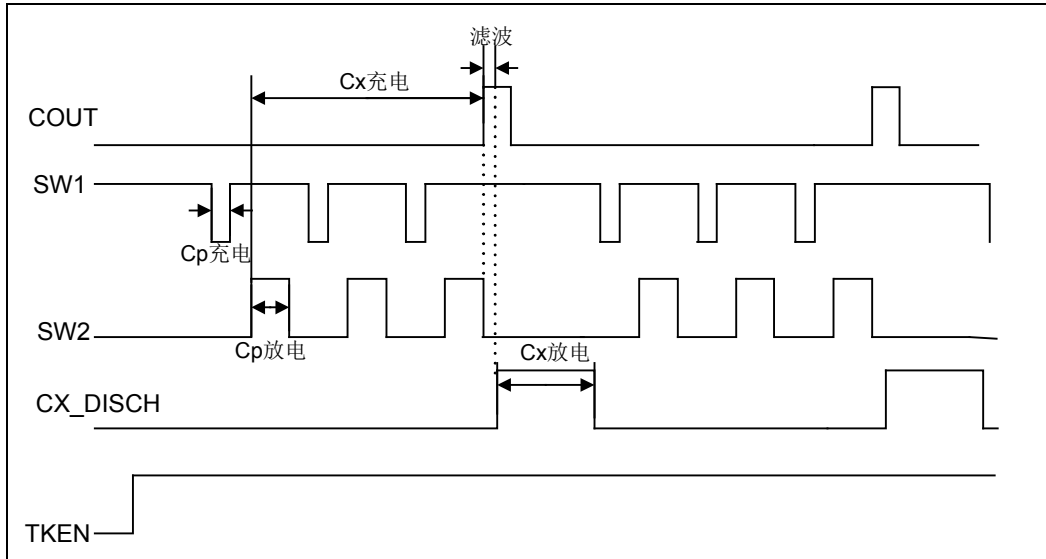


图 6-36 无触摸状态示意图

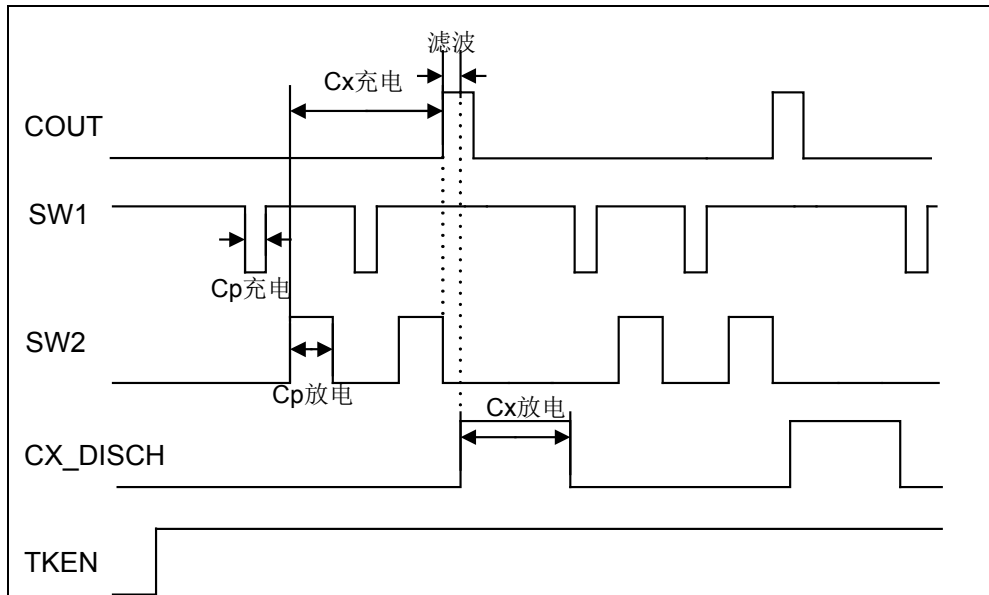


图 6-37 有触摸状态示意图

6.7.4 触摸按键端口控制

当触摸按键模块使能，且 TKCTR 控制位为 1 时，未被选中的按键端口自动设置为数字输出端口，可通过寄存器 TKOUTS0~TKOUTS5 设置未触摸按键的输出状态。每一个未扫描按键的输出状态可独立配置。

6.7.5 触摸按键扫描参考流程

触摸按键扫描操作流程如下所示：

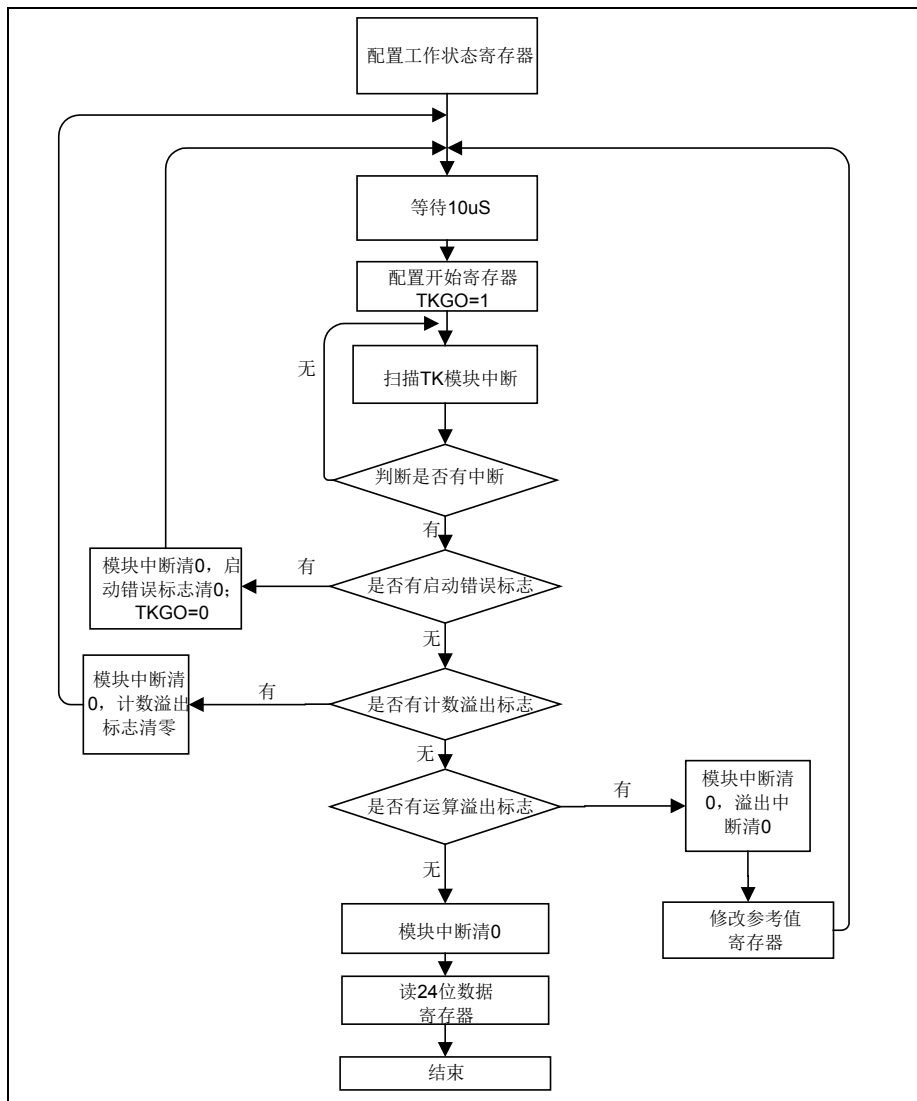


图 6-38 触摸按键操作流程

注 1: TK 启动错误标志 TKERR, 主要用于判断 Cx 放电时间设置和 Cx 电容大小的选择是否合适。

- a) 发生扫描启动错误时, 优先考虑增大 Cx 放电时间: TKGO 写 0 清 TKERR 标志位, 设置 TKDIST 寄存器将放电时间加大; 重新将 TKGO 置 1 启动扫描。
- b) 若即使将放电时间加至最大, 仍然发生扫描启动错误, 需考虑减小 Cx 电容值。
- c) 以上 a) 和 b) 方法在系统调试阶段使用。一旦系统调试稳定, 仍然发生 TK 启动错误问题, 如上图操作流程所示, 不修改放电时间, 通过多次启动, 完成对 Cx 电容的放电。用户可软件设定重复次数, 达到某一设定次数后, 若仍然产生 TKERR 错误, 则报系统错误, 提示硬件故障。

注 2: 充电计时器溢出标志 SCANOV 主要用于判断 TK 工作频率, 模拟比较器参考电压等是否合适。

- a) 设置 TKFS<1:0>适当降低工作频率, 保证 Cp 有足够时间可充电至与 Cx 上电压有足够的压差。
- b) 检查 Cp 充电电压与模拟比较器负端参考电压是否设置合理。如 Cp 充电电压为 2.6V, 则模拟比较器设置为 2.5V 是不合适的, 没有保证足够的压差。

注 3: 运算溢出标志 TKOV 主要用于判断放大系数设置是否合理。

- a) 28 位放大系数为将触摸与非触摸的运算差值放大, 如果运算结果的高位 25~28 位的数据不为零 (此四位用户不可读), 则会发生运算结果溢出, 运算结果溢出标志 TKOV 会置 1。如果运算结果溢出, 也就是 24 位运算结果大于 fffff_H 时, 则应当减小 28 位放大系数寄存器的值。

6.7.6 特殊功能寄存器

TKSEL: 触控按键功能选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TKDUS	TKFS<1:0>		TKCHS<4:0>				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 TKDUS: 模拟充放电开关占空比控制位
 0: 1/4 占空比
 1: 1/2 占空比
- Bit 6~5 TKFS<1:0>: 控制电路工作频率选择位
 00: Fosc/4 (其中 Fosc 为芯片主系统时钟)
 01: Fosc/8
 10: Fosc/16
 11: Fosc/32
- Bit 4~0 TKCHS<4:0>: 按键通道选择位
 00000: 选择 TK0
 00001: 选择 TK1
 00010: 选择 TK2
 00011: 选择 TK3
 00100: 选择 TK4
 00101: 选择 TK5
 00110: 选择 TK6
 00111: 选择 TK7
 01000: 选择 TK8
 01001: 选择 TK9
 01010: 选择 TK10
 01011: 选择 TK11
 01100: 选择 TK12
 01101: 选择 TK13
 01110: 选择 TK14
 01111: 选择 TK15
 10000: 选择 TK16
 10001: 选择 TK17
 10010: 选择 TK18
 10011: 选择 TK19
 10100: 选择 TK20
 10101: 选择 TK21
 10110: 选择 TK22
 10111: 选择 TK23
 11000: 选择补偿通道
 11001~11111: 屏蔽通道选择

注 1: TK 模块工作时, 芯片主系统时钟频率只能是 16MHz, 8MHz, 4MHz 或 2MHz 等为倍数关系的频率。

TKTUN: 触控调整寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TKTMS<1:0>		TKCFT<1:0>		TKDIST<2:0>			TKAVS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 TKTMS<1:0>: 采样次数选择位
 00: 采样 1 次, 结果为 1 次采样的平均值
 01: 采样 4 次, 结果为 4 次采样的平均值
 10: 采样 8 次, 结果为 8 次采样的平均值
 11: 采样 16 次, 结果为 16 次采样的平均值

Bit 5~4 TKCFT<1:0>: 比较器输出滤波时间选择位
 00: 无滤波
 01: 2*Tosc
 10: 4*Tosc
 11: 8*Tosc

Bit 3~1 TKDIST<2:0>: Cx 放电时间选择位
 000: 32*Tosc (2us @16MHz)
 001: 64*Tosc
 010: 128*Tosc
 011: 256*Tosc
 100: 384*Tosc
 101: 512*Tosc
 110~111: 64*Tosc

Bit 0 TKAVS: TK 通道选择 AMUX 的供电电源选择位
 0: 选择 VDD 电源 (默认值)
 1: 选择内部增压泵电源

注 1: 当 TKAVS 使能后,即选择使用内部增压泵电源时,若 TKEN 已提前大于 50us 被使能, 则无需等待时间;
 若 TKEN 和 TKAVS 几乎同时设置为 1, 则需要等待 50us 后内部增压泵电源才可用。

注 2: VDD 电源电压为 3~5V 时, 建议 TKAVS 设置为 0; VDD 小于 3V 时, 建议 TKAVS 设置为 1, 提高 AMUX 的供电电压, 消除电压下降导致的 AMUX 阻抗增大而导致的 Cp 充放电变慢的影响。

TKCTL: 触控控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	TKCHGS	TKCTR	SCANOV	TKERR	TKOV	TKEN	TKGO
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 保留。禁止设置为 1。

Bit 6 TKCHGS: TK 充电增强控制位
 0: 充电电流不增强
 1: 充电电流增强

Bit 5 TKCTR: 未扫描按键输出使能位
 0: 禁止
 1: 使能

- Bit 4 SCANOV: 扫描计数器溢出标志位
 0: 未发生扫描计数器溢出
 1: 发生扫描计数器溢出
- Bit 3 TKERR: 扫描启动错误标志位
 0: 未发生扫描启动错误
 1: 发生扫描启动错误
- Bit 2 TKOV: 运算结果溢出标志位
 0: 本次运算结果未溢出
 1: 本次运算结果溢出
- Bit 1 TKEN: 触摸按键使能控制位
 0: 关闭触摸按键模块
 1: 使能触摸按键模块
- Bit 0 TKGO: 按键启动扫描控制位
 0: 未启动按键扫描
 1: 按键扫描进行中

注 1: 当 TKCTR 被使能时, 相应端口被设置为数字端口, 且其数字输入和输出都被使能。端口输出电平由 TK 开关电平输出控制寄存器 TKOUTSx 设定。软件可比较输出和输入值的不同来判断该触控通道是否存在干扰。并采取相应抗干扰处理。亦可向扫描键的邻近未扫描键输出低电平, 强行将 Cp 放电, 为扫描中的按键提供接地保护 (需 PCB 布线时考虑邻近按键走线的接地保护功能), 提高抗干扰性。

注 2: 当 TKERR 有效, 发生扫描启动错误时, 可尝试将 TKGO 清零, 设置 TKDIST 寄存器将放电时间加大, 然后重新将 TKGO 置 1 启动扫描。若即使将放电时间加至最大, 仍然发生扫描启动错误, 则可能所使用 Cx 电容过大, 可考虑减小该电容值。

注 3: 当 TKEN 信号为 1 时, 工作电流将增加几百 uA, 当不使用 TK 模块时, 建议 TKEN 设置为 0。

注 4: TKGO 置 1 可清除 TKERR, TKOV, 以及 SCANOV 标志位。

TKDAL: 扫描结果寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	TKDA<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 TKDA<7:0>: 扫描结果寄存器低 8 位

TKDAM: 扫描结果寄存器中 8 位								
Bit	7	6	5	4	3	2	1	0
Name	TKDA<15:8>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 TKDA<15:8>: 扫描结果寄存器次中 8 位

TKDAH: 扫描结果寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	TKDA<23:16>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 TKDA<23:16>: 扫描结果寄存器次高 8 位

TKMODL: 放大系数寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	TKMOD<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	1	1	1	1	1	1	1	1

Bit 7~0 TKMOD<7:0>: 放大系数寄存器低 8 位

TKMODM: 放大系数寄存器次低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	TKMOD<15:8>							
R/W	R	R	R	R	R	R	R	R
POR	1	1	1	1	1	1	1	1

Bit 7~0 TKMOD<15:8>: 放大系数寄存器次低 8 位

TKMODH: 放大系数寄存器次高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	TKMOD<23:16>							
R/W	R	R	R	R	R	R	R	R
POR	1	1	1	1	1	1	1	1

Bit 7~0 TKMOD<23:16>: 放大系数寄存器次低高 8 位

TKMODU: 放大系数寄存器高 4 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	TKMOD<27:24>			
R/W	—	—	—	—	R	R	R	R
POR	—	—	—	—	1	1	1	1

Bit 7~4 保留

Bit 3~0 TKMOD<27:24>: 放大系数寄存器高 4 位

注: 放大系数寄存器的作用是将触摸与非触摸的差值放大。

VRC: 内部参考电压控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	VRCS<2:0>			HYSEN
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	—	—	—	—	0	0	0	1

- Bit 7~4 保留
- Bit 3~1 VRCS<2:0>: 内部参考电压选择位
 - 000: 保留
 - 001: 1.5V
 - 010: 1.6V
 - 011: 2.1V
 - 100: 2.2V
 - 101: 2.3V
 - 110: 2.5V
 - 111: 2.6V
- Bit 0 HYSEN: 比较器迟滞使能
 - 0: 禁止
 - 1: 使能

注: 在出厂前, 芯片 2.6V 参考电压已经在常温 25°C, VDD=5.0V 条件下校准。

TKOUTS0: TK 开关电平输出控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	TKOUT3<1:0>		TKOUT2<1:0>		TKOUT1<1:0>		TKOUT0<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 TKOUT3<1:0>: TK3 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号值
- Bit 5~4 TKOUT2<1:0>: TK2 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 3~2 TKOUT1<1:0>: TK1 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit1~0 TKOUT0<1:0>: TK0 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号

TKOUTS1: TK 开关电平输出控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	TKOUT7<1:0>		TKOUT6<1:0>		TKOUT5<1:0>		TKOUT4<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 TKOUT7<1:0>: TK7 开关电平输出控制位
 00: 未扫描按键输出低电平
 01: 未扫描按键输出高电平
 10: 未扫描按键输出为 SW1 信号
 11: 未扫描按键输出为 SW1 的反向信号值
- Bit 5~4 TKOUT6<1:0>: TK6 开关电平输出控制位
 00: 未扫描按键输出低电平
 01: 未扫描按键输出高电平
 10: 未扫描按键输出为 SW1 信号
 11: 未扫描按键输出为 SW1 的反向信号
- Bit 3~2 TKOUT5<1:0>: T5K 开关电平输出控制位
 00: 未扫描按键输出低电平
 01: 未扫描按键输出高电平
 10: 未扫描按键输出为 SW1 信号
 11: 未扫描按键输出为 SW1 的反向信号
- Bit 1~0 TKOUT4<1:0>: TK4 开关电平输出控制位
 00: 未扫描按键输出低电平
 01: 未扫描按键输出高电平
 10: 未扫描按键输出为 SW1 信号
 11: 未扫描按键输出为 SW1 的反向信号

TKOUTS2: TK 开关电平输出控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	TKOUT11<1:0>		TKOUT10<1:0>		TKOUT9<1:0>		TKOUT8<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 TKOUT11<1:0>: TK11 开关电平输出控制位
 00: 未扫描按键输出低电平
 01: 未扫描按键输出高电平
 10: 未扫描按键输出为 SW1 信号
 11: 未扫描按键输出为 SW1 的反向信号值
- Bit 5~4 TKOUT10<1:0>: TK10 开关电平输出控制位
 00: 未扫描按键输出低电平
 01: 未扫描按键输出高电平
 10: 未扫描按键输出为 SW1 信号
 11: 未扫描按键输出为 SW1 的反向信号
- Bit 3~2 TKOUT9<1:0>: TK9 开关电平输出控制位
 00: 未扫描按键输出低电平

- 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 1~0 TKOUT8<1:0>: TK8 开关电平输出控制位
- 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号

TKOUTS3: TK 开关电平输出控制寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	TKOUT15<1:0>		TKOUT14<1:0>		TKOUT13<1:0>		TKOUT12<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 TKOUT15<1:0>: TK15 开关电平输出控制位
- 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号值
- Bit 5~4 TKOUT14<1:0>: TK14 开关电平输出控制位
- 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 3~2 TKOUT13<1:0>: TK13 开关电平输出控制位
- 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 1~0 TKOUT12<1:0>: T12K 开关电平输出控制位
- 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号

TKOUTS4: TK 开关电平输出控制寄存器 4								
Bit	7	6	5	4	3	2	1	0
Name	TKOUT19<1:0>		TKOUT18<1:0>		TKOUT17<1:0>		TKOUT16<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 TKOUT19<1:0>: TK19 开关电平输出控制位
- 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平

- 10: 未扫描按键输出为 SW1 信号
- 11: 未扫描按键输出为 SW1 的反向信号值
- Bit 5~4 TKOUT18<1:0>: TK18 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 3~2 TKOUT17<1:0>: TK17 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 1~0 TKOUT16<1:0>: TK16 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号

TKOUTS5: TK 开关电平输出控制寄存器 5								
Bit	7	6	5	4	3	2	1	0
Name	TKOUT23<1:0>		TKOUT22<1:0>		TKOUT21<1:0>		TKOUT20<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 TKOUT23<1:0>: TK23 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号值
- Bit 5~4 TKOUT22<1:0>: TK22 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 3~2 TKOUT21<1:0>: TK21 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号
- Bit 1~0 TKOUT20<1:0>: TK20 开关电平输出控制位
 - 00: 未扫描按键输出低电平
 - 01: 未扫描按键输出高电平
 - 10: 未扫描按键输出为 SW1 信号
 - 11: 未扫描按键输出为 SW1 的反向信号

第7章 中断处理

7.1 概述

中断是芯片的一个重要功能。它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本系列芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 38 个中断源：1 个软件中断和 37 个硬件中断。

7.2 内部结构

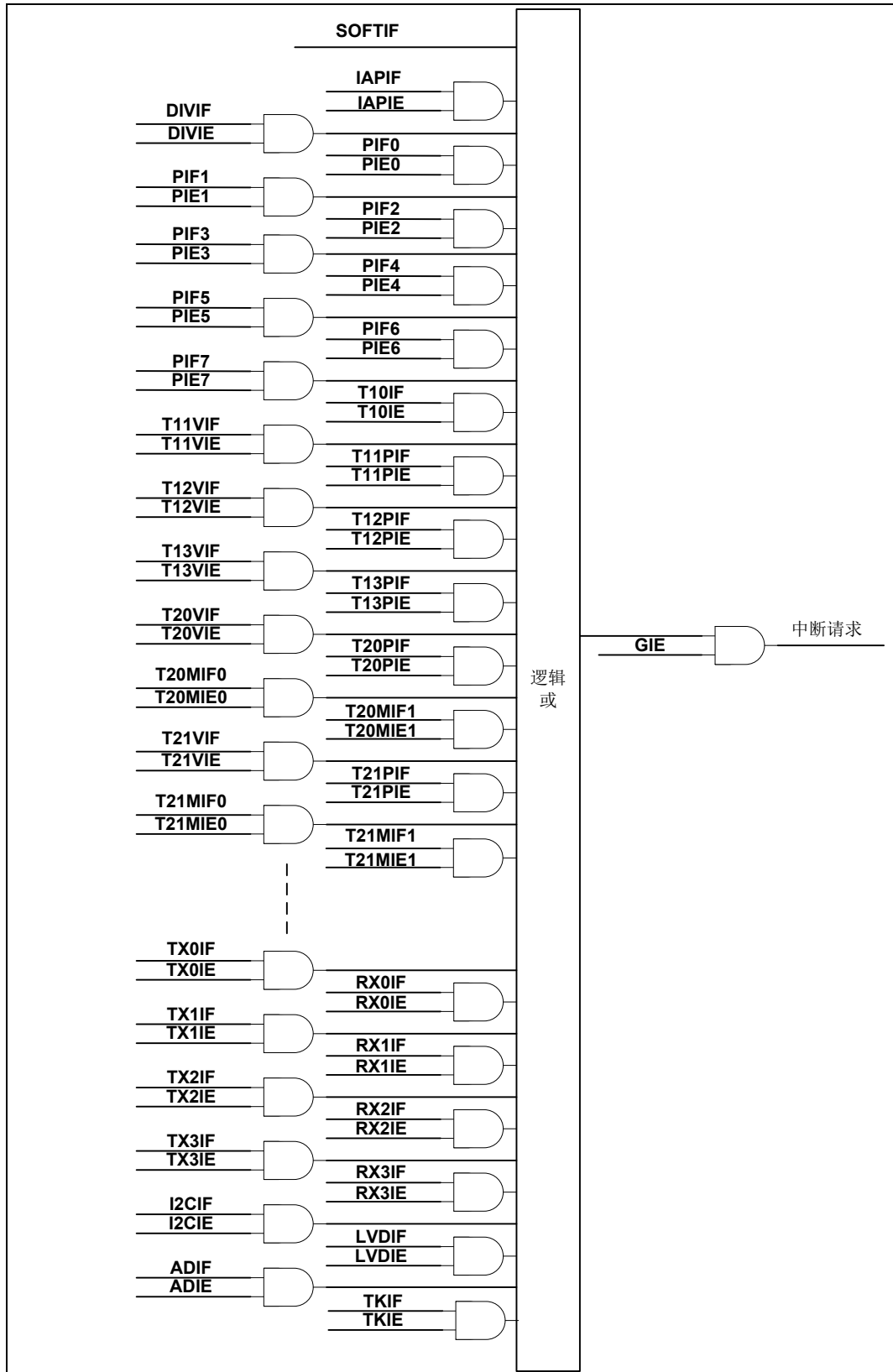


图 7-1 默认中断模式中中断控制逻辑

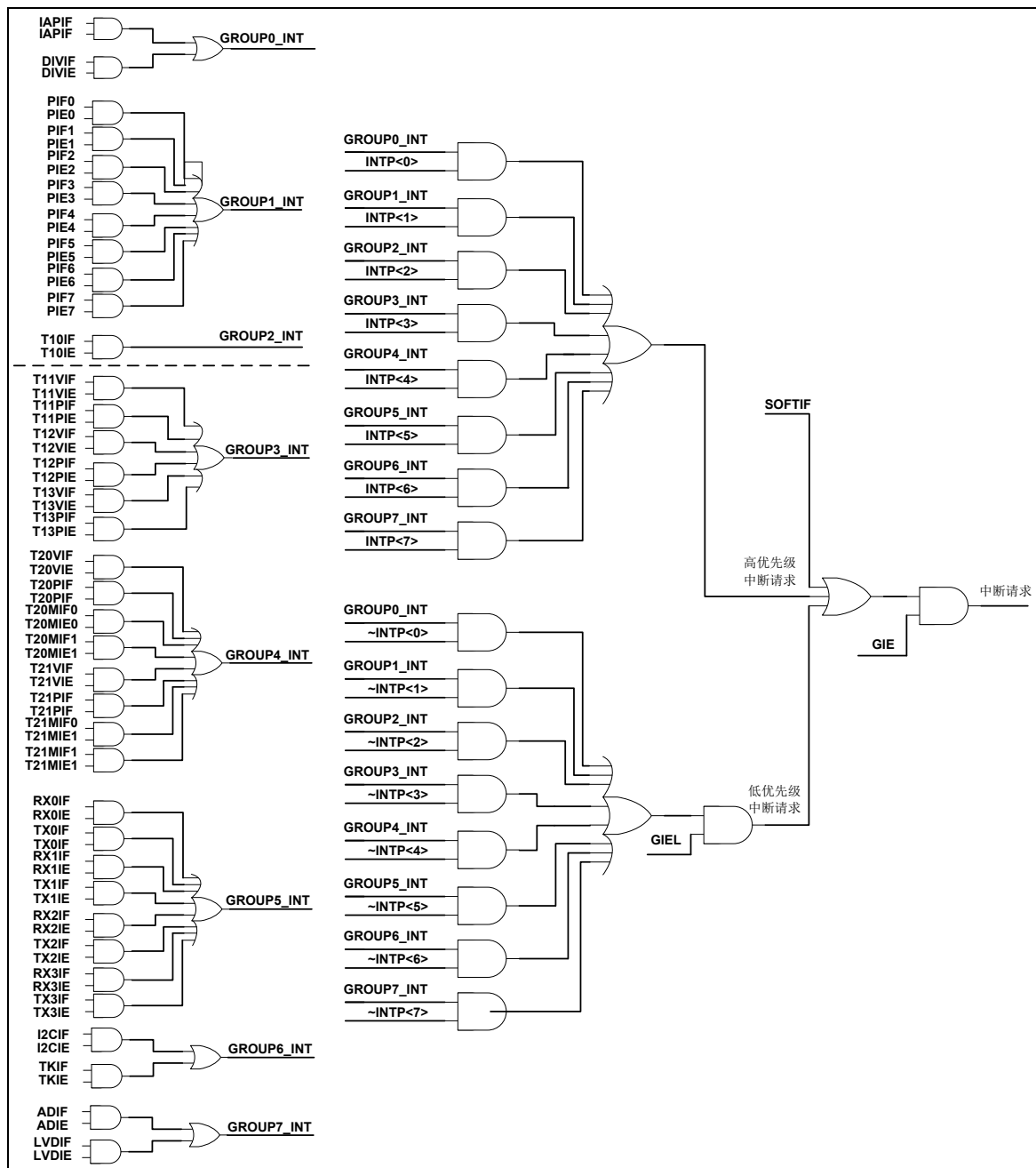


图 7-2 向量中断模式中中断控制逻辑

7.3 中断模式选择

本系列芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN0 位和芯片配置字中的 INTVEN1 位选择。值得注意的是，INTVEN0 和 INTVEN1 只有同时置“1”时，向量中断模式才有效。

INTVEN0 (INTG<2>)	INTVEN1 (芯片配置字 bit 13)	中断模式
0	0	默认中断模式
0	1	
1	0	
1	1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004_H 入口地址，不支持中断优先级和中断嵌套。

向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004_H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

7.3.2 向量中断模式

7.3.2.1 向量表配置

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软件中断入口地址为 0004_H，优先级最高；其它硬件中断分 8 组(IG0~IG7)，通过中断全局寄存器 INTG 中的 INTV<1:0>配置支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过中断优先级寄存器 INTP 中的 IGPx 配置，将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由高优先级中断使能位 GIE 和低优先级中断使能位 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

优先级	0 (高)	1	2	3	4	5	6	7	8 (低)	
入口地址	0004 _H	0008 _H	000C _H	0010 _H	0014 _H	0018 _H	001C _H	0020 _H	0024 _H	
INTV	00	软件中 断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 7-2 中断向量表

7.3.2.2 中断向量分组

中断组号	优先级设置	中断名	对应中断寄存器位	备注
IG0	IGP0	IAPINT	INTE4<1>	—
		DIVINT	INTE1<6>	—
IG1	IGP1	PINT0	INTE2<0>	—
		PINT1	INTE2<1>	—

中断组号	优先级设置	中断名	对应中断寄存器位	备注
		PINT2	INTE2<2>	—
		PINT3	INTE2<3>	—
		PINT4	INTE2<4>	—
		PINT5	INTE2<5>	—
		PINT6	INTE2<6>	—
		PINT7	INTE2<7>	—
IG2	IGP2	T10INT	INTE1<7>	—
IG3	IGP3	T11VINT	INTE1<0>	—
		T11PINT	INTE1<1>	—
		T12VINT	INTE1<2>	—
		T12PINT	INTE1<3>	—
		T13VINT	INTE1<4>	—
		T13PINT	INTE1<5>	—
IG4	IGP4	T20VINT	INTE0<0>	—
		T20PINT	INTE0<1>	—
		T20MINT0	INTE0<2>	—
		T20MINT1	INTE0<3>	—
		T21VINT	INTE0<4>	—
		T21PINT	INTE0<5>	—
		T21MINT0	INTE0<6>	—
		T21MINT1	INTE0<7>	—
IG5	IGP5	RX0INT	INTE3<0>	—
		TX0INT	INTE3<1>	—
		RX1INT	INTE3<2>	—
		TX1INT	INTE3<3>	—
		RX2INT	INTE3<4>	—
		TX2INT	INTE3<5>	—
		RX3INT	INTE3<6>	—
		TX3INT	INTE3<7>	—
IG6	IGP6	I2CINT	INTE4<2>	—
		TKINT	INTE4<0>	—
IG7	IGP7	ADINT	INTE4<3>	—
		LVDINT	INTE4<4>	—

表 7-3 向量中断模式中断分组配置表

7.4 中断使能配置

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
1	软件中断	软件中断	SOFTIF	—	—	—	GIE	SOFTIF 软件置 1
2	硬件除法中断	DIVINT	DIVIF	DIVIE	0	GIEL	GIE	—
					1	—	GIE	—
3	外部中断	PINT0	PIF0	PIE0	0	GIEL	GIE	—
					1	—	GIE	—
4		PINT1	PIF1	PIE1	0	GIEL	GIE	—
					1	—	GIE	—
5		PINT2	PIF2	PIE2	0	GIEL	GIE	—
					1	—	GIE	—
6		PINT3	PIF3	PIE3	0	GIEL	GIE	—
					1	—	GIE	—
7		PINT4	PIF4	PIE4	0	GIEL	GIE	—
					1	—	GIE	—
8		PINT5	PIF5	PIE5	0	GIEL	GIE	—
					1	—	GIE	—
9		PINT6	PIF6	PIE6	0	GIEL	GIE	—
					1	—	GIE	—
10	PINT7	PIF7	PIE7	0	GIEL	GIE	—	
				1	—	GIE	—	
11	T10 溢出中断	T10INT	T10IF	T10IE	0	GIEL	GIE	—
					1	—	GIE	—
12	T11 溢出中断	T11VINT	T11VIF	T11VIE	0	GIEL	GIE	—
					1	—	GIE	—
13	T11 周期中断	T11PINT	T11PIF	T11PIE	0	GIEL	GIE	—
					1	—	GIE	—
14	T12 溢出中断	T12VINT	T12VIF	T12VIE	0	GIEL	GIE	—
					1	—	GIE	—
15	T12 周期中断	T12PINT	T12PIF	T12PIE	0	GIEL	GIE	—
					1	—	GIE	—
16	T13 溢出中断	T13VINT	T13VIF	T13VIE	0	GIEL	GIE	—
					1	—	GIE	—
17	T13 周期中断	T13PINT	T13PIF	T13PIE	0	GIEL	GIE	—
					1	—	GIE	—
18	T20 溢出中断	T20VINT	T20VIF	T20VIE	0	GIEL	GIE	—
					1	—	GIE	—
19	T20 周期中断	T20PINT	T20PIF	T20PIE	0	GIEL	GIE	—

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
					1	—	GIE	—
20	T20 多功能中断 0	T20MINT0	T20MIF0	T20MIE0	0	GIEL	GIE	—
					1	—	GIE	—
21	T20 多功能中断 1	T20MINT1	T20MIF1	T20MIE1	0	GIEL	GIE	—
					1	—	GIE	—
22	T21 溢出中断	T21VINT	T21VIF	T21VIE	0	GIEL	GIE	—
					1	—	GIE	—
23	T21 周期中断	T21PINT	T21PIF	T21PIE	0	GIEL	GIE	—
					1	—	GIE	—
24	T21 多功能中断 0	T21MINT0	T21MIF0	T21MIE0	0	GIEL	GIE	—
					1	—	GIE	—
25	T21 多功能中断 1	T21MINT1	T21MIF1	T21MIE1	0	GIEL	GIE	—
					1	—	GIE	—
26	UART0 发送中断	TX0INT	TX0IF	TX0IE	0	GIEL	GIE	—
					1	—	GIE	—
27	UART0 接收中断	RX0INT	RX0IF	RX0IE	0	GIEL	GIE	—
					1	—	GIE	—
28	UART1 发送中断	TX1INT	TX1IF	TX1IE	0	GIEL	GIE	—
					1	—	GIE	—
29	UART1 接收中断	RX1INT	RX1IF	RX1IE	0	GIEL	GIE	—
					1	—	GIE	—
30	UART2 发送中断	TX2INT	TX2IF	TX2IE	0	GIEL	GIE	—
					1	—	GIE	—
31	UART2 接收中断	RX2INT	RX2IF	RX2IE	0	GIEL	GIE	—
					1	—	GIE	—
32	UART3 发送中断	TX3INT	TX3IF	TX3IE	0	GIEL	GIE	—
					1	—	GIE	—
33	UART3 接收中断	RX3INT	RX3IF	RX3IE	0	GIEL	GIE	—
					1	—	GIE	—
34	I2C 中断	I2CINT	I2CIF	I2CIE	0	GIEL	GIE	—
					1	—	GIE	—
35	ADC 中断	ADINT	ADIF	ADIE	0	GIEL	GIE	—
					1	—	GIE	—
36	IAP 中断	IAPINT	IAPIF	IAPIE	0	GIEL	GIE	—
					1	—	GIE	—
37	LVD 中断	LVDINT	LVDIF	LVDIE	0	GIEL	GIE	—
					1	—	GIE	—
38	TK 触控扫描中断	TKINT	TKIF	TKIE	0	GIEL	GIE	—
					1	—	GIE	—

表 7-4 中断使能配置表

7.5 中断现场保护

中断现场保护是中断程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH、BKSR 和 FAMR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKSR1、FAMRS1 和 AS0、PSWS0、PCRHS0、BKSR0、FAMRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

7.6 中断操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下两个条件：

- 1) 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
- 2) 在默认中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求；当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求；当全局中断使能位 GIE 为“1”时，若对应中断所在组为高优先级，程序将跳至中断服务程序地址执行；若对应中断所在组为低优先级，当低优先级中断使能位 GIEL 为“1”时，在无高优先级中断请求时，程序将跳至中断服务程序地址执行，当低优先级中断使能位 GIEL 为“0”时，将屏蔽所有低优先级中断请求。

为确保对寄存器 GIE 和 GIEL 的软件写操作成功，需按如下步骤进行：

- 1) 在默认中断模式或向量中断模式下，对 GIE 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIE 位清 0；或在 GIE 位清 0 操作后，查询 GIE 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIE 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 GIE 位置 1。
- 2) 在向量中断模式下，对 GIEL 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIEL 位清 0；或在 GIEL 位清 0 操作后，查询 GIEL 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIEL 位的软件置 1 操作，需与 GIE 位同时置 1，或先将 GIEL 位置 1，再将 GIE 位置 1。

7.6.1 硬件除法中断

当硬件除法器除法运算完成后结果自动载入相应结果寄存器，同时触发硬件除法完成中断，将中断标志 DIVIF 置“1”。当硬件除法器中断使能位 DIVIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出硬件除法中断请求。CPU 根据中断的优先级响应当前中断的请求，当硬件除法中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，硬件除法中断标志位 DIVIF 和中断使能位 DIVIE 都需通过软件清除。

7.6.2 外部中断

当 PINTn 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTn 外部端口中断，相应的中断标志 PIFn 被置“1”。当全局中断使能位 GIE 和外部端口中断使能位 PIEn 都被置为“1”时，则向 CPU 发出 PINTn 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

需要注意的是，相应中断标志位 PIFn 和中断使能位 PIEn 都需通过软件清除，PINTC 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发、高电平触发、低电平触发或双边沿触发。

7.6.3 T10 溢出中断

8 位定时器/计数器 T10 处于定时器模式或计数器模式，当 T10 计数器递增计数由 FF_H 变为 00_H 时，T10 计数器发生溢出，将中断标志 T10IF 位置“1”。当 T10 溢出中断使能位 T10IE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T10 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T10 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T10 溢出中断标志位 T10IF 和中断使能位 T10IE 都需通过软件清除。

7.6.4 T1n 溢出中断

12 位多功能定时器 T1n 处于定时器模式/异步计数器模式/双精度 PWM 模式/互补 PWM 模式时，对计数时钟进行递增计数，当 T1n 后分频器的计数值与后分频器分频比相同时，产生溢出中断。

T1n 溢出中断产生时，将中断标志 T1nVIF 位置“1”。当 T1n 溢出中断使能位 T1nVIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1n 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1n 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1n 溢出中断标志位 T1nVIF 和中断使能位 T1nVIE 都需通过软件清除。

7.6.5 T1n 周期中断

12 位多功能定时器 T1n 处于双精度 PWM 模式/互补 PWM 模式/单脉冲发射模式时，T1n 从零开始递增计数，当 T1n 与 T1nP 寄存器的值相等时，将产生 T1n 周期中断，中断标志 T1nPIF 被置“1”。如果中断使能位 T1nPIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1n 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1n 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1n 周期中断标志位 T1nPIF 和中断使能位 T1nPIE 都需通过软件清除。

7.6.6 T2n 溢出中断

16 位多功能定时器 T2n 各种工作模式都可产生溢出中断：

定时器模式/同步计数器模式/异步计数器模式/双精度 PWM 模式/互补 PWM 模式

16 位多功能定时器 T2n 处于定时器模式/同步计数器模式/异步计数器模式/双精度 PWM 模式/互补 PWM 模式时，对计数时钟进行递增计数，当 T2n 后分频器的计数值与后分频器分频比相同时，产生溢出中断。

捕捉器模式/比较器模式

16 位多功能定时器 T2n 处于捕捉器模式/比较器模式时,对计数时钟进行递增计数,当 T2n 计数值溢出时 (即从 FFFF_H 变为 0000_H),产生溢出中断。

T2n 溢出中断产生时,将中断标志 T2nVIF 位置“1”。当 T2n 溢出中断使能位 T2nVIE 置为“1”,且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时,则向 CPU 发出 T2n 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求,当 T2n 溢出中断条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是,T2n 溢出中断标志位 T2nVIF 和中断使能位 T2nVIE 都需通过软件清除。

7.6.7 T2n周期中断

16 位多功能定时器 T2n 处于双精度 PWM 模式/互补 PWM 模式时,T2n 从零开始递增计数,当 T2n 与 T2nP 寄存器的值相等时,将产生 T2n 周期中断,中断标志 T2nPIF 被置“1”。如果中断使能位 T2nPIE 置为“1”,且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时,则向 CPU 发出 T2n 周期中断请求。CPU 根据中断的优先级响应当前中断的请求,当 T2n 周期中断条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是,T2n 周期中断标志位 T2nPIF 和中断使能位 T2nPIE 都需通过软件清除。

7.6.8 T2n多功能中断 0/1

16 位多功能定时器 T2n 处于捕捉器模式/比较器模式时可产生多功能中断。

捕捉器模式

16 位多功能定时器 T2n 处于捕捉器模式时,T2n 进行递增计数,当 T2nCI0/T2nCI1 输入信号的变化状态满足捕捉条件时,计数器 T2n 的值将被载入到相应的 16 位捕捉寄存器 T2nCP0/T2nCP1 中,并产生相应的多功能中断 0/1。

比较器模式

16 位多功能定时器 T2n 处于比较器模式时,T2n 进行递增计数。当计数器 T2n 的计数值与比较寄存器 T2nCP0/T2nCP1 中的比较值相等时,执行相应的比较匹配事件,并产生相应的多功能中断 0/1。

T2n 多功能中断产生时,将相应的中断标志 T2nMIF0/T2nMIF1 位置“1”。当相应的 T2n 多功能中断使能位 T2nMIE0/T2nMIE1 置为“1”,且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时,则向 CPU 发出 T2n 多功能中断 0/1 请求。CPU 根据中断的优先级响应当前中断的请求,当 T2n 多功能中断 0/1 条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是,T2n 多功能中断标志位 T2nMIF0/T2nMIF1 和中断使能位 T2nMIE0/T2nMIE1 都需通过软件清除。

7.6.9 UART中断

UART 中断包括两种:发送中断和接收中断。

当 UART 异步发送器完成一个数据的发送,或异步接收器完成一个数据的接收时,产生 UART 发送/接收中断,发送/接收中断标志位 TXnIF/RXnIF 被置为“1”。如果发送/接收中断使能位 TXnIE/RXnIE 置为“1”,且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时,则向 CPU 发出 UART 发送/接收中断请求。CPU 根据中断的优先级响应当前中断的请求,当 UART 发送/接收中断条件允许时,系统将进入相应中断的服

务程序入口地址，进行中断程序处理。需要注意的是，发送/接收中断标志位 TXnIF/RXnIF 为只读，不可软件清零，读接收数据寄存器 RXnB，可清除 RXnIF，写发送数据寄存器 TXnB，可清除 TXnIF；发送/接收中断使能位 TXnIE/RXnIE 需通过软件清除。

7.6.10 I2CS中断

当 I2CSRIF、I2CSPIF、I2CTBIF、I2CRBIF、I2CTEIF、I2CROIF 和 I2CNAIF 中任何一个中断标志位置 1 时，I2C 总中断标志位 I2CIF 就会置 1。如果 I2C 中断使能位 I2CIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 I2C 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 I2C 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零 I2CIF，但在清零 I2CIF 总中断标志位之前，需先清零 I2CSRIF、I2CSPIF、I2CTEIF、I2CROIF 和 I2CNAIF 等相关中断标志位。

7.6.11 ADC中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断使能位 ADIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 ADC 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 ADC 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.6.12 IAP中断

IAP 有三种情况可以产生中断标志位，任何一种情况都可以产生中断请求：页擦启动出错、编程启动出错和 IAP 因电压低于 LVD 阈值电压而终止。

1. 页擦启动出错：当工作电压小于设定的 LVD 阈值电压（配置位 LVDIAPTEN=1），FRA 和 FRAN 寄存器值非反码，或向 IAPERSS 寄存器写入了非 0xAE 值时，页擦启动出错标志 ERSS_ERR 位置“1”，IAP 总中断标志 IAPIF 也被置“1”。
2. 编程启动出错：当工作电压小于设定的 LVD 阈值电压（配置位 LVDIAPTEN=1），FRA 和 FRAN 寄存器值非反码，或 ROMD 和 ROMDN 寄存器的值非反，写入值非 0xD5 时，编程启动出错标志 PRGS_ERR 位置“1”，IAP 总中断标志 IAPIF 也被置“1”。
3. IAP 因电压低于 LVD 阈值电压而终止：当 IAP 因电压低于 LVD 阈值电压而终止，标志位 IAP_LVDIF 置“1”，IAP 总中断标志 IAPIF 也被置“1”。

如果 IAP 中断使能位 IAPIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 IAP 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 IAP 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，IAP 中断标志位 IAPIF 和中断使能位 IAPIE 都需通过软件清除。

7.6.13 LVD中断

当 VDD 电压小于 LVDCH 寄存器设置的阈值电压时，低电压产生，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 LVD 中断请求。CPU 根据中断的优先级

响应当前中断的请求,当 LVD 中断条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是, LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.6.14 触摸按键中断

触摸按键有三种情况可以产生中断标志位,任何一种情况都可以产生中断请求:启动错误、计数溢出和触摸按键扫描结束。

1. 启动错误: 按键启动扫描标志位 TKGO 置“1”,系统自动检测比较输出状态是否正常,如果异常会将扫描启动错误标志 TKERR 位置“1”,此时为按键控制器启动错误,触摸按键总中断标志 TKIF 位也被置“1”。
2. 计数溢出: 扫描按键计数过程中,当计数寄存器溢出时,将扫描计数器溢出标志 SCANOV 位置“1”,触摸按键总中断标志 TKIF 位也被置“1”。
3. 触摸按键扫描结束: 触摸按键扫描结束后,如未发现异常,触摸按键总中断标志 TKIF 位被置“1”。

如果触摸按键中断使能位 TKIE 置为“1”,且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时,则向 CPU 发出触摸按键中断请求。CPU 根据中断的优先级响应当前中断的请求,当触摸按键中断条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是,触摸按键中断标志位 TKIF 和中断使能位 TKIE 都需通过软件清除。

7.7 中断操作注意事项

用户在使能中断前需先清除相应的中断标志,避免中断的误触发。

除只读的中断标志(由硬件清除)外,其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时,清除中断标志不成功,建议用户在进行中断标志清除操作后,对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作,直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.8 特殊功能寄存器

中断功能由一系列的控制寄存器和芯片配置字共同控制。

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	GIEL	—	SGIE	SOFTIF	INTVEN0	INTV<1:0>	
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 GIE: 全局中断使能位,或高优先级中断使能位

0: 禁止所有的中断

1: 使能所有未屏蔽的中断,或使能高优先级中断

Bit 6 GIEL: 低优先级中断使能位(仅向量中断模式有效)

0: 禁止低优先级中断

- 1: 使能低优先级中断
- Bit 5 保留
- Bit 4 SGIE: 保留位, 仅供测试使用, 用户使用时需始终保持该位为 0
- Bit 3 SOFTIF: 软件中断标志位
 - 0: 无软件中断
 - 1: 有软件中断
- Bit 2 INTVEN0: 中断模式选择位
 - 0: 默认中断模式
 - 1: 向量中断模式 (芯片配置字 INTVEN1 必须为 1)
- Bit 1~0 INTV<1:0>: 中断向量表选择位, 参考向量中断配置表

注: 软件清零 GIE 或 GIEL 位时, 需判断 GIE 或 GIEL 是否清零成功, 如未被清零, 则需再次执行软件清零操作, 直到清零成功。软件置位 GIE 和 GIEL 时, 需先置位 GIEL, 再置位 GIE, 或同时置位 GIE 和 GIEL。

INTP: 中断优先级寄存器

Bit	7	6	5	4	3	2	1	0
Name	IGP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IGP<7:0>: IG7~IG0 中断优先级设置

- 0: 低优先级
- 1: 高优先级

INTE0: 中断使能寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	T21MIE1	T21MIE0	T21PIE	T21VIE	T20MIE1	T20MIE0	T20PIE	T20VIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T21MIE1: T21 多功能中断 1 使能位

- 0: 禁止
- 1: 使能

Bit 6 T21MIE0: T21 多功能中断 0 使能位

- 0: 禁止
- 1: 使能

Bit 5 T21PIE: T21 周期中断使能位

- 0: 禁止
- 1: 使能

Bit 4 T21VIE: T21 溢出中断使能位

- 0: 禁止
- 1: 使能

Bit 3 T20MIE1: T20 多功能中断 1 使能位

- 0: 禁止
- 1: 使能

Bit 2 T20MIE0: T20 多功能中断 0 使能位

- 0: 禁止
- 1: 使能
- Bit 1 T20PIE: T20 周期中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 0 T20VIE: T20 溢出中断使能位
 - 0: 禁止
 - 1: 使能

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	T21MIF1	T21MIF0	T21PIF	T21VIF	T20MIF1	T20MIF0	T20PIF	T20VIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T21MIF1: T21 多功能中断 1 标志位
 - 0: 无中断请求
 - 1: T21 多功能中断 1 请求
- Bit 6 T21MIF0: T21 多功能中断 0 标志位
 - 0: 无中断请求
 - 1: T21 多功能中断 0 请求
- Bit 5 T21PIF: T21 周期中断标志位
 - 0: 无中断请求
 - 1: T21 周期中断请求
- Bit 4 T21VIF: T21 溢出中断标志位
 - 0: 无中断请求
 - 1: T21 溢出中断请求
- Bit 3 T20MIF1: T20 多功能中断 1 标志位
 - 0: 无中断请求
 - 1: T20 多功能中断 1 请求
- Bit 2 T20MIF0: T20 多功能中断 0 标志位
 - 0: 无中断请求
 - 1: T20 多功能中断 0 请求
- Bit 1 T20PIF: T20 周期中断标志位
 - 0: 无中断请求
 - 1: T20 周期中断请求
- Bit 0 T20VIF: T20 溢出中断标志位
 - 0: 无中断请求
 - 1: T20 溢出中断请求

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	T10IE	DIVIE	T13PIE	T13VIE	T12PIE	T12VIE	T11PIE	T11VIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T10IE: T10 溢出中断使能位
0: 禁止
1: 使能
- Bit 6 DIVIE: 除法运算完成中断使能位
0: 禁止
1: 使能
- Bit 5 T13PIE: T13 周期中断使能位
0: 禁止
1: 使能
- Bit 4 T13VIE: T13 溢出中断使能位
0: 禁止
1: 使能
- Bit 3 T12PIE: T12 周期中断使能位
0: 禁止
1: 使能
- Bit 2 T12VIE: T12 溢出中断使能位
0: 禁止
1: 使能
- Bit 1 T11PIE: T11 周期中断使能位
0: 禁止
1: 使能
- Bit 0 T11VIE: T11 溢出中断使能位
0: 禁止
1: 使能

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	T10IF	DIVIF	T13PIF	T13VIF	T12PIF	T12VIF	T11PIF	T11VIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T10IF: T10 溢出中断标志位
0: 无中断请求
1: T10 溢出中断请求
- Bit 6 DIVIF: 除法运算完成中断标志位
0: 无中断请求
1: 除法运算完成中断请求
- Bit 5 T13PIF: T13 周期中断标志位
0: 无中断请求

- 1: T13 周期中断请求
- Bit 4 T13VIF: T13 溢出中断标志位
 - 0: 无中断请求
 - 1: T13 溢出中断请求
- Bit 3 T12PIF: T12 周期中断标志位
 - 0: 无中断请求
 - 1: T12 周期中断请求
- Bit 2 T12VIF: T12 溢出中断标志位
 - 0: 无中断请求
 - 1: T12 溢出中断请求
- Bit 1 T11PIF: T11 周期中断标志位
 - 0: 无中断请求
 - 1: T11 周期中断请求
- Bit 0 T11VIF: T11 溢出中断标志位
 - 0: 无中断请求
 - 1: T11 溢出中断请求

INTE2: 中断使能寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	PIE<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 PIE<7:0>: PINTn 中断使能位
 - 0: 禁止
 - 1: 使能

INTF2: 中断标志寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	PIF<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 PIF<7:0>: PINTn 中断标志位
 - 0: 无中断请求
 - 1: PINTn 中断请求

INTE3: 中断使能寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	TX3IE	RX3IE	TX2IE	RX2IE	TX1IE	RX1IE	TX0IE	RX0IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 TX3IE: UART3 发送中断使能位
 - 0: 禁止
 - 1: 使能

- Bit 6 RX3IE: UART3 接收中断使能位
 0: 禁止
 1: 使能
- Bit 5 TX2IE: UART2 发送中断使能位
 0: 禁止
 1: 使能
- Bit 4 RX2IE: UART2 接收中断使能位
 0: 禁止
 1: 使能
- Bit 3 TX1IE: UART1 发送中断使能位
 0: 禁止
 1: 使能
- Bit 2 RX1IE: UART1 接收中断使能位
 0: 禁止
 1: 使能
- Bit 1 TX0IE: UART0 发送中断使能位
 0: 禁止
 1: 使能
- Bit 0 RX0IE: UART0 接收中断使能位
 0: 禁止
 1: 使能

INTF3: 中断标志寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	TX3IF	RX3IF	TX2IF	RX2IF	TX1IF	RX1IF	TX0IF	RX0IF
R/W	R/W	R	R/W	R	R/W	R	R/W	R
POR	0	0	0	0	0	0	0	0

- Bit 7 TX3IF: UART3 发送中断标志位
 0: 无中断请求
 1: UART3 发送中断请求
- Bit 6 RX3IF: UART3 接收中断标志位
 0: 无中断请求
 1: UART3 接收中断请求
- Bit 5 TX2IF: UART2 发送中断标志位
 0: 无中断请求
 1: UART2 发送中断请求
- Bit 4 RX2IF: UART2 接收中断标志位
 0: 无中断请求
 1: UART2 接收中断请求
- Bit 3 TX1IF: UART1 发送中断标志位
 0: 无中断请求
 1: UART1 发送中断请求
- Bit 2 RX1IF: UART1 接收中断标志位
 0: 无中断请求

- 1: UART1 接收中断请求
- Bit 1 TX0IF: UART0 发送中断标志位
 - 0: 无中断请求
 - 1: UART0 发送中断请求
- Bit 0 RX0IF: UART0 接收中断标志位
 - 0: 无中断请求
 - 1: UART0 接收中断请求

注: RXnIF 可通过读取接收数据寄存器清 0, 或 RXnEN 位置 0 来清 0。

INTE4: 中断使能寄存器 4

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LVDIE	ADIE	I2CIE	IAPIE	TKIE
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~5 保留
- Bit 4 LVDIE: LVD 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 3 ADIE: AD 转换中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 2 I2CIE: I2C 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 1 IAPIE: IAP 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 0 TKIE: 触控中断使能位
 - 0: 禁止
 - 1: 使能

INTF4: 中断标志寄存器 4

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LVDIF	ADIF	I2CIF	IAPIF	TKIF
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~5 保留
- Bit 4 LVDIF: LVD 中断标志位
 - 0: 无中断请求
 - 1: LVD 中断请求
- Bit 3 ADIF: AD 转换中断标志位
 - 0: 无中断请求
 - 1: AD 中断请求

- Bit 2 I2CIF: I2C 中断标志位
 - 0: 无中断请求
 - 1: I2C 中断请求
- Bit 1 IAPIF: IAP 中断标志位
 - 0: 无中断请求
 - 1: IAP 中断请求
- Bit 0 TKIF: 触控中断标志位
 - 0: 无中断请求
 - 1: TK 中断请求

第8章 芯片配置字

本系列芯片的各种功能配置由芯片配置字和各功能相关寄存器共同设置完成。

名称	芯片配置字 (CFG_WORD0)			
OSCM	Bit 1~0	OSC 振荡器工作模式选择位 00: OSC 振荡器处于 HS 模式, 晶体振荡器连接到 OSC0 和 OSC1 01: OSC 振荡器处于 LP 模式, 晶体振荡器连接到 OSC0 和 OSC1 10: OSC 振荡器处于 EC 模式, OSC0 输入系统时钟, OSC1 可用作普通 I/O 端口 11: 关闭 OSC 振荡器, OSC0 和 OSC1 用作普通 I/O 端口		
MRSTEN	Bit 2	MRSTN/PA4 管脚功能选择位 0: 管脚用于 GPIO PA4 1: 管脚用于外部复位 MRSTN, 带内部弱上拉。		
WDTEN	Bit 3	硬件看门狗使能位 0: 禁止 1: 使能		
PWRTEB	Bit 4	上电延时定时器使能位 0: 使能 1: 禁止		
ICDEB	Bit 5	调试模式使能位 0: 使能 1: 禁止		
ICDSEL	Bit 6	调试端口选择位 0: PB5 用作 ISDA, PB6 用作 ISCK 1: PC2 用作 ISDA, PC3 用作 ISCK		
—	Bit 7	保留		
BORVS	Bit 9~8	BOR 电压选择位 00: 3.7V 01: - 10: 2.6V 11: 2.1V (常温下, 在 VDD 上升时, 该档位偏差在 0.3V 以内)		
IAPEN	Bit 10	IAP 操作使能位 0: 使能 1: 禁止		
INTVEN1	Bit 11	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 也必须为 1)		
STKLS	Bit 15-12	PC 硬件堆栈级数配置位 0000: 4 级 0001: 8 级 0010: 12 级 0011: 16 级 0100: 20 级 0101: 24 级 0110: 28 级 0111: 32 级 1000: 36 级 1001: 40 级 1010: 44 级 1011: 48 级 1100: 52 级 1101: 56 级 1110: 60 级 1111: 64 级		

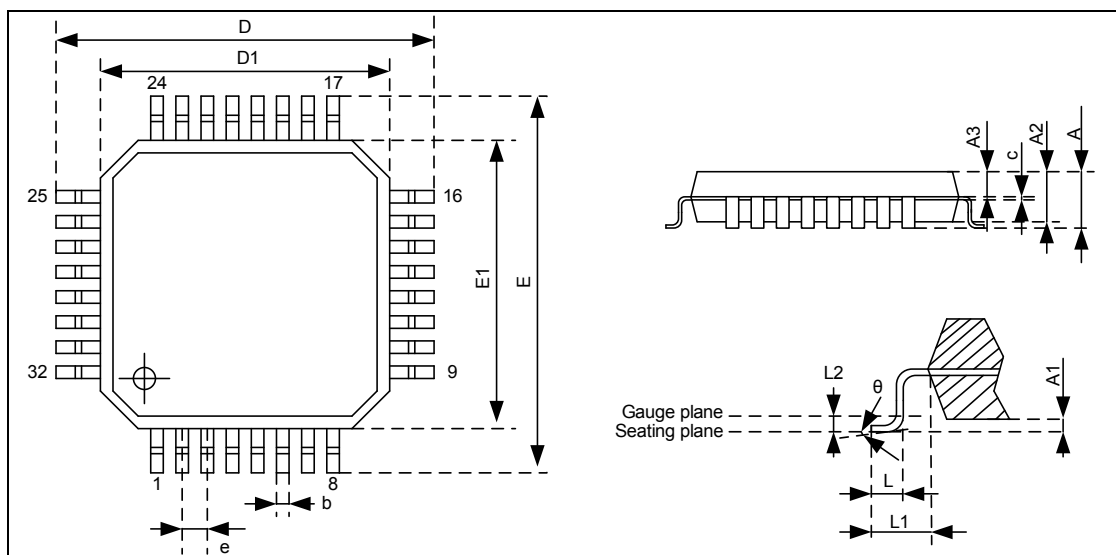
名称		芯片配置字 (CFG_WORD1)
PWRDWN	Bit 0	Flash 节电控制位 0: 禁止在 IDLE 模式关闭 Flash 电源 1: IDLE 模式关闭 Flash 电源 (缺省值)
—	Bit 2-1	保留
VTKVSEL	Bit 3	TK 模块 Cp 充电电源选择位 1: 内部参考电压 2.6V (VDD 必须大于 3.3V) 0: VDD
—	Bit 6-4	保留
LVDIAPTEN	Bit 7	LVD 终止 IAP 编程或擦除使能位 (enable of IAP termination by LVD) 0: 禁止 LVD 终止 IAP 编程或页擦 1: 使能 LVD 终止 IAP 编程或页擦 (缺省值)
-	Bit 15-8	保留

名称		芯片配置字 (CFG_WORD2)
—	Bit 0	保留
DFLT_CLK	Bit 1	唤醒后时钟选择位 0: 进入睡眠前的系统时钟 1: LRC (32KHz) 时钟
—	Bit 15-2	保留

第9章 芯片封装图

9.1 32-pin封装图

LQFP32

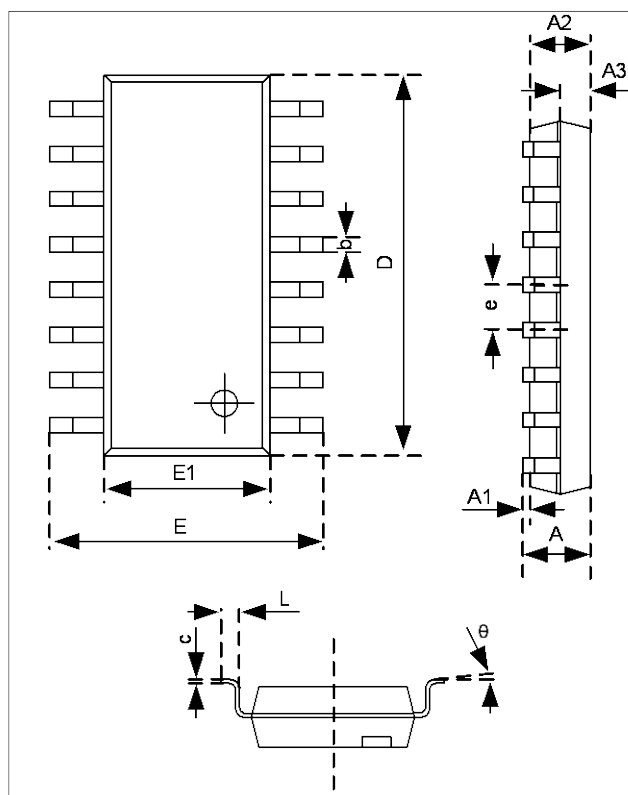


标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
c	0.13	—	0.18
D	8.80	9	9.20
D1	6.90	7	7.10
E	8.80	9	9.20
E1	6.90	7	7.10
b	0.32	—	0.43
e	0.80 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	—	7°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

9.2 16-pin 封装图

SOP16



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.25
A2	1.25	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.25
D	9.80	9.90	10.20
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.40	—	1.27
θ	0°	—	8°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

附录1 指令集

附录1.1 概述

本系列芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与链接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分，操作码部分对应到指令本身。

芯片运行在 4MHz 主系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响 状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<4:0>->PCRH<7:3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R<10:0>)
8	MOVRA	R<10:0>	—	1	(R<10:0>)->(A)

附录表 9-1 寄存器操作指令表

附录1.3 程序控制指令

序号	指令		影响 状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
12	CALL	I<10:0>	—	2	PC+1->TOS,I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
13	LCALL	I<19:0>	—	2	PC+1->TOS,I<13:0>->PC<13:0>

序号	指令		影响状态位	机器周期	操作
					I<13:8>->PCRH<5:0>
14	RCALL	R<7:0>	—	2	PC+1->TOS, (R)->PC<7:0>, PCRH<5:0>->PC<13:8>
15	JBC	R<7:0>, B<2:0>	—	2	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>, B<2:0>	—	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	—	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	—	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	—	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	—	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	—	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	—	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	—	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	—	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	—	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>, F	—	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	—	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	AS->A, PSWS->PSW, BKSr->BKSRS, PCRHS->PCRH, FAMR->FAMR
30	PUSH	—	—	1	A->AS, PSW->PSWS, BKSr->BKSRS, PCRH->PCRHS, FAMR->FAMRS
31	RET	—	—	2	TOS->PC
32	RETIA	I<7:0>	—	2	I->(A), TOS->PC
33	RETIE	—	—	2	TOS->PC, 1->GIE
34	RST	—	全部状态位均被影响	1	软件复位指令
35	CWDT	—	N_TO, N_PD	1	00 _H ->WDT, 0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	—	N_TO, N_PD	1	00 _H ->WDT, 0->WDTPrescaler, 1-> N_TO, 0-> N_PD

附录表 9-2 程序控制指令表

附录1.4 算术/逻辑运算指令

序号	指令		影响 状态位	机器 周期	操作
37	ADD	R<7:0>,F	C,DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R
44	BSS	R<7:0>,B<2:0>	—	1	1->R
45	BTT	R<7:0>,B<2:0>	—	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF _H ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	—	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	C<< R<7:0>
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7> << R<7:0>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	C>> R<7:0>
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7> >> R<7:0>
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)

序号	指令		影响 状态位	机器 周期	操作
68	SWAP	R<7:0>,F	—	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)->ROMD
70	TBR#1	—	—	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	—	—	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	—	—	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	—	—	2	ROMD->prog buffer
74	TBW#1	—	—	2	ROMD>prog buffer, FRA+1->FRA
75	TBW_1	—	—	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	—	—	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

附录表 9-3 算术/逻辑运算指令表

注：指令集说明

1. i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
2. C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0， 则目标寄存器为寄存器 A； 如果 F = 1， 则目标寄存器为寄存器 R。
5. 79 条指令中另有一条 NOP 指令未在上表中描述。
6. SECTION 指令中， N 的位数， 视实际芯片而定。对本系列芯片， 通用数据存储器 GPR 分为 12 个存储体组， 所以 N 的位数是 4 位。
7. PAGE 指令中， N 的位数， 视实际芯片而定。对本系列芯片， 没有 PCRU 寄存器， N 的位数是 3 位。
8. PC 的位数以及 PCRU 寄存器， 视实际芯片而定。对本系列芯片， PC 的位数是 14 位， 没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

快速访问区特殊功能寄存器

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAA<7:0>								0000 0000
FF82 _H	IAAH	IAA<15:8>								0000 0000
FF83 _H	BKSR	—	—	—	—	—	BKSR<2:0>			0000 0000
FF84 _H	FAMR	—	—	—	—	—	—	FAMS	MHL	0000 0000
FF85 _H	AREG	AREG<7:0>								xxxx xxxx
FF86 _H	PSW	—	UF	OF	N	OV	Z	DC	C	000x xxxx
FF87 _H	PWRCWP	PWRCWP<7:0>								0000 0000
FF88 _H	PWRC	SBOREN	SMRSTEN	—	IRSTB	TOB	PDB	PORB	BORB	1101 110x
FF89 _H	PCRL	PCRL<7:0>								0000 0000
FF8A _H	PCRH	—	PCRH<6:0>							0000 0000
FF8B _H	—	—								0000 0000
FF8C _H	—	—								0000 0000
FF8D _H	—	—								0000 0000
FF8E _H	—	—								0000 0000
FF8F _H	—	—								0000 0000
FF90 _H	—	—								0000 0000
FF91 _H	—	—								0000 0000
FF92 _H	—	—								0000 0000
FF93 _H	—	—								0000 0000
FF94 _H	INTG	GIE	GIEL	—	SGIE	SOFTIF	INTVEN0	INTV<1:0>		0000 0000
FF95 _H	INTP	IGP<7:0>								0000 0000
FF96 _H	INTE0	T21MIE1	T21MIE0	T21PIE	T21VIE	T20MIE1	T20MIE0	T20PIE	T20VIE	0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
FF97 _H	INTF0	T21MIF1	T21MIF0	T21PIF	T21VIF	T20MIF1	T20MIF0	T20PIF	T20VIF	0000 0000
FF98 _H	INTE1	T10IE	DIVIE	T13PIE	T13VIE	T12PIE	T12VIE	T11PIE	T11VIE	0000 0000
FF99 _H	INTF1	T10IF	DIVIF	T13PIF	T13VIF	T12PIF	T12VIF	T11PIF	T11VIF	0000 0000
FF9A _H	INTE2	PIE<7:0>								0000 0000
FF9B _H	INTF2	PIF<7:0>								0000 0000
FF9C _H	INTE3	TX3IE	RX3IE	TX2IE	RX2IE	TX1IE	RX1IE	TX0IE	RX0IE	0000 0000
FF9D _H	INTF3	TX3IF	RX3IF	TX2IF	RX2IF	TX1IF	RX1IF	TX0IF	RX0IF	0000 0000
FF9E _H	INTE4	—	—	—	LVDIE	ADIE	I2CIE	IAPIE	TKIE	0000 0000
FF9F _H	INTF4	—	—	—	LVDIF	ADIF	I2CIF	IAPIF	TKIF	0000 0000
FFA0 _H	PINTC	—	PEG1<2:0>			—	PEG0<2:0>			0000 0000
FFA1 _H	PA	PA<7:0>								xxxx xxxx
FFA2 _H	PAT	PAT<7:0>								1111 1111
FFA3 _H	PB	PB<7:0>								xxxx xxxx
FFA4 _H	PBT	PBT<7:0>								1111 1111
FFA5 _H	PC	PC<7:0>								xxxx xxxx
FFA6 _H	PCT	PCT<7:0>								1111 1111
FFA7 _H	—	—								—
FFA8 _H	—	—								0000 0000
FFA9 _H	PE	—	—	PE<5:0>						xxxx xxxx
FFAA _H	PET	—	—	PET<5:0>						1111 1111
FFAB _H ~ FFBF _H	—	—								—

特殊功能寄存器 (Section 0)

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
6000 _H	MULA	MULA<7:0>								xxxx xxxx
6001 _H	MULB	MULB<7:0>								xxxx xxxx
6002 _H	MULL	MUL<7:0>								xxxx xxxx
6003 _H	MULH	MUL<15:8>								xxxx xxxx
6004 _H	DIVEL	DIVE<7:0>								xxxx xxxx
6005 _H	DIVEM	DIVE<15:8>								xxxx xxxx
6006 _H	DIVEH	DIVE<23:16>								xxxx xxxx
6007 _H	DIVEU	DIVE<31:24>								xxxx xxxx
6008 _H	DIVSL	DIVS<7:0>								xxxx xxxx
6009 _H	DIVSH	DIVS<15:8>								xxxx xxxx
600A _H	DIVQL	DIVQ<7:0>								xxxx xxxx
600B _H	DIVQM	DIVQ<15:8>								xxxx xxxx
600C _H	DIVQH	DIVQ<23:16>								xxxx xxxx
600D _H	DIVQU	DIVQ<31:24>								xxxx xxxx
600E _H	DIVRL	DIVR<7:0>								xxxx xxxx
600F _H	DIVRH	DIVR<15:8>								xxxx xxxx
6010 _H	DIVC	—	—	—	SIGNED	—	—	VERR	VGO	0000 0000
6011 _H	BR0R	BR0R<7:0>								0000 0000
6012 _H	RX0B	RX0B<7:0>								xxxx xxxx
6013 _H	RX0C	RX0EN	RX0LEN	—	—	—	OERR0	FERR0	RX0R8	0000 0000
6014 _H	TX0B	TX0B<7:0>								0000 0000
6015 _H	TX0C	TX0EN	TX0LEN	BRGH0	—	—	—	TRMT0	TX0R8	0000 0010
6016 _H	BR1R	BR1R<7:0>								0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
6017 _H	RX1B	RX1B<7:0>								xxxx xxxx
6018 _H	RX1C	RX1EN	RX1LEN	—	—	—	OERR1	FERR1	RX1R8	0000 0000
6019 _H	TX1B	TX1B<7:0>								0000 0000
601A _H	TX1C	TX1EN	TX1LEN	BRGH1	—	—	—	TRMT1	TX1R8	0000 0010
601B _H	ADCRL	ADCRL<7:0>								0000 0000
601C _H	ADCRH	ADCRH<7:0>								0000 0000
601D _H	ADCCL	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN	0000 0100
601E _H	ADCCM	—	VREFPS<1:0>		VREFNS	—	—	VREFSEL<1:0>		0000 0001
601F _H	ADCCH	ADFM	ADCKS<2:0>			ADST<1:0>		ADVCMHS	ADHSEN	0100 1011
6020 _H	I2CX16	—	—	—	I2CX16<4:0>					0000 0000
6021 _H	I2CC	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN	0000 0000
6022 _H	I2CSA	I2CSADR<6:0>							I2CRW	0000 0000
6023 _H	I2CTB	I2CTB<7:0>								0000 0000
6024 _H	I2CRB	I2CRB<7:0>								0000 0000
6025 _H	I2CIEC	—	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE	0000 0000
6026 _H	I2CIFC	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF	0000 0100
6027 _H	FRAL	FRA<7:0>								0000 0000
6028 _H	FRALN	FRAN<7:0>								0000 0000
6029 _H	FRAH	FRA<15:8>								0000 0000
602A _H	FRAHN	FRAN<15:8>								0000 0000
602B _H	ROMDL	ROMD<7:0>								xxxx xxxx
602C _H	ROMDLN	ROMDN<7:0>								xxxx xxxx
602D _H	ROMDH	ROMD<15:8>								xxxx xxxx
602E _H	ROMDHN	ROMDN<15:8>								xxxx xxxx

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
602F _H	IAPUL	IAPUL<7:0>								0000 0000
6030 _H	IAPC	ERSTWT<3:0>				PRGTWT<1:0>		IAPCLR	TOEN	0110 0000
6031 _H	IAPERSS	IAPERSS<7:0>								0000 0000
6032 _H	IAPPRGS	IAPPRGS<7:0>								0000 0000
6033 _H	IAPS	FRAH_ERR	FRAL_ERR	ROMD_ERR	ERSS_ERR	PRGS_ERR	IAP_TO	IAP_DONE	IAP_LVDIF	1110 0000
6034 _H	—	—								—
6035 _H	—	—								—
6036 _H	WDTUL	WDTUL<7:0>								0000 0000
6037 _H	WDTC	—	—	—	SWDTEN	WDTIEN	WDTPRS<2:0>			0001 1111
6038 _H	OSCC1	CHG	POSDIVS<2:0>			SST<1:0>		SCKS<1:0>		0000 0000
6039 _H	OSCC2	OSCON	—	HRCON	LRCON	OSCEN	—	HRCEN	LRCEN	0000 0011
603A _H	OSCC3	—	—	—	—	—	—	OSC_SU	CLKOEN	0000 0010
603B _H	OSCW	OSCW<7:0>								0000 0000
603C _H	CLKG0	ADCCE	T21CE	T20CE	—	T13CE	T12CE	T11CE	T10CE	111x 1111
603D _H	CLKG1	—	—	TKCE	IICCE	UART3CE	UART2CE	UART1CE	UART0CE	xx11 1111
603E _H	LVDCL	—	—	—	LVDFLTEN	LVDIFS<1:0>		LVDO	LVDEN	0000 00x0
603F _H	LVDCH	LVDVS<3:0>				—	—	—	—	0000 0000
6040 _H	T10	T10<7:0>								0000 0000
6041 _H	T10C	T10EN	—	T10M	T10EG	T10PRE	T10PRS<2:0>			0000 0000
6042 _H	T1NOC	—	—	P31EN	P30EN	P21EN	P20EN	P11EN	P10EN	0000 0000
6043 _H	T11L	T11<7:0>								0000 0000
6044 _H	T11H	—	—	—	—	T11<11:8>			0000 0000	
6045 _H	T11PL	T11P<7:0>								1111 1111
6046 _H	T11PH	—	—	—	—	T11P<11:8>			0000 1111	

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值	
6047 _H	T11R0L	T11R0<7:0>								0000 0000	
6048 _H	T11R0H	—	—	—	—	T11R0H<11:8>				0000 0000	
6049 _H	T11R1L	T11R1<7:0>								0000 0000	
604A _H	T11R1H	—	—	—	—	T11R1H<11:8>				0000 0000	
604B _H	T11CL	T11M<3:0>				T11TS<1:0>		T11DLYEN	T11TR	0000 0000	
604C _H	T11CH	T11EN	T11POS<6:0>								0000 0000
604D _H	T11CM	T11ADEN	T11ADS	T11OM<1:0>		T11PRS<3:0>				0000 0000	
604E _H	T11AS	T11ASYNCLKS	T11ASEN	T11ASES<1:0>		T11ARS	T11ASF	PSS11BD<1:0>		0000 0000	
604F _H	T11TMRADC	T11TMRADC<7:0>								0000 0000	
6050 _H	T12L	T12<7:0>								0000 0000	
6051 _H	T12H	—	—	—	—	T12<11:8>				0000 0000	
6052 _H	T12PL	T12P<7:0>								1111 1111	
6053 _H	T12PH	—	—	—	—	T12P<11:8>				0000 1111	
6054 _H	T12R0L	T12R0<7:0>								0000 0000	
6055 _H	T12R0H	—	—	—	—	T12R0<11:8>				0000 0000	
6056 _H	T12R1L	T12R1<7:0>								0000 0000	
6057 _H	T12R1H	—	—	—	—	T12R1<11:8>				0000 0000	
6058 _H	T12CL	T12M<3:0>				T12TS<1:0>		T12DLYEN	T12TR	0000 0000	
6059 _H	T12CH	T12EN	T12POS<6:0>								0000 0000
605A _H	T12CM	T12ADEN	T12ADS	T12OM<1:0>		T12PRS<3:0>				0000 0000	
605B _H	T12AS	T12ASYNCLKS	T12ASEN	T12ASES<1:0>		T12ARS	T12ASF	PSS12BD<1:0>		0000 0000	
605C _H	T12TMRADC	T12TMRADC<7:0>								0000 0000	
605D _H	T13L	T13<7:0>								0000 0000	
605E _H	T13H	—	—	—	—	T13<11:08>				0000 0000	

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
605F _H	T13PL	T13P<7:0>								1111 1111
6060 _H	T13PH	—	—	—	—	T13P<11:8>				0000 1111
6061 _H	T13R0L	T13R0<7:0>								0000 0000
6062 _H	T13R0H	—	—	—	—	T13R0<11:08>				0000 0000
6063 _H	T13R1L	T13R1<7:0>								0000 0000
6064 _H	T13R1H	—	—	—	—	T13R1<11:8>				0000 0000
6065 _H	T13CL	T13M<3:0>				T13TS<1:0>		T13DLYEN	T13TR	0000 0000
6066 _H	T13CH	T13EN	T13POS<6:0>							0000 0000
6067 _H	T13CM	T13ADEN	T13ADS	T13OM<1:0>		T13PRS<3:0>				0000 0000
6068 _H	T13AS	T13ASYNCLKS	T13ASEN	T13ASES<1:0>		T13ARS	T13ASF	PSS13BD<1:0>		0000 0000
6069 _H	T13TMRADC	T13TMRADC<7:0>								0000 0000
606A _H	T20L	T20<7:0>								0000 0000
606B _H	T20H	T20<15:8>								0000 0000
606C _H	T20PL	T20P<7:0>								1111 1111
606D _H	T20PH	T20P<15:8>								1111 1111
606E _H	T20R0L	T20R0<7:0>								0000 0000
606F _H	T20R0H	T20R0<15:8>								0000 0000
6070 _H	T20R1L	T20R1<7:0>								0000 0000
6071 _H	T20R1H	T20R1<15:8>								0000 0000
6072 _H	T20CL	T20M<3:0>				—	—	T20DLYEN	T20TR	0000 0000
6073 _H	T20CH	T20EN	T20POS<6:0>							0000 0000
6074 _H	T20CM	T20ADEN	T20ADS	T20OM<1:0>		T20PRS<3:0>				0000 0000
6075 _H	T20AS	T20ASYNCLKS	T20ASEN	T20ASES<1:0>		T20ARS	T20ASF	PSS20BD<1:0>		0000 0000
6076 _H	T20TMRADC	T20TMRADC<7:0>								0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
6077 _H	T20CP0L	T20CP0<7:0>								1111 1111
6078 _H	T20CP0H	T20CP0<15:8>								1111 1111
6079 _H	T20CP1L	T20CP1<7:0>								1111 1111
607A _H	T20CP1H	T20CP1<15:8>								1111 1111
607B _H	T11PWMSHUT	T11PWMSHUT<7:0>								0000 0000
607C _H	T12PWMSHUT	T12PWMSHUT<7:0>								0000 0000
607D _H	T13PWMSHUT	T13PWMSHUT<7:0>								0000 0000
607E _H	—	—								—
607F _H	CHIPPACK	—	—	—	EPAS1PS	UART0PS	I2CPS	T21PS	T20PS	0000 0000

特殊功能寄存器 (Section 1)

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
6080 _H	PAS	PAS<7:0>								1110 1111
6081 _H	PAPU	PAPU<7:0>								0000 0000
6082 _H	PAPD	PAPD<7:0>								0000 0000
6083 _H	PALC	PALC<7:0>								0000 0000
6084 _H	PAOD	PAOD<7:0>								0000 0000
6085 _H	PBS	PBS<7:0>								1001 1111
6086 _H	PBPU	PBPU<7:0>								0000 0000
6087 _H	PBPD	PBPD<7:0>								0000 0000
6088 _H	PBLC0	PBLC0<7:0>								0000 0000
6089 _H	PBLC1	PBLC1<7:0>								0000 0000
608A _H	PBOD	PBOD<7:0>								0000 0000
608B _H	PBSMIT	PBSMIT<7:0>								0000 0000
608C _H	PCS	PCS<7:0>								1111 0011
608D _H	PCPU	PCPU<7:0>								0000 0000
608E _H	PCPD	PCPD<7:0>								0000 0000
608F _H	PCLC	PCLC<7:0>								0000 0000
6090 _H	PCOD	PCOD<7:0>								0000 0000
6091 _H	—	—								—
6092 _H	—	—								—
6093 _H	—	—								—
6094 _H	PES	—	—	PES<5:0>						0011 1111
6095 _H	PEPU	—	—	PEPU<5:0>						0000 0000
6096 _H	PEPD	—	—	PEPD<5:0>						0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
6097 _H	PELC	—	—	PELC<5:0>						0000 0000
6098 _H	PEOD	—	—	PEOD<5:0>						0000 0000
6099 _H	TKSEL	TKDUS	TKFS<1:0>		TKCHS<4:0>					0000 0000
609A _H	TKTUN	TKTMS<1:0>		TKCFT<1:0>		TKDIST<2:0>			TKAVS	0000 0000
609B _H	TKCTL	-	TKCHGS	TKCTR	SCANOV	TKERR	TKOV	TKEN	TKGO	0000 0000
609C _H	TKDAL	TKDA<7:0>								0000 0000
609D _H	TKDAM	TKDA<15:8>								0000 0000
609E _H	TKDAH	TKDA<23:16>								0000 0000
609F _H	TKMODL	TKMOD<7:0>								1111 1111
60A0 _H	TKMODM	TKMOD<15:8>								1111 1111
60A1 _H	TKMODH	TKMOD<23:16>								1111 1111
60A2 _H	TKMODU	—	—	—	—	TKMODU<3:0>				0000 1111
60A3 _H	VRC	—	—	—	—	VRCS<2:0>			HYSEN	0000 0001
60A4 _H	TKOUTS0	TKOUT3<1:0>		TKOUT2<1:0>		TKOUT1<1:0>		TKOUT0<1:0>		0000 0000
60A5 _H	TKOUTS1	TKOUT7<1:0>		TKOUT6<1:0>		TKOUT5<1:0>		TKOUT4<1:0>		0000 0000
60A6 _H	TKOUTS2	TKOUT11<1:0>		TKOUT10<1:0>		TKOUT9<1:0>		TKOUT8<1:0>		0000 0000
60A7 _H	TKOUTS3	TKOUT15<1:0>		TKOUT14<1:0>		TKOUT13<1:0>		TKOUT12<1:0>		0000 0000
60A8 _H	TKOUTS4	TKOUT19<1:0>		TKOUT18<1:0>		TKOUT17<1:0>		TKOUT16<1:0>		0000 0000
60A9 _H	TKOUTS5	TKOUT23<1:0>		TKOUT22<1:0>		TKOUT21<1:0>		TKOUT20<1:0>		0000 0000
60AA _H	T21L	T21<7:0>								0000 0000
60AB _H	T21H	T21<15:8>								0000 0000
60AC _H	T21PL	T21P<7:0>								1111 1111
60AD _H	T21PH	T21P<15:8>								1111 1111
60AE _H	T21R0L	T21R0<7:0>								0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值	
60AF _H	T21R0H	T21R0<15:8>								0000 0000	
60B0 _H	T21R1L	T21R1<7:0>								0000 0000	
60B1 _H	T21R1H	T21R1<15:8>								0000 0000	
60B2 _H	T21CL	T21M<3:0>				—	—	T21DLYEN	T21TR	0000 0000	
60B3 _H	T21CH	T21EN	T21POS<6:0>								0000 0000
60B4 _H	T21CM	T21ADEN	T21ADS	T21OM<1:0>		T21PRS<3:0>				0000 0000	
60B5 _H	T21AS	T21ASYNC LKS	T21ASEN	T21ASES<1:0>		T21ARS	T21ASF	PSS21BD<1:0>		0000 0000	
60B6 _H	T21TMRADC	T21TMRADC<7:0>								0000 0000	
60B7 _H	T21CP0L	T21CP0<7:0>								1111 1111	
60B8 _H	T21CP0H	T21CP0<15:8>								1111 1111	
60B9 _H	T21CP1L	T21CP1<7:0>								1111 1111	
60BA _H	T21CP1H	T21CP1<15:8>								1111 1111	
60BB _H	T2NOC	—	—	—	—	P51EN	P50EN	P41EN	P40EN	0000 0000	
60BC _H	T20PWMSHUT	T20PWMSHUT<7:0>								0000 0000	
60BD _H	T21PWMSHUT	T21PWMSHUT<7:0>								0000 0000	
60BE _H	—	—								—	
60BF _H	—	—								—	
60E0 _H	BR2R	BR2R<7:0>								0000 0000	
60E1 _H	RX2B	RX2B<7:0>								xxxx xxxx	
60E2 _H	RX2C	RX2EN	RX2LEN	—	—	—	OERR2	FERR2	RX2R8	0000 0000	
60E3 _H	TX2B	TX2B<7:0>								0000 0000	
60E4 _H	TX2C	TX2EN	TX2LEN	BRGH2	—	—	—	TRMT2	TX2R8	0000 0010	
60E5 _H	BR3R	BR3R<7:0>								0000 0000	

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
60E6 _H	RX3B	RX3B<7:0>								xxxx xxxx
60E7 _H	RX3C	RX3EN	RX3LEN	—	—	—	OERR3	FERR3	RX3R8	0000 0000
60E8 _H	TX3B	TX3B<7:0>								0000 0000
60E9 _H	TX3C	TX3EN	TX3LEN	BRGH3	—	—	—	TRMT3	TX3R8	0000 0010
60EA _H	T11CTR	—	—	—	T11PWM_CLKS	—	—	T11RD_READY	T11RD_TRIG	0000 0000
60EB _H	T12CTR	—	—	—	T12PWM_CLKS	—	—	T12RD_READY	T12RD_TRIG	0000 0010
60EC _H	T13CTR	—	—	—	T13PWM_CLKS	—	—	T13RD_READY	T13RD_TRIG	0000 0000
60ED _H	T20CTR	—	—	—	T20PWM_CLKS	—	—	T20RD_READY	T20RD_TRIG	0000 0010
60EE _H	T21CTR	—	—	—	T21PWM_CLKS	—	—	T21RD_READY	T21RD_TRIG	0000 0010
60EF _H	PWMSRC_PLL	PLL_LOCKDLY_TIME<3:0>				—	PLL_LOCK_RDY	PLLVCO_HP	PWM_PLEN	0000 0000
60F0 _H	—	—								0000 0000
60F1 _H	—	—								0000 0000
60F2 _H	—	—								0000 0000
60F3 _H	—	—								0000 0000
60F4 _H	—	—								0000 0000
60F5 _H	—	—								0000 0000
60F6 _H	PAGEENC0	PAGEENC0<7:0>								1111 1111
60F7 _H	PAGEENC1	PAGEENC1<7:0>								11111111
60F8 _H	PAGEENC2	—	—	—	—	—	—	—	ENC17K	0000 0001
60F9 _H	—	—								0000 0000
60FA _H	—	—								0000 0000
60FB _H	VBIAS0	VBIAS_HS	VBIAS_SEL1<2:0>			VBIAS_EN	VBIAS_SEL0<2:0>			0000 0000
60FC _H	VBIAS1	—	VBIAS_SEL3<2:0>			—	VBIAS_SEL2<2:0>			0000 0000
60FD _H	VBIAS2	—	VBIAS_SEL5<2:0>			—	VBIAS_SEL4<2:0>			0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	POR 值
60FE _H	VBIAS3	—	VBIAS_SEL7<2:0>			—	VBIAS_SEL6<2:0>			0000 0000
60FF _H	—	—								0000 0000

附录3 电气特性

附录3.1 参数特性表

附录3.1.1 芯片工作条件

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	VSS=0V	-0.3 ~ 7.5	V
输入电压	V _{IN}	VSS=0V	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	VSS=0V	-0.3 ~ VDD + 0.3	V
VDD 管脚最大输入电流	I _{MAXVDD}	VDD=5.0V, 25°C	80	mA
VSS 管脚最大输出电流	I _{MAXVSS}	VDD=5.0V, 25°C	180	mA
存储温度	T _{STG}	—	-55 ~ 125	°C

注 1: 上述最大标称值参数为芯片工作条件的极限参数范围, 超出该范围, 可能会导致芯片永久性物理损坏;

注 2: 芯片需在正常工作条件下, 才能保证持续稳定运行, 对芯片的正常工作条件, 参见下面的表格所述。

◆ 芯片工作条件表

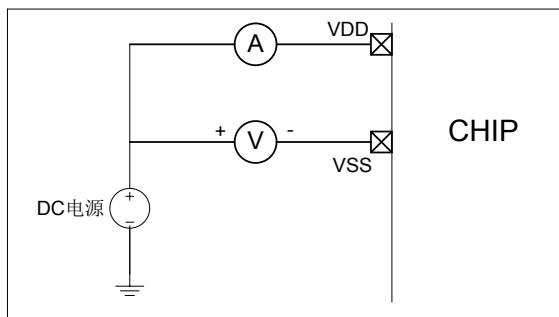
参数	符号	工作条件	最小值	最大值	单位
芯片工作温度	T _{OPR}	—	-40	85	°C
芯片工作电压	VDD	—	2.2	5.5	V

◆ 芯片功能模块工作电压范围表

参数	符号	工作温度	VDD 电压	备注
ADC 工作电压	V _{ADC}	-40 ~ 85°C	2.4~5.5V	正向参考电压为 VDD
			2.4~5.5V	正向参考电压为内部 VREF 2.048V
			4.5~5.5V	正向参考电压为内部 VREF 4.096V
TK 工作电压	V _{TK}	-40 ~ 85°C	2.4~5.5V	C _p 充电电源为 VDD
			3.3~5.5V	C _p 充电电源为内部参考电压 2.6V

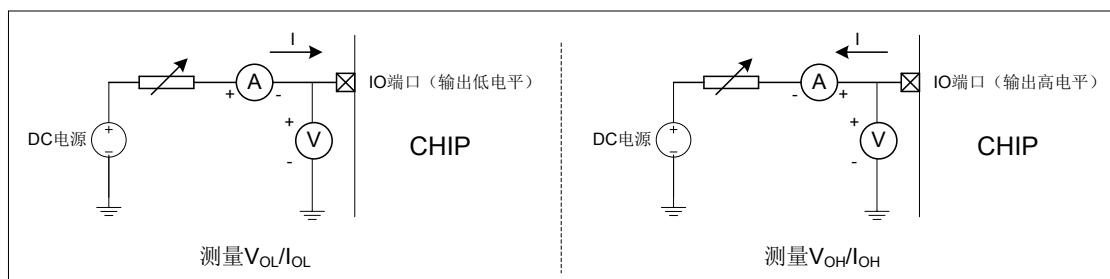
附录3.1.2 芯片特性参数测量方法

◆ 芯片功耗参数测量方法



芯片功耗测量连接示意图

◆ 芯片 IO 端口参数测量方法



芯片 IO 端口输出特性参数测量连接示意图

附录3.1.3 芯片功耗特性

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.2	—	5.5	V	-40℃ ~ 85℃
芯片静态电流	I _{DD}	—	300	—	uA	25℃, VDD = 5V, MRSTN = 0, 所有的 I/O 输入低电平 (如果配置为外部 OSC 振荡器, 则 OSC0 = 0, OSC1 悬空)。
休眠模式 IDLE 芯片电流	I _{PD}	—	5	—	uA	25℃, VDD = 5V, WDT 使能, HRC 和 OSC 时钟关闭, ADHSEN=0, 所有 I/O 端口输出固定电平, 无负载。
正常运行模式 芯片电流	I _{OP}	—	3.9	—	mA	25℃, VDD = 5V, WDT 使能, 外设模块均工作, 所有 I/O 端口输出固定电平, 无负载, ADC 使用内部 VREF 作为正向参考电压, TK 模块使能; 系统主时钟为内部 16MHz HRC 时钟。

◆ 芯片功能模块功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
外部振荡器 OSC 16MHz 电流	I_{OSC}	—	1.0	—	mA	25°C, VDD = 5V
内部高速时钟 HRC 电流	I_{HRC}	—	0.2	—	mA	25°C, VDD = 5V
BOR 模块电流	I_{BOR}	—	0.3	—	μA	25°C, VDD = 5V
LVD 模块电流	I_{LVD}	—	0.3	—	μA	25°C, VDD = 5V
WDT 模块电流	I_{WDT}	—	0.3	—	μA	25°C, VDD = 5V
ADC 模块电流	I_{ADC}	—	1.1	—	mA	25°C, VDD = 5V, ADC 转换时钟频率为 500KHz, 内部 VREF 作为正向参考电压
T10 模块电流	I_{T16N}	—	70	—	μA	25°C, VDD = 5V, 定时器模式, 计数时钟为 4MHz
T11/T12/T13 模块 电流	I_{T32N}	—	80	—	μA	25°C, VDD = 5V, 定时器模式, 计数时钟为 16MHz
T20/T21 模块电流	I_{UART}	—	80	—	μA	25°C, VDD = 5V, 定时器模式, 计数时钟为 16MHz
UART 模块电流	I_{EUART}	—	100	—	μA	25°C, VDD = 5V, 通讯波特率为 9600bps
I2C 模块电流	I_{I2C}	—	70	—	μA	25°C, VDD = 5V, 主控模式, 通讯速率为 400KHz
FLASH 编程电流	I_{PROG}	—	—	4	mA	-40~85°C, VDD = 5V
FLASH 擦除电流	I_{ERAS}	—	—	4	mA	

◆ 芯片 IDLE 模式功耗

VDD=5.0V, 常温, IDLE 模式唤醒后, 系统时钟为睡眠前的系统时钟		
WDT 使能后唤醒 IDLE	芯片 IDLE 模式功耗(μA)	
	IDLE 模式下打开 Flash 电源 (PWRDWN=0)	IDLE 模式下关闭 Flash 电源 (PWRDWN=1)
WDT 禁止	4.6	4.3
WDT 使能, 预分频比 1:512	4.7	4.3
WDT 使能, 预分频比 1:256	4.7	4.3
WDT 使能, 预分频比 1:128	4.7	4.4
WDT 使能, 预分频比 1:64	4.8	4.4

WDT 使能, 预分频比 1:32	4.9	4.8
WDT 使能, 预分频比 1:16	5.2	5.1
WDT 使能, 预分频比 1:8	5.6	5.9
WDT 使能, 预分频比 1:1	12.6	16.4

注: WDT 使能后, 上述芯片功耗为 IDLE 睡眠模式和唤醒期间的平均功耗, 仅供客户参考。由测试结果可以看出, 在 WDT 计数预分频比大于或等于 1:16 时, 在睡眠模式下关闭 Flash 电源 (PWRDWN=1) 可进一步降低功耗, 但在预分频比小于等于 1:8 时, 则建议在睡眠模式下, 打开 Flash 电源 (PWRDWN=0)。

附录3. 1. 4 芯片IO端口特性

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输入高电平	V_{IH1}	0.8VDD	—	VDD	V	2.2V ≤ VDD ≤ 5.5V
I/O 端口输入低电平	V_{IL1}	VSS	—	0.2VDD	V	
主复位信号, 输入高电平	V_{IH}	0.8VDD	—	VDD	V	
主复位信号, 输入低电平	V_{IL}	VSS	—	0.2VDD	V	
IO 端口施密特迟滞窗口 (PC6, PC7 除外)	V_{HYST1}	0.4	0.8	—	V	VDD = 5.0V
IO 端口施密特迟滞窗口 (PC6, PC7)	V_{HYST2}	—	0.1	—	V	VDD = 5.0V
I/O 端口输入漏电流	I_{IL}	—	—	1	μA	VDD = 5.0V (端口高阻状态)
IO 端口弱上拉电阻	R_{WPU1}	35	45	60	kΩ	VDD = 5.0V Vpin = VSS (PB0~PB7 端口)
	R_{WPU2}	16	18	20	kΩ	VDD = 5.0V Vpin = VSS (PA0~PA7, PC0~PC7, PE0~PE5 端口)
IO 端口弱下拉电阻	R_{WPD1}	25	35	50	kΩ	VDD = 5.0V Vpin = VDD (PB0~PB7 端口)
	R_{WPD2}	16	18	20	kΩ	VDD = 5.0V Vpin = VDD (PA0~PA7, PC0~PC7, PE0~PE5 端口)

◆ 芯片输出端口（PB0~PB7）特性表

芯片工作温度范围：-40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口（普通驱动）输出高电平	I_{OH1}	-3.5	-4.5	-6	mA	VDD = 5.0V $V_{OH} = 4.6V$
		-3	-4	-5		VDD = 3.5V $V_{OH} = 3.0V$
I/O 端口（增强驱动）输出高电平	I_{OH2}	-7	-8	-10.5	mA	VDD = 5.0V $V_{OH} = 4.6V$
		-7	-8	-10		VDD = 3.5V $V_{OH} = 3.0V$
I/O 端口（普通驱动）输出低电平	I_{OL1}	14	20	26	mA	VDD = 5.0V $V_{OL} = 0.4V$
		38	54	62		VDD = 5.0V $V_{OL} = 1.4V$
		12	16	20		VDD = 3.5V $V_{OL} = 0.4V$
		26	36	44		VDD = 3.5V $V_{OL} = 1.2V$
I/O 端口（大电流驱动）输出低电平	I_{OL2}	80	100	120	mA	VDD = 5.0V $V_{OL} = 0.4V$
		120	140	170		VDD = 5.0V $V_{OL} = 0.6V$
		68	80	100		VDD = 3.5V $V_{OL} = 0.4V$
		98	115	145		VDD = 3.5V $V_{OL} = 0.6V$

注 1: I/O 端口拉电流 I_{OH} 和灌电流 I_{OL} 的驱动能力随温度降低而增大;

注 2: PB0~PB7 端口的拉电流（端口输出高电平）和灌电流（端口输出低电平）驱动能力可独立配置，分别通过 PBL0 和 PBL1 寄存器的对应位配置。灌电流配置为 100mA 大电流驱动时，同时只能有一个端口可驱动高达 100mA 的负载，如用于 LED 驱动时，需采取共阴极动态扫描驱动。当灌电流配置为大电流驱动时，禁止设置拉电流为增强驱动，否则可能引起芯片工作异常。

◆ 芯片输出端口（PA0~PA7, PC0~PC7, PE0~PE5）特性表

芯片工作温度范围：-40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口（普通驱动）输出高电平	I _{OH1}	-5.5	-6.5	-8.5	mA	VDD = 5.0V V _{OH} = 4.6V
		-5	-6	-7		VDD = 3.5V V _{OH} = 3.0V
I/O 端口（增强驱动）输出高电平	I _{OH2}	-8	-9	-11	mA	VDD = 5.0V V _{OH} = 4.6V
		-7	-9	-10.5		VDD = 3.5V V _{OH} = 3.0V
I/O 端口（普通驱动）输出低电平	I _{OL1}	7	8.5	10	mA	VDD = 5.0V V _{OL} = 0.4V
		18	23	27		VDD = 5.0V V _{OL} = 1.4V
		5.5	7	8		VDD = 3.5V V _{OL} = 0.4V
		13	15	18		VDD = 3.5V V _{OL} = 1.2V
I/O 端口（增强驱动）输出低电平	I _{OL2}	14	16	19	mA	VDD = 5.0V V _{OL} = 0.4V
		28	45	52		VDD = 5.0V V _{OL} = 1.4V
		10.5	14	16		VDD = 3.5V V _{OL} = 0.4V
		25	30	35		VDD = 3.5V V _{OL} = 1.2V

注 1: I/O 端口拉电流 I_{OH} 和灌电流 I_{OL} 的驱动能力随温度降低而增大;

注 2: PA0~PA7, PC0~PC7, PE0~PE5 端口驱动能力分别通过 PALC, PCLC, PELC 寄存器的对应位配置。

附录3.1.5 芯片系统时钟特性

◆ 系统时钟特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F _{osc}	—	—	20	MHz	2.2V ≤ VDD ≤ 5.5V
系统时钟周期	T _{osc}	50	—	—	ns	
机器周期	T _{inst}	100	—	—	ns	
外部时钟高电平和低电平时间	T _{OSL} , T _{OSH}	15	—	—	ns	
外部时钟上升和下降时间	T _{OSR} , T _{OSF}	—	—	15	ns	

附录3.1.6 芯片ESD特性

◆ ESD 特性参数表

参数	符号	等级	最大值	单位	测试条件
ESD 电压 (人体模型)	V_{ESDHBM}	3A	4000	V	25°C, MIL-STD-883H
ESD 电压 (机器模型)	V_{ESDMM}	3	400	V	25°C, JESD22-A115
Latchup 电流	I_{LAT}	I	±350	mA	25°C, JESD78

注：上述 ESD 特性参数值是基于理论设计值和被测样品的测试值，不是批量产品测试值，仅供芯片应用时参考。

附录3.1.7 芯片功能模块特性

◆ ADC 交流特性表

参数名称	符号	最小值	典型值	最大值	单位	测试条件
分辨率	RES	—	—	12	bit	见备注 1
参考电压范围	V_{ADVREF}	1.8	—	VDD	V	
模拟电压输入范围	V_{IN}	VSS	—	V_{ADVREF}	V	
输入电容	C_{IN}	—	40	—	pF	
模拟通道推荐输入电阻	R_{IN}	—	—	10k	Ω	
AD 转换时钟周期	T_{AD1}	0.5	—	—	μ s	
	T_{AD2}	0.25	—	—	μ s	
AD 转换时间 (不包括采样时间)	T_{CONV}	—	14	—	T_{AD}	
差分线性度	DNL	—	±1	±2	LSB	-40°C~85°C, 负参考电压为外部 VREFN, ADC 时钟频率为 1MHz
失调误差 (见备注 2)	V_{OFFSET}	—	±2	±4	LSB	

注 1: T_{AD1} 为 ADC 使用内部 VREF 作为参考电压时的 AD 转换时钟周期;

T_{AD2} 为 ADC 使用其工作电压或外部 VREFP 作为参考电压时的 AD 转换时钟周期。

注 2: 不同工作条件下的 ADC 失调误差 V_{OFFSET} , 详见后面的“模拟小信号 ADC offset 特性表”的描述。

◆ 模拟小信号 ADC offset 特性表

1) 正参考电压为内部 VREF 2.048V, 负参考电压为 VSS, 采样时间为 8Tad 时, 不同电源电压 VDD、不同 ADC 时钟频率、对应于相同模拟输入 Vain 电压小信号的 ADC offset 典型值如下:

参数	典型值	测试条件 (ADHSEN=0)			
		模拟输入电压 Vain	参考电压	ADC 时钟频率	电源电压 VDD
ADC offset	-2LSB	5mV	正参考电压为内部 VREF 2.048V, 负参考电压为 VSS	2MHz	2.6V~5.0V
	-2LSB			1MHz	
	-1LSB			500KHz	
	-1LSB			250KHz	
	-1LSB			LRC (32KHz)	

注: 当 ADHSEN=1 时, ADC offset 值偏差会增大, 且在 VDD =3.5V~4.0V 电源电压范围内, ADC offset 值芯片间差异也可能会比较大, 所以建议芯片应用时设置 ADHSEN=0。

2) ADC 时钟频率为 1MHz、采样时间为 8Tad 时, 不同 ADC 参考电压, 不同 VDD, 对应于相同模拟输入 Vain 电压小信号的 ADC offset 典型值如下:

参数	典型值	测试条件 (ADHSEN=0)			
		模拟输入电压 Vain	参考电压	ADC 时钟频率	电源电压 VDD
ADC offset	-2LSB	5mV	正参考为外部 VREFP 2.048V, 负参考为 VSS 或外部 VREFN	1MHz	2.6V~5.0V
	-2LSB		正参考为 VDD, 负参考为 VSS 或外部 VREFN		2.6V~5.0V
	-2LSB		正参考为内部 VREF 2.048V, 负参考为 VSS 或外部 VREFN		2.6V~5.0V
	-1LSB		正参考为内部 VREF 4.096V, 负参考为 VSS 或外部 VREFN		4.5V~5.0V

注: 当 ADHSEN=1 时, ADC offset 值偏差会增大, 且在 VDD =3.5V~4.0V 电源电压范围内, ADC offset 值芯片间差异也可能会比较大, 所以建议芯片应用时设置 ADHSEN=0。

◆ ADC 转换时钟源选择表

A/D 时钟源选择	系统时钟工作频率 (Hz) (VREFPS=2'b01, 使用内部 VREF 作为正向参考电压)			
	20M	16M	8M	4M
Fosc	不推荐使用	不推荐使用	不推荐使用	不推荐使用
Fosc /2	不推荐使用	不推荐使用	不推荐使用	T _{ADCLK} = 0.5us
Fosc /4	不推荐使用	不推荐使用	T _{ADCLK} = 0.5us	T _{ADCLK} = 1us
Fosc /8	不推荐使用	T _{ADCLK} = 0.5us	T _{ADCLK} = 1us	T _{ADCLK} = 2us
Fosc /16	T _{ADCLK} = 0.8us	T _{ADCLK} = 1us	T _{ADCLK} = 2us	T _{ADCLK} = 4us
Fosc /32	T _{ADCLK} = 1.6us	T _{ADCLK} = 2us	T _{ADCLK} = 4us	T _{ADCLK} = 8us
Fosc /64	T _{ADCLK} = 3.2us	T _{ADCLK} = 4us	T _{ADCLK} = 8us	T _{ADCLK} = 16us
FLRC	T _{ADCLK} = 31us	T _{ADCLK} = 31us	T _{ADCLK} = 31us	T _{ADCLK} = 31us

A/D 时钟源选择	系统时钟工作频率 (Hz) (VREFPS=2'b00 或 2'b10, 使用 VDD 或外部 VREFP 作为正向参考电压)			
	20M	16M	8M	4M
Fosc	不推荐使用	不推荐使用	不推荐使用	T _{ADCLK} = 0.25us
Fosc /2	不推荐使用	不推荐使用	T _{ADCLK} = 0.25us	T _{ADCLK} = 0.5us
Fosc /4	不推荐使用	T _{ADCLK} = 0.25us	T _{ADCLK} = 0.5us	T _{ADCLK} = 1us
Fosc /8	T _{ADCLK} = 0.4us	T _{ADCLK} = 0.5us	T _{ADCLK} = 1us	T _{ADCLK} = 2us
Fosc /16	T _{ADCLK} = 0.8us	T _{ADCLK} = 1us	T _{ADCLK} = 2us	T _{ADCLK} = 4us
Fosc /32	T _{ADCLK} = 1.6us	T _{ADCLK} = 2us	T _{ADCLK} = 4us	T _{ADCLK} = 8us
Fosc /64	T _{ADCLK} = 3.2us	T _{ADCLK} = 4us	T _{ADCLK} = 8us	T _{ADCLK} = 16us
FLRC	T _{ADCLK} = 31us	T _{ADCLK} = 31us	T _{ADCLK} = 31us	T _{ADCLK} = 31us

◆ ADC 内部参考电压特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
ADC 内部参考电压 VREF	V _{REF1}	2.018	2.048	2.078	V	25°C, VDD=2.4~5.5V
	V _{REF2}	4.036	4.096	4.156	V	25°C, VDD=5V

注 1: V_{REF1} 为寄存器选择位 VREFSEL<1:0>=01 或 11 时对应的参考电压;

V_{REF2} 为寄存器选择位 VREFSEL<1:0>=10 时对应的参考电压;

注 2: ADC 内部参考电压在全温度范围内 (-40°C~85°C) 相对于常温条件下的偏差范围约±1.5%。

◆ TK 内部参考电压特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
TK 内部参考电压 VREF	V _{REFN}	2.56	2.6	2.64	V	25°C, VDD=3.3~5.5V

◆ 内部时钟源特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
HRC 时钟频率	F_{HRC}	15.92	16	16.08	MHz	25°C, VDD=2.2V~5.5V
		15.68	16	16.32	MHz	-40°C~85°C, VDD=2.2V~5.5V
HRC 起振时间	T_{HRC}	—	30	—	us	见备注
LRC 时钟频率	F_{LRC}	29.50	31.25	33.0	KHz	25°C, VDD=2.2V~5.5V
		12.8	31.25	51.2	KHz	-40°C~85°C, VDD=2.2V~5.5V
LRC 起振时间	T_{LRC}	—	800	—	us	见备注

注： T_{HRC} 和 T_{LRC} 均为设计规格，设计条件为-40°C~85°C。

◆ BOR 模块特性表

BORVS[1:0]	最小值	典型值	最大值	单位	测试条件
00	3.6	3.7	3.85	V	-40~85°C
10	2.5	2.6	2.75	V	
11	2.0	2.1	2.45	V	

◆ LVD 模块特性表

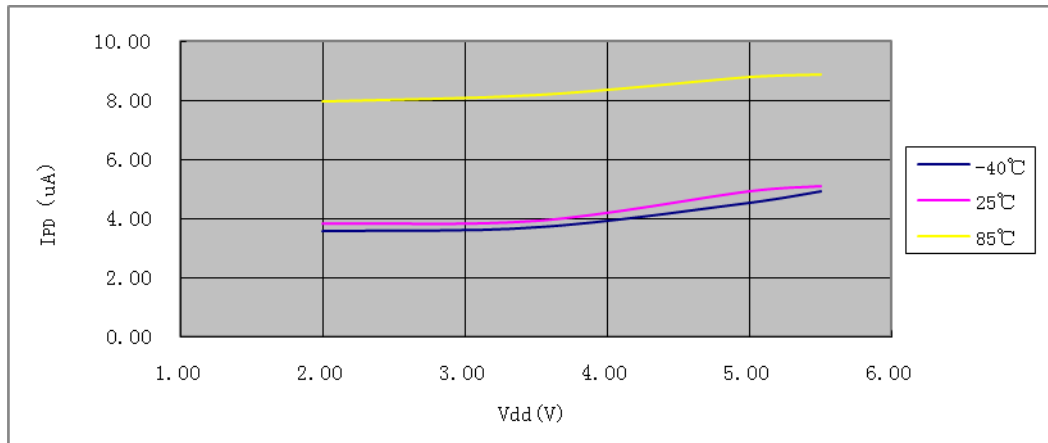
LVDVS<3:0>	最小值	典型值	最大值	单位	测试条件	
VDD 下降, LVDO 低电压 状态标志置 1	0010	2.05	2.2	2.35	V	-40~85°C
	0011	2.25	2.4	2.55	V	
	0100	2.45	2.6	2.75	V	
	0101	2.65	2.8	2.95	V	
	0110	2.85	3.0	3.15	V	
	0111	3.45	3.6	3.75	V	
	1000	3.85	4.0	4.15	V	
	1001	4.45	4.6	4.75	V	
LVD 电压检测迟滞窗口	—	50	100	mV	-40~85°C	

附录3.2 参数特性图

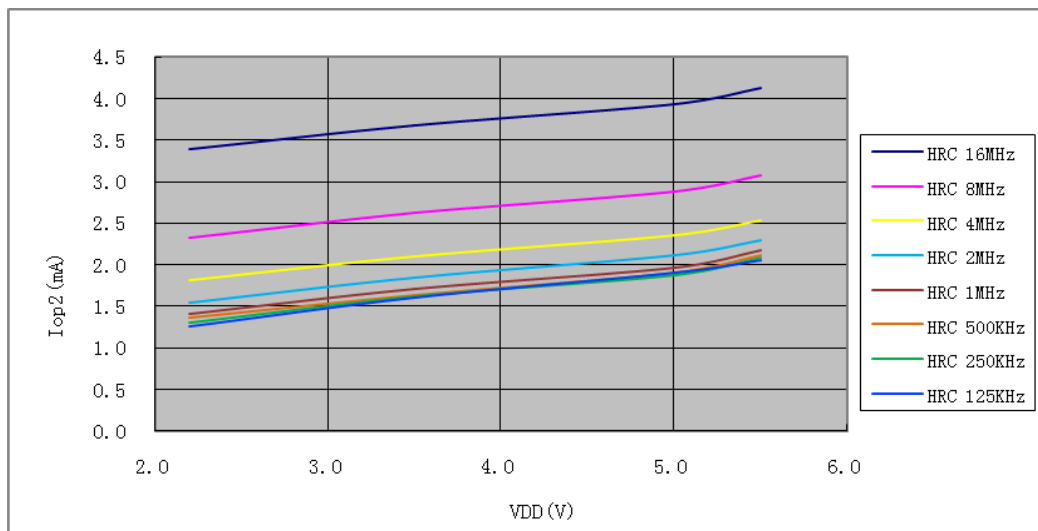
本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

附录3.2.1 芯片功耗特性

- ◆ 芯片 IDLE 睡眠模式电流随电压-温度变化特性图（WDT 使能，HRC 和 OSC 时钟关闭，所有 I/O 端口输出固定电平，无负载）



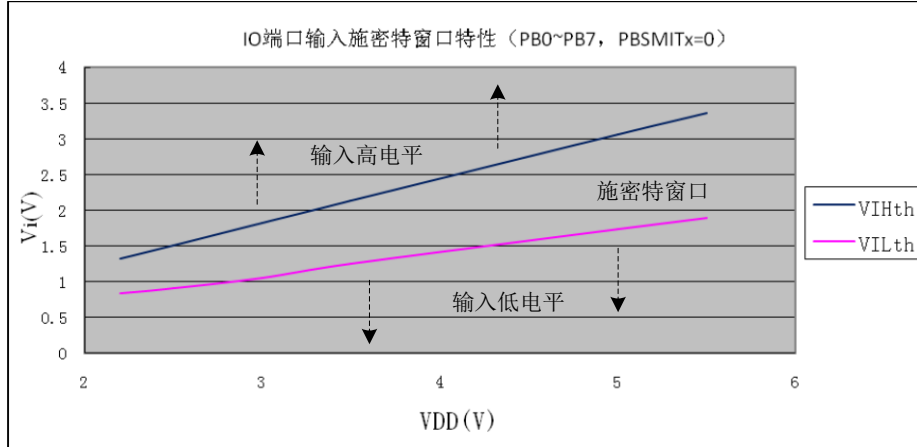
- ◆ 芯片运行模式电流随电压-系统时钟频率变化特性图（WDT, BOR 使能，外设模块均工作，所有 I/O 端口输出固定电平，无负载，ADC 使用内部 VREF 作为正向参考电压，TK 模块使能；室温 25°C）



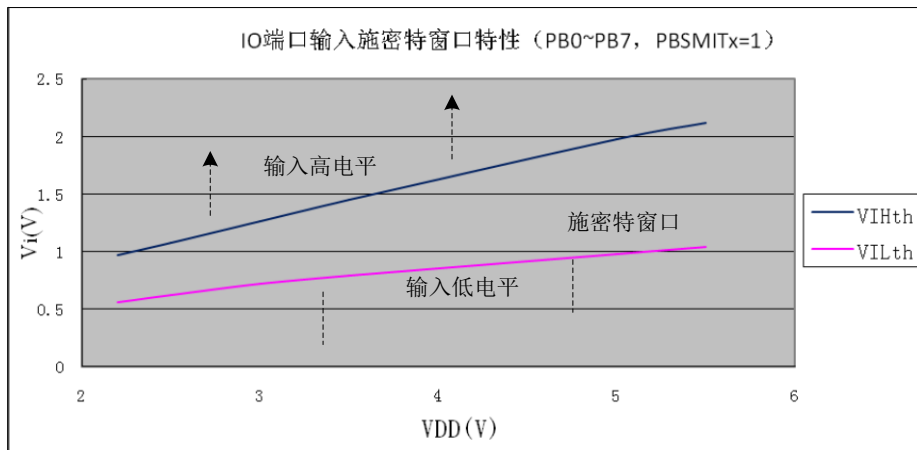
附录3.2.2 芯片IO端口输入特性

◆ I/O 端口信号输入特性图（室温 25°C）

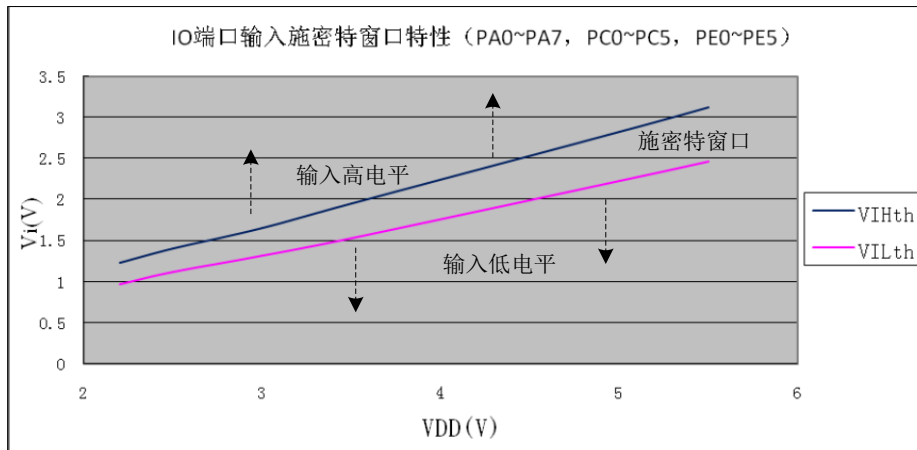
PB0~PB7 端口输入特性（PBSMITx=0）:



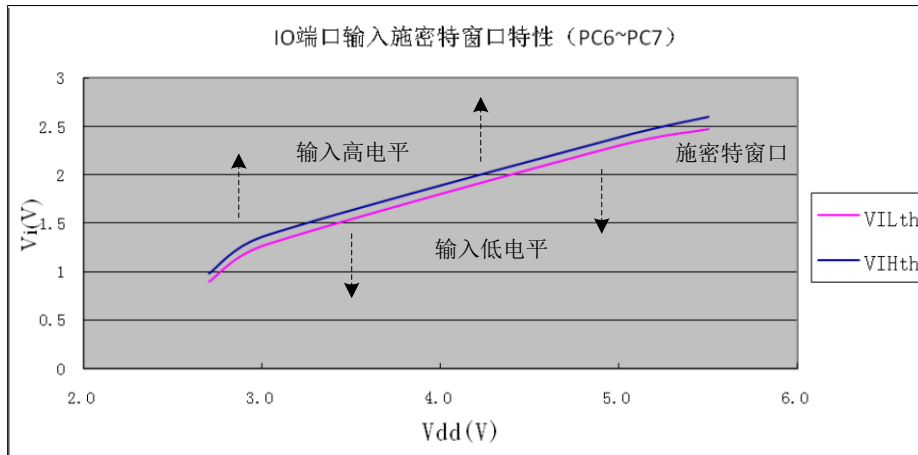
PB0~PB7 端口输入特性（PBSMITx=1）:



PA0~PA7, PC0~PC5, PE0~PE5 端口输入特性:

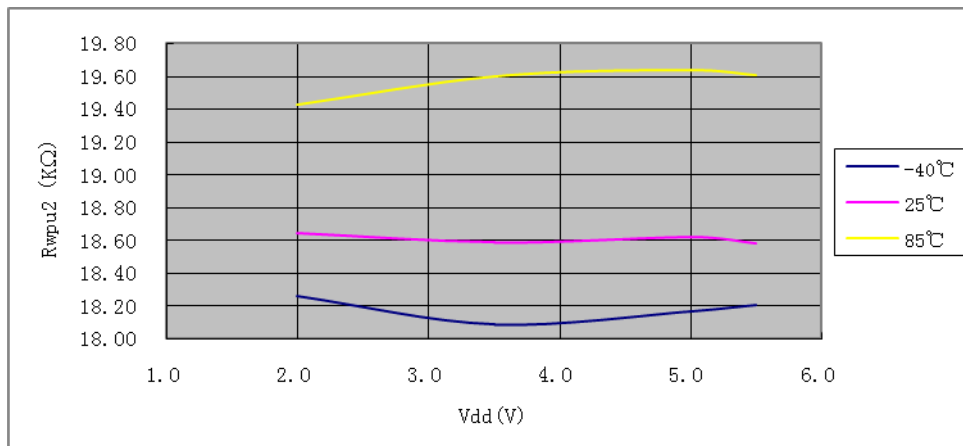


PC6~PC7 端口输入特性:

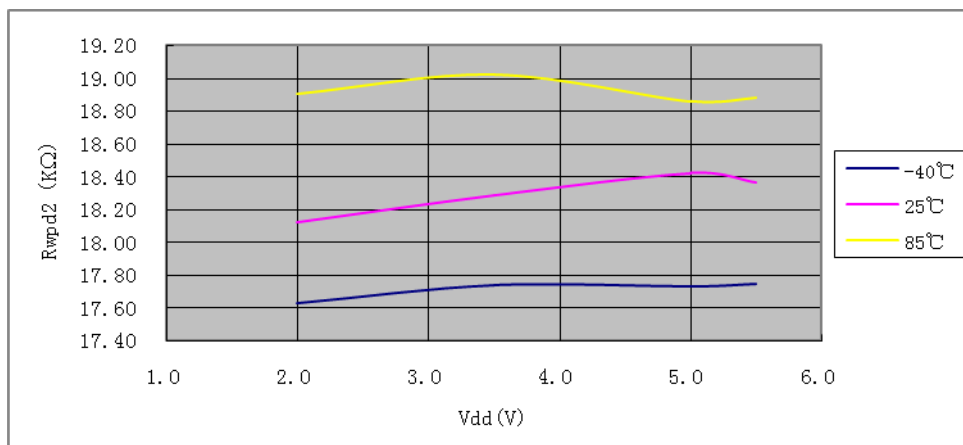


- 注 1: V_{IHth} 为施密特窗口的上阈值电平, 大于该阈值的输入电平为高;
- 注 2: V_{ILth} 为施密特窗口的下阈值电平, 小于该阈值的输入电平为低;
- 注 3: V_{IHth} 和 V_{ILth} 之间为施密特窗口, 在窗口内的输入电平不确定, 可能为高或低。

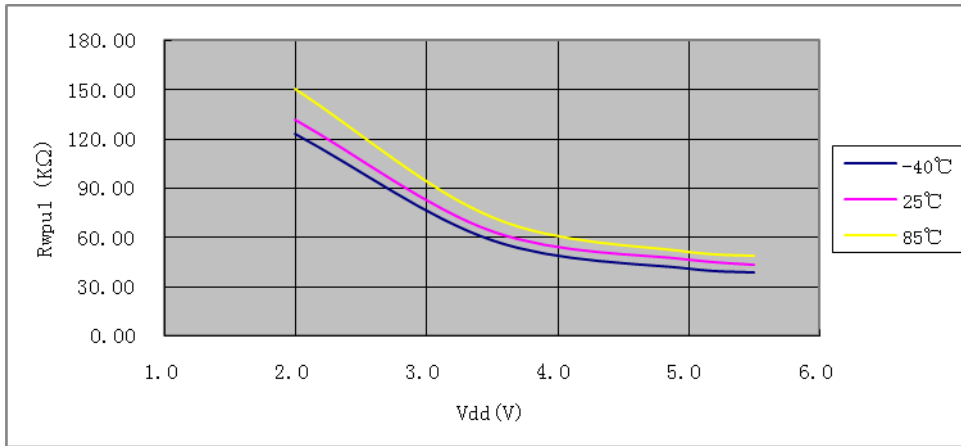
◆ I/O 端口弱上拉电阻随电压-温度变化特性图 (PB0~PB7 端口除外)



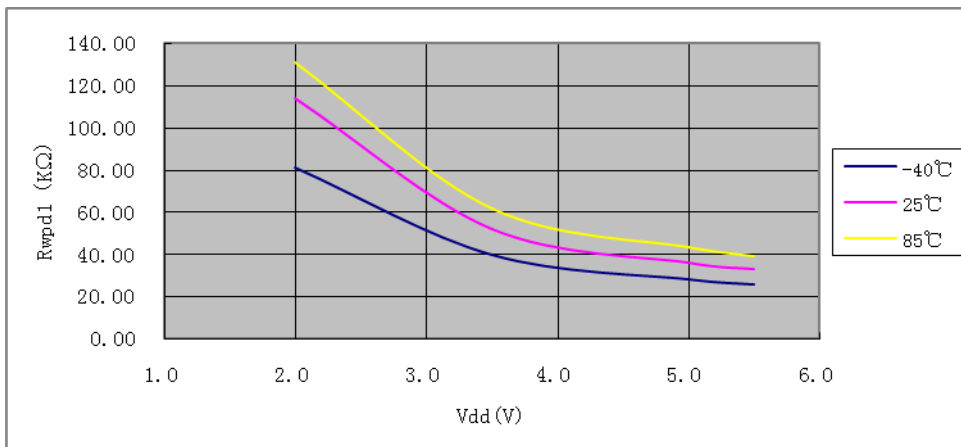
◆ I/O 端口弱下拉电阻随电压-温度变化特性图 (PB0~PB7 端口除外)



◆ I/O 端口弱上拉电阻随电压-温度变化特性图 (PB0~PB7 端口)

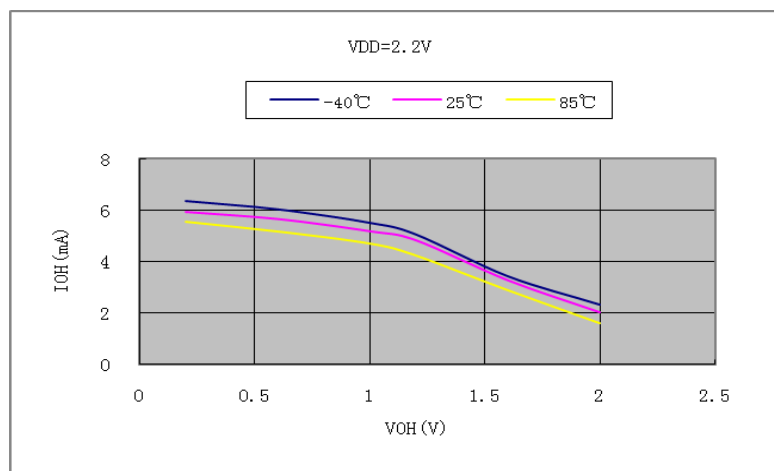


◆ I/O 端口弱下拉电阻随电压-温度变化特性图 (PB0~PB7 端口)

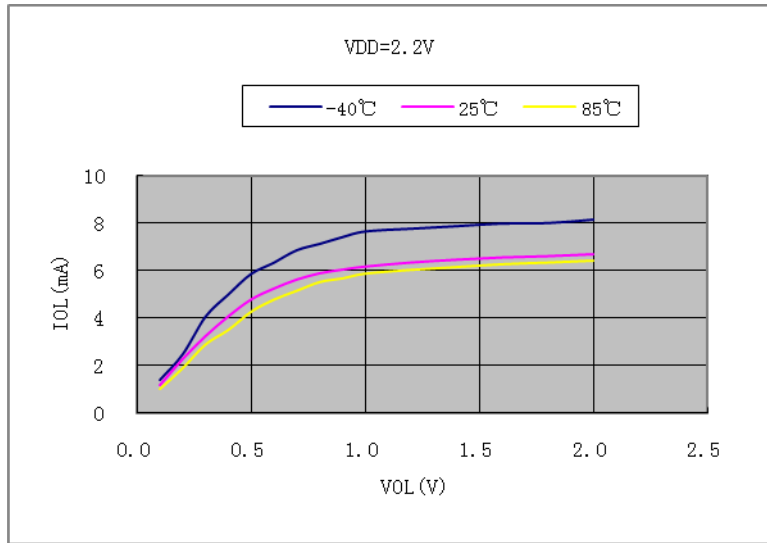


附录3.2.3 芯片IO端口输出特性 (普通驱动, PB0~PB7 端口除外)

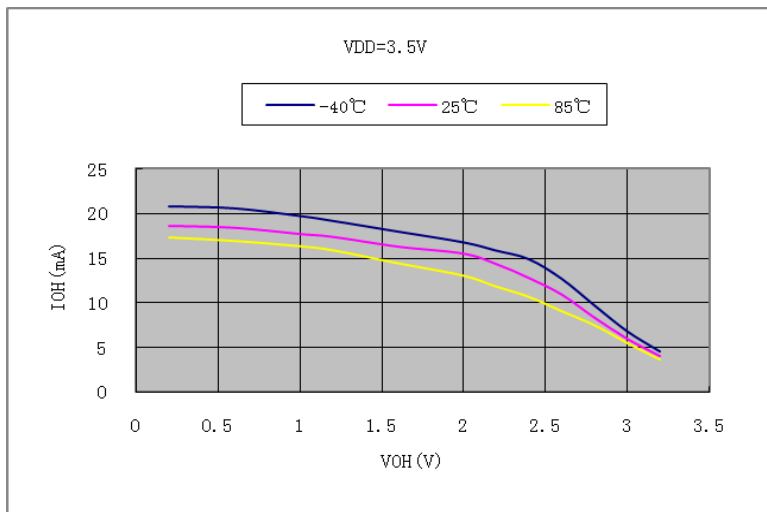
◆ V_{OH} vs I_{OH} @VDD=2.2V (普通驱动端口)



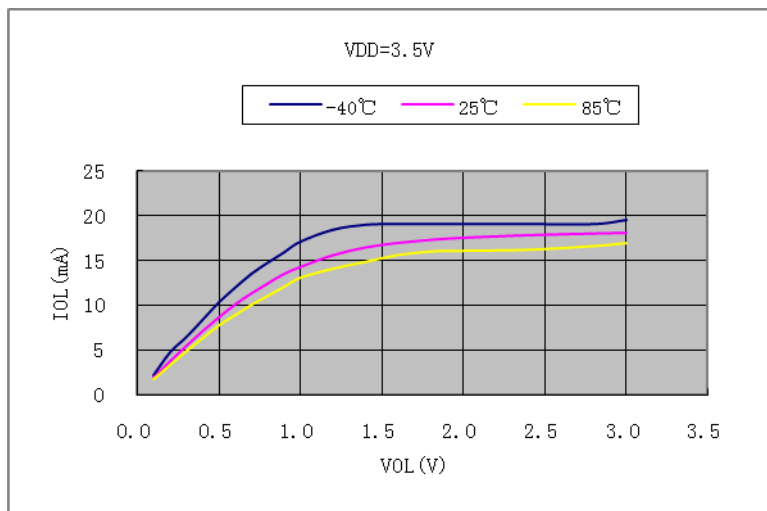
◆ V_{OL} vs I_{OL} @ $V_{DD}=2.2V$ (普通驱动端口)



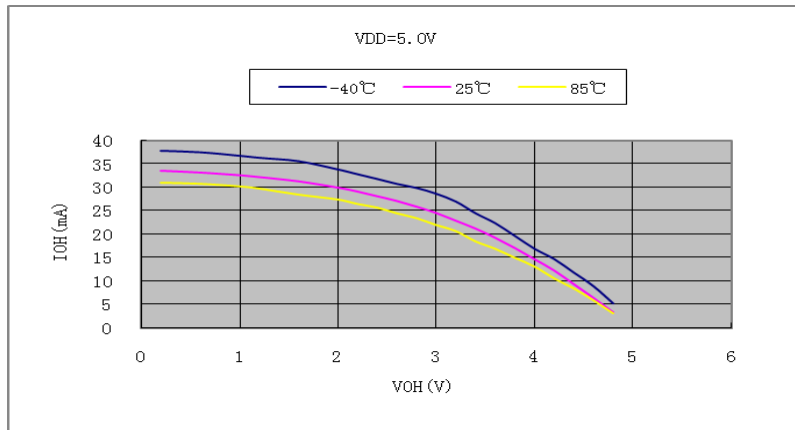
◆ V_{OH} vs I_{OH} @ $V_{DD}=3.5V$ (普通驱动端口)



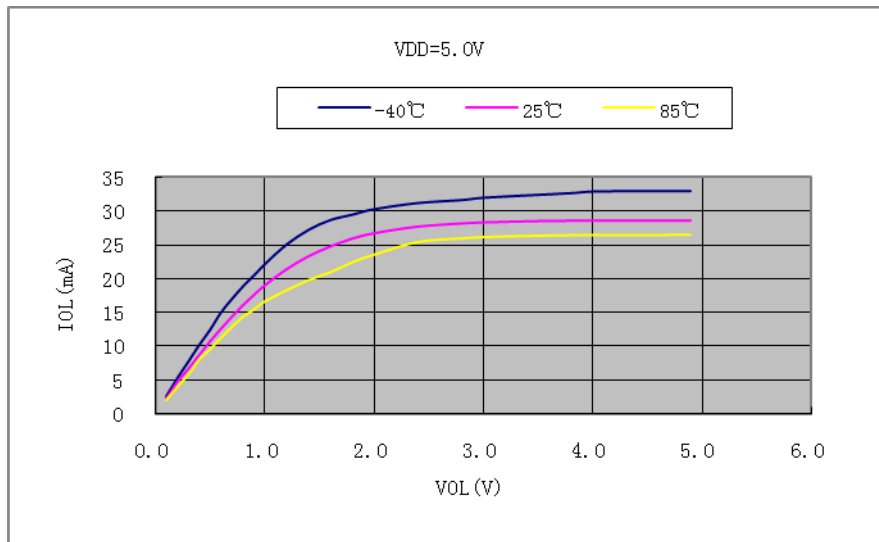
◆ V_{OL} vs I_{OL} @ $V_{DD}=3.5V$ (普通驱动端口)



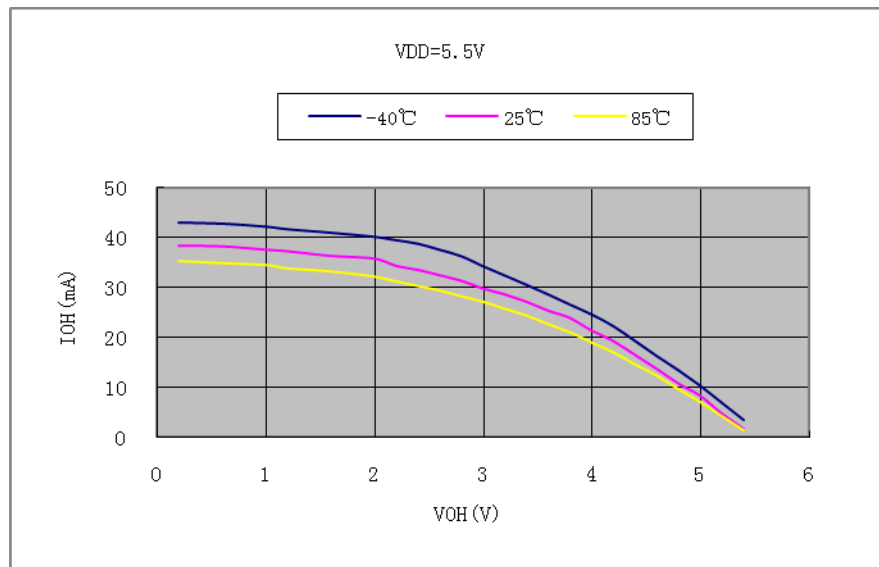
◆ V_{OH} vs I_{OH} @VDD=5.0V (普通驱动端口)



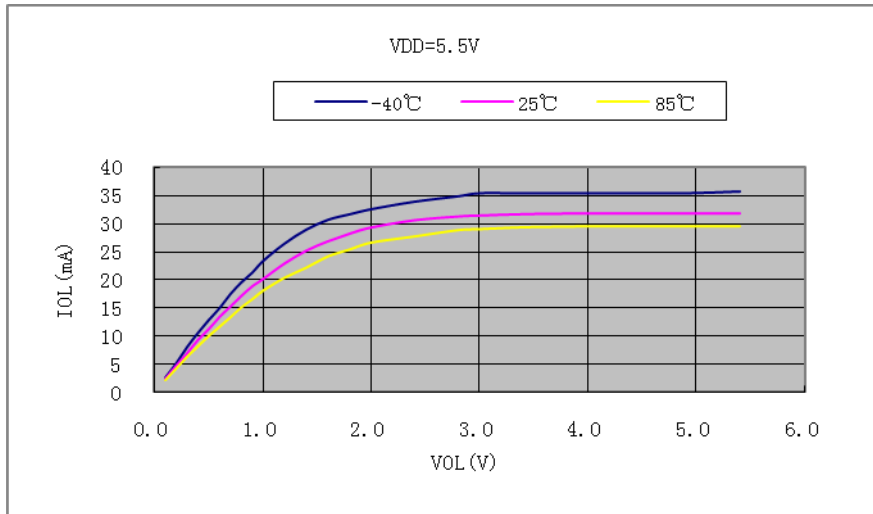
◆ V_{OL} vs I_{OL} @VDD=5.0V (普通驱动端口)



◆ V_{OH} vs I_{OH} @VDD=5.5V (普通驱动端口)

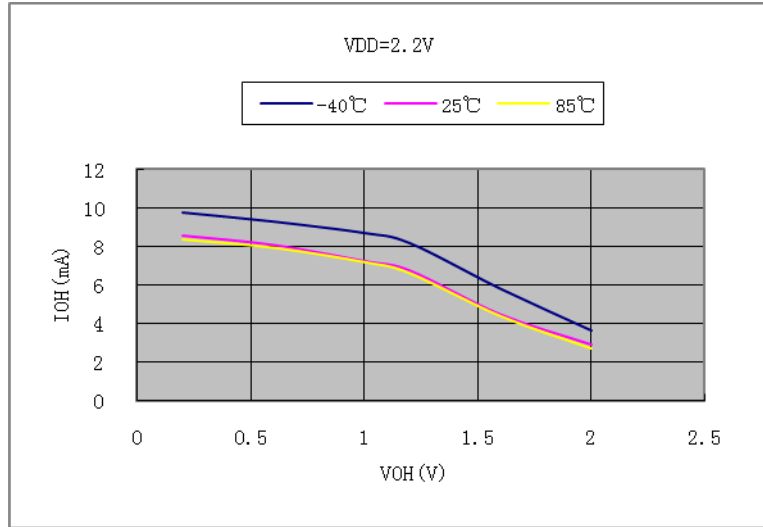


◆ V_{OL} vs I_{OL} @VDD=5.5V (普通驱动端口)

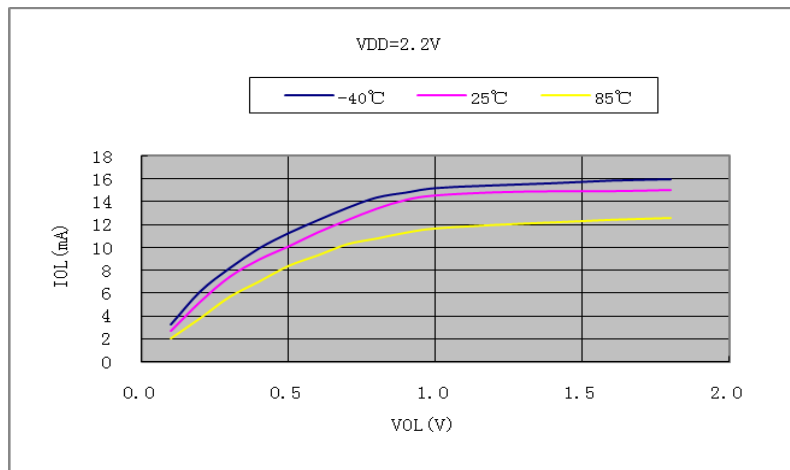


附录3.2.4 芯片IO端口输出特性（增强驱动，PB0~PB7 端口除外）

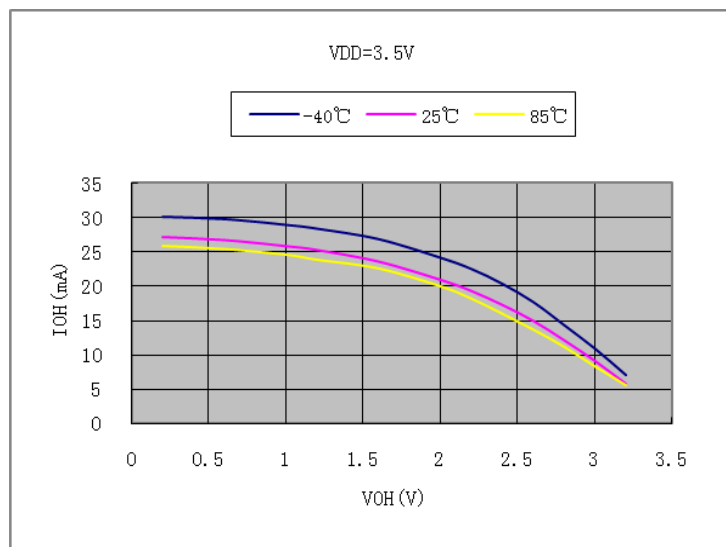
◆ V_{OH} vs I_{OH} @ $V_{DD}=2.2V$ （增强驱动端口）



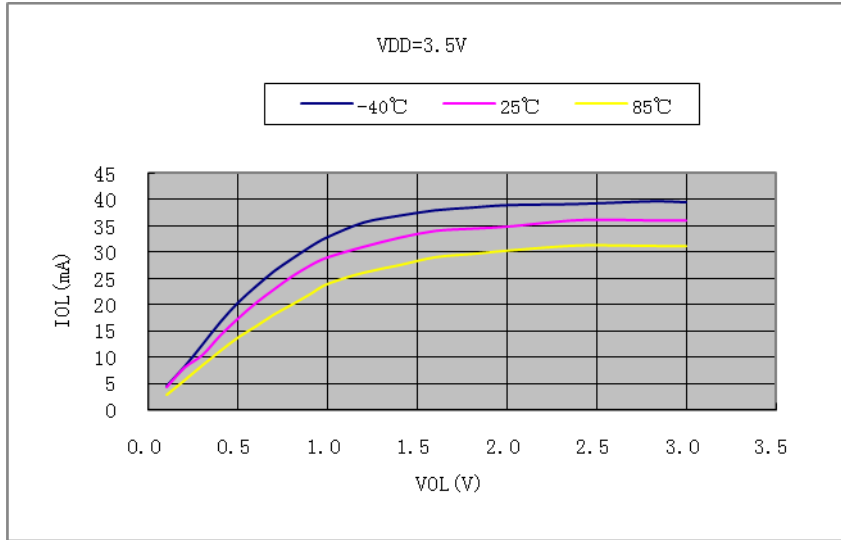
◆ V_{OL} vs I_{OL} @ $V_{DD}=2.2V$ （增强驱动端口）



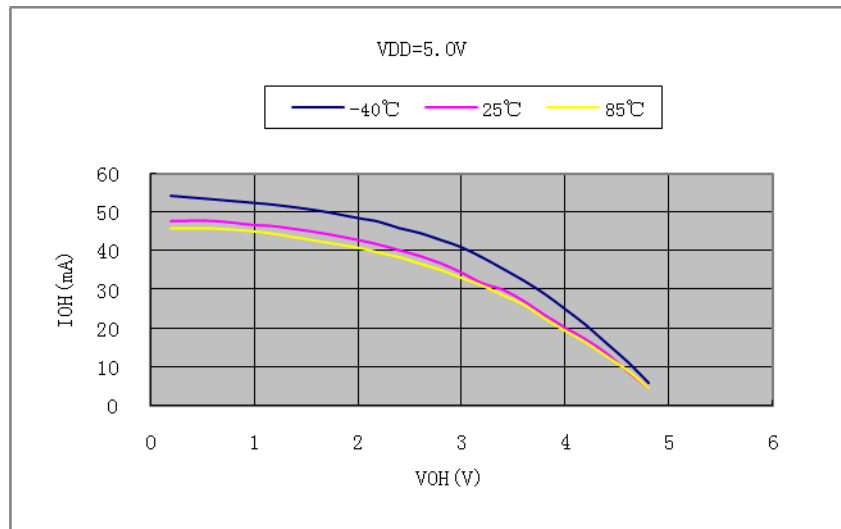
◆ V_{OH} vs I_{OH} @ $V_{DD}=3.5V$ （增强驱动端口）



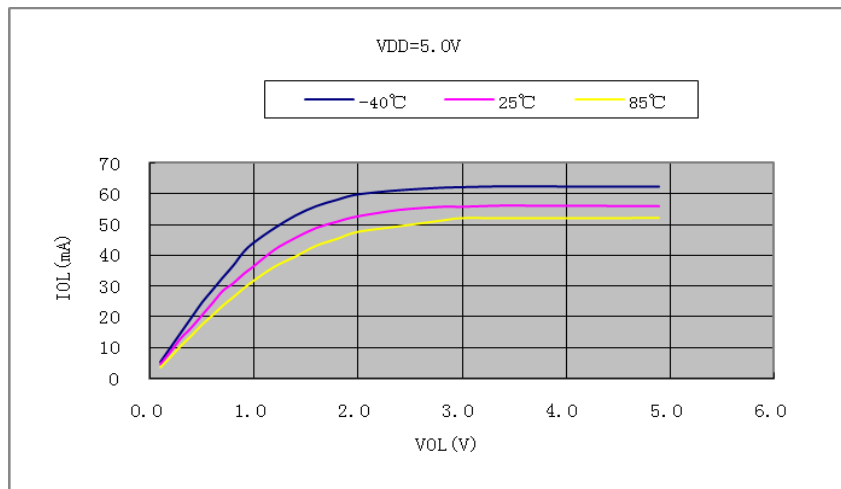
◆ V_{OL} vs I_{OL} @ $V_{DD}=3.5V$ (增强驱动端口)



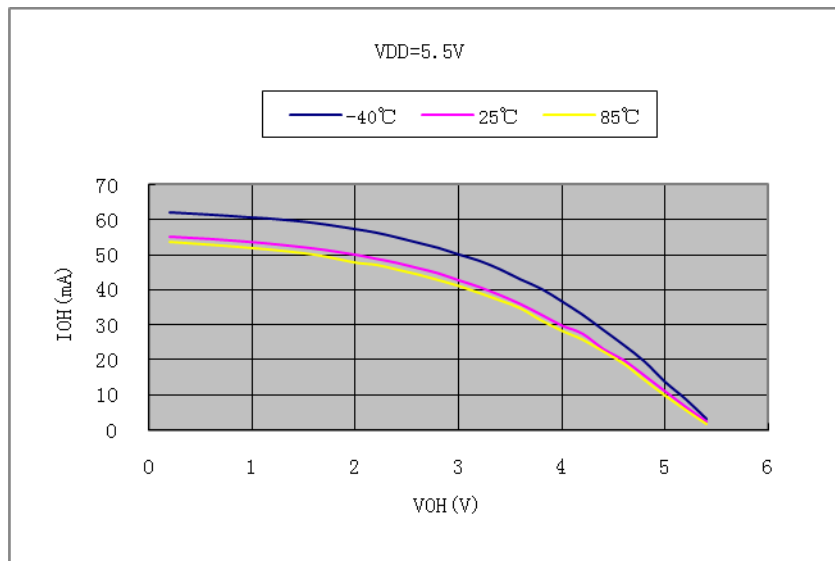
◆ V_{OH} vs I_{OH} @ $V_{DD}=5.0V$ (增强驱动端口)



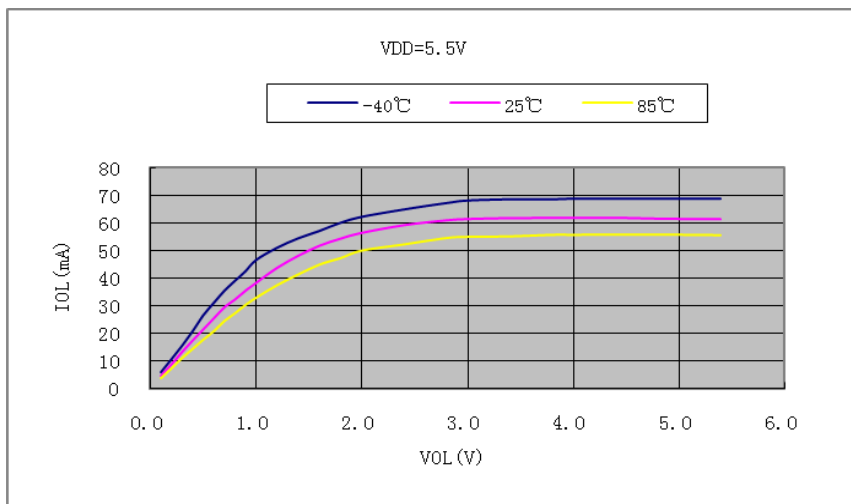
◆ V_{OL} vs I_{OL} @ $V_{DD}=5.0V$ (增强驱动端口)



◆ V_{OH} vs I_{OH} @ $V_{DD}=5.5V$ (增强驱动端口)

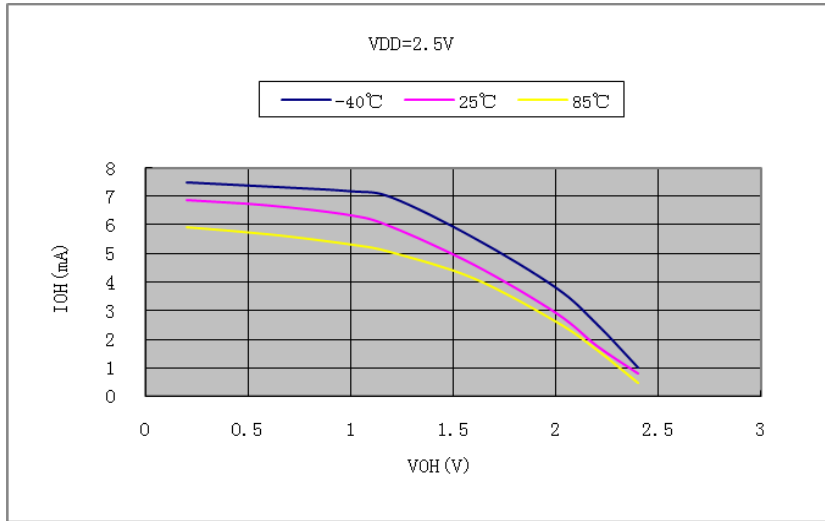


◆ V_{OL} vs I_{OL} @ $V_{DD}=5.5V$ (增强驱动端口)

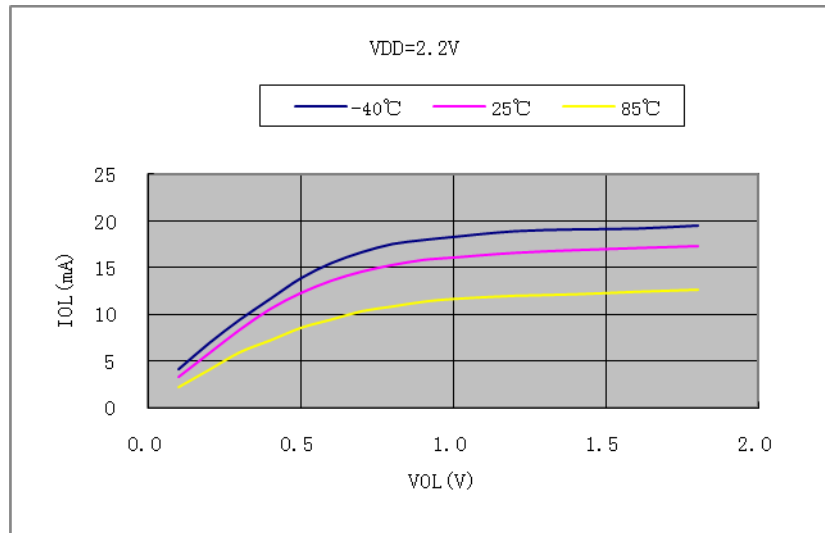


附录3.2.5 芯片IO端口输出特性（普通驱动，PB0~PB7 端口）

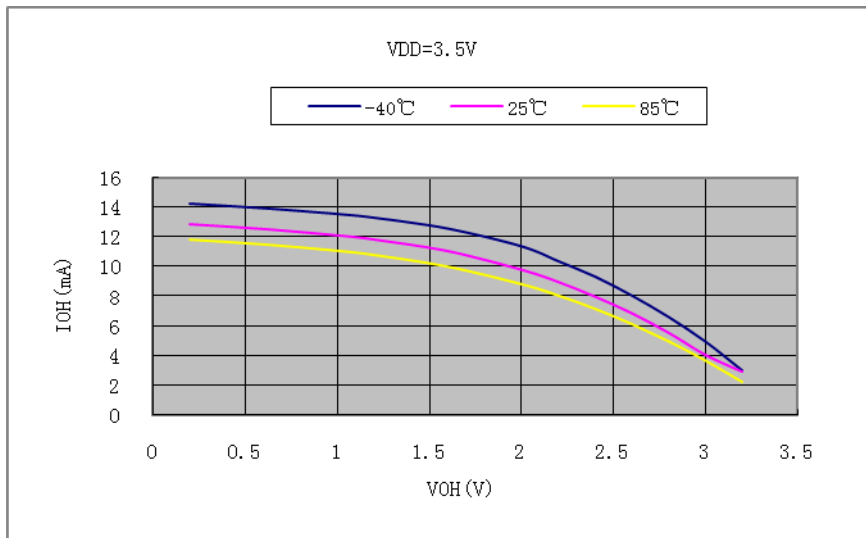
◆ V_{OH} vs I_{OH} @ $V_{DD}=2.5V$ （普通驱动端口）



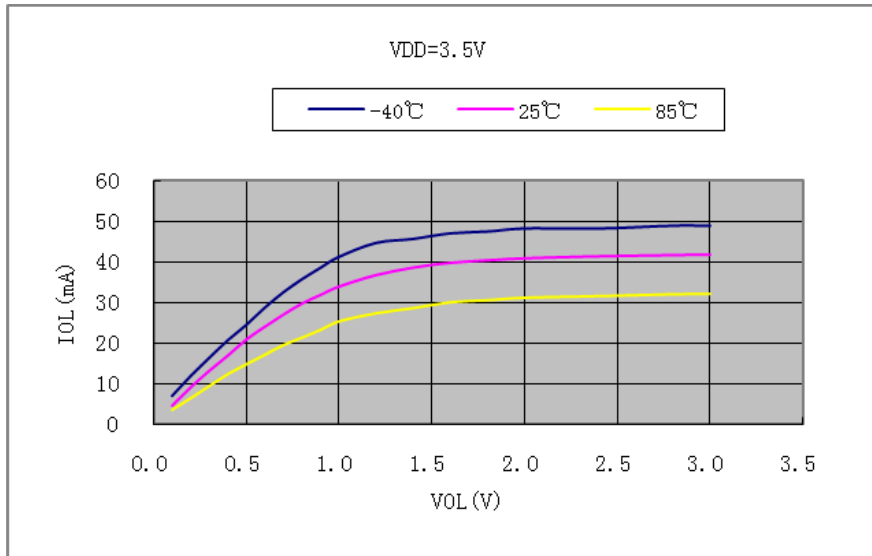
◆ V_{OL} vs I_{OL} @ $V_{DD}=2.2V$ （普通驱动端口）



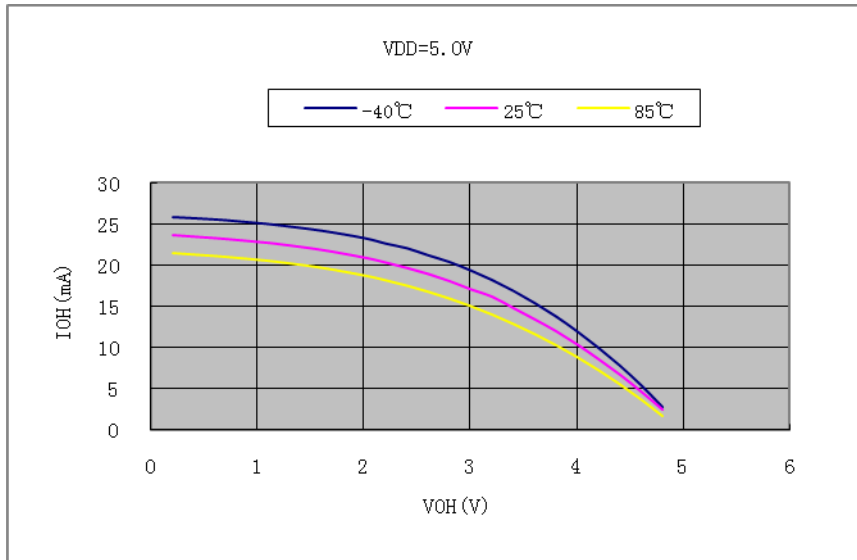
◆ V_{OH} vs I_{OH} @ $V_{DD}=3.5V$ （普通驱动端口）



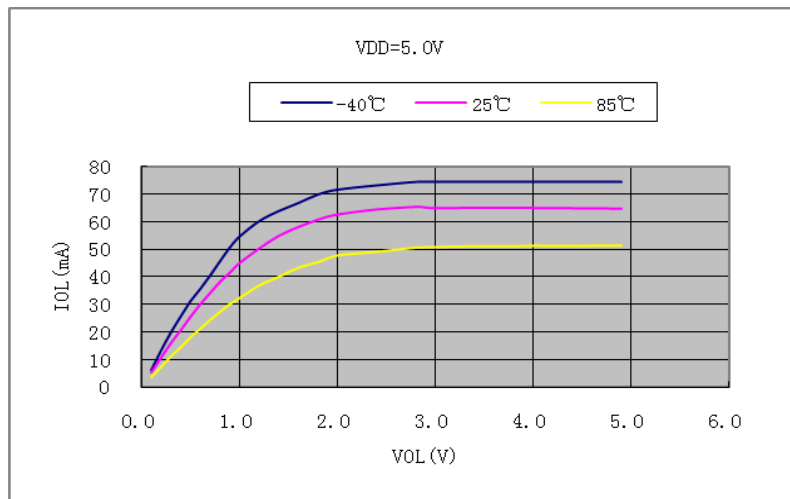
◆ V_{OL} vs I_{OL} @ $V_{DD}=3.5V$ (普通驱动端口)



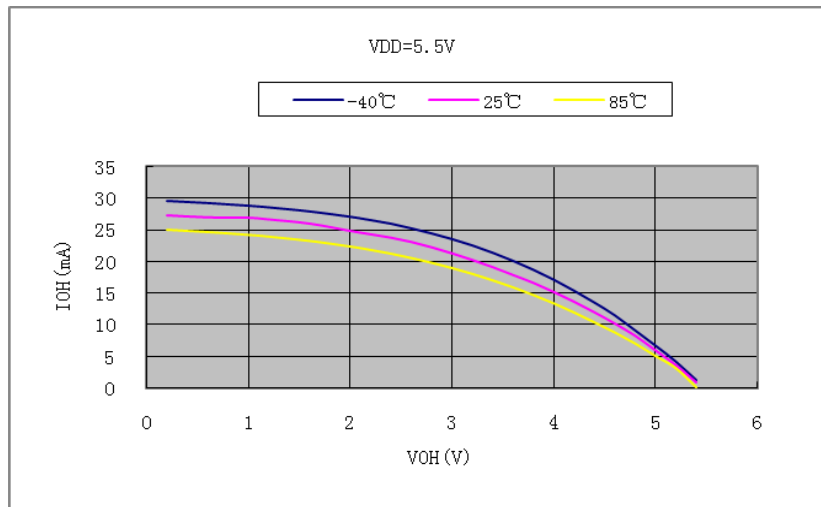
◆ V_{OH} vs I_{OH} @ $V_{DD}=5.0V$ (普通驱动端口)



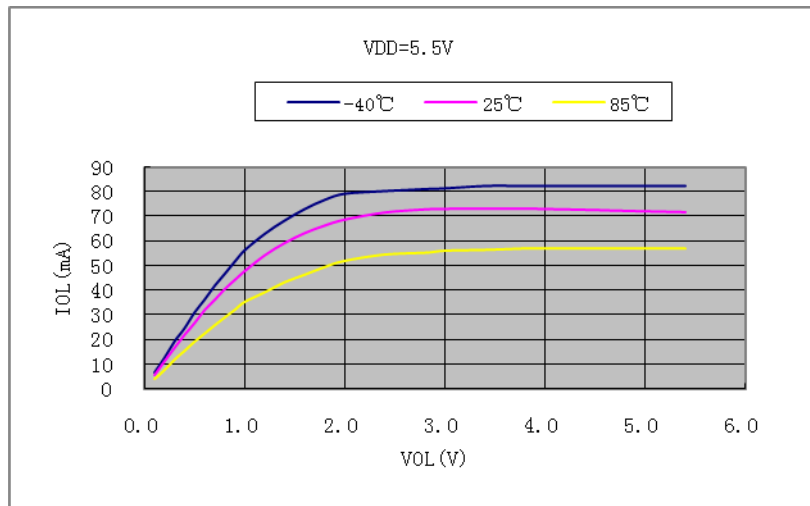
◆ V_{OL} vs I_{OL} @ $V_{DD}=5.0V$ (普通驱动端口)



◆ V_{OH} vs I_{OH} @VDD=5.5V (普通驱动端口)

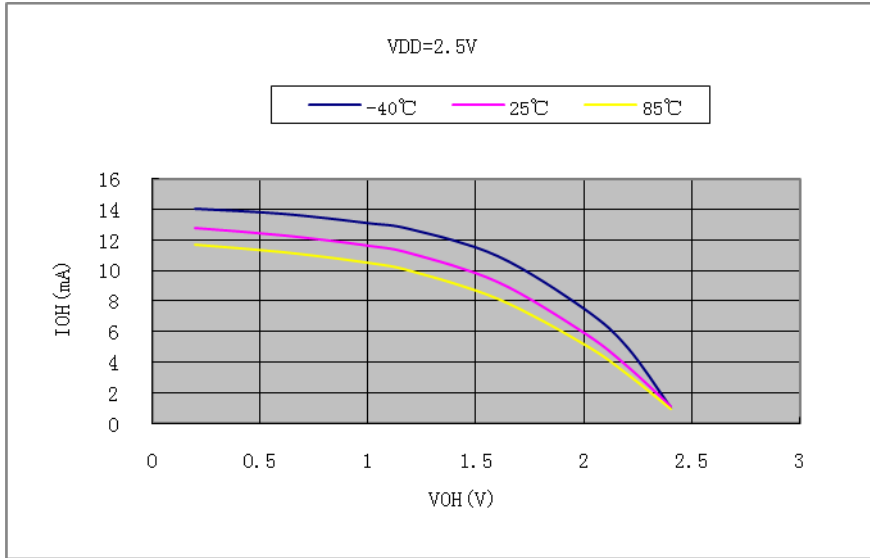


◆ V_{OL} vs I_{OL} @VDD=5.5V (普通驱动端口)

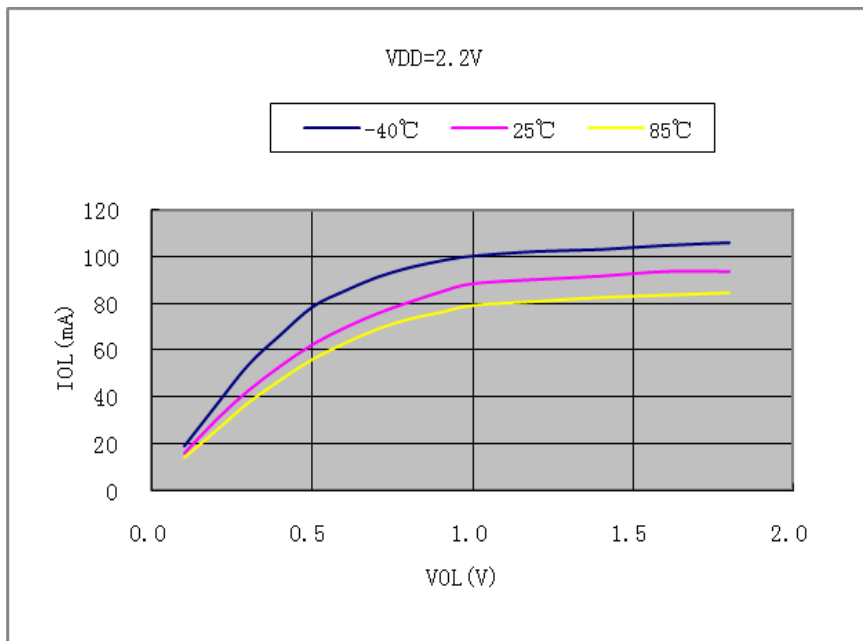


附录3.2.6 芯片IO端口输出特性（大电流驱动，PB0~PB7 端口）

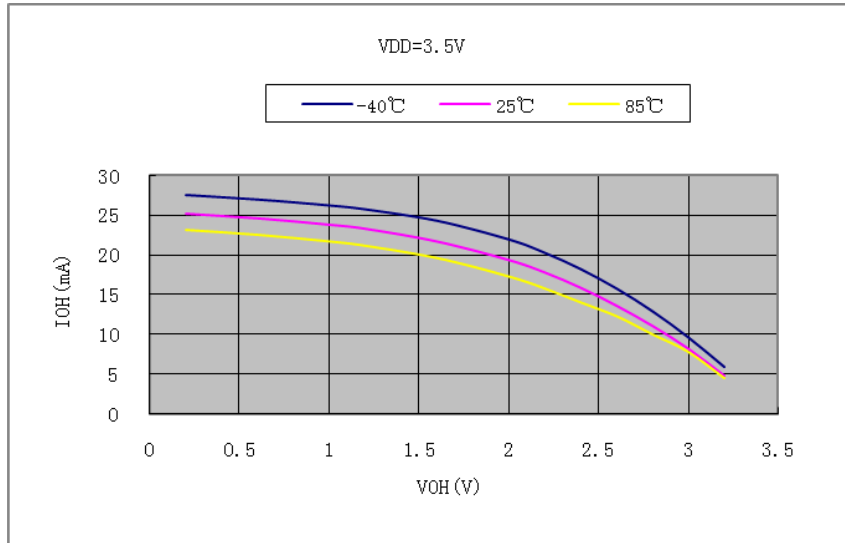
◆ V_{OH} vs I_{OH} @VDD=2.5V（大电流驱动端口）



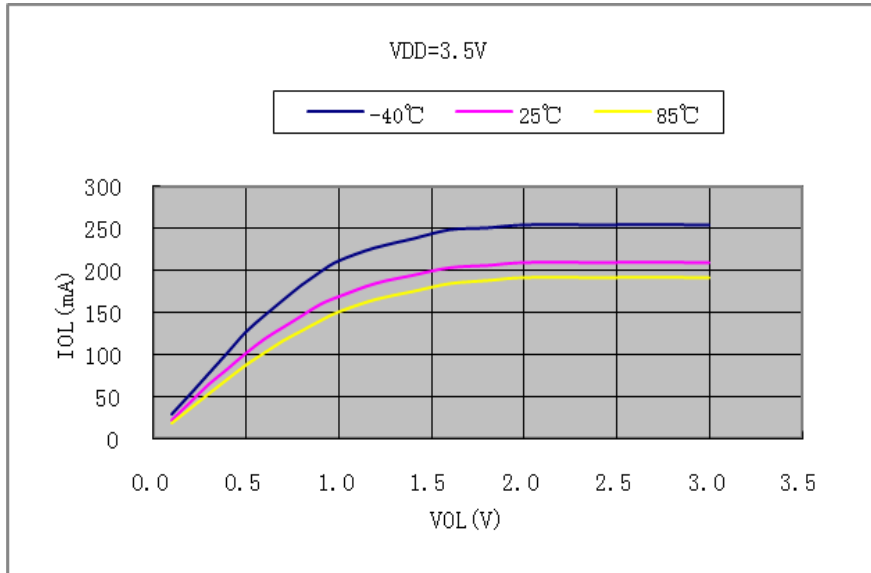
◆ V_{OL} vs I_{OL} @VDD=2.2V（大电流驱动端口）



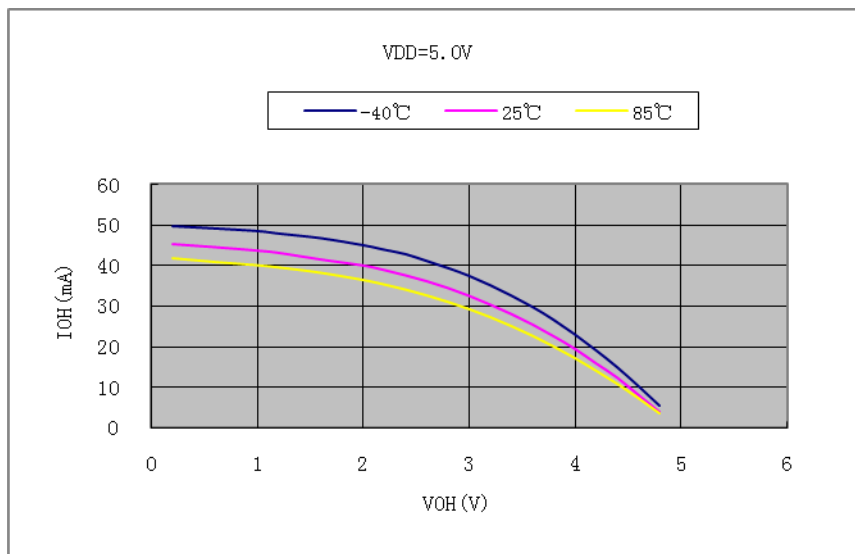
◆ V_{OH} vs I_{OH} @VDD=3.5V (大电流驱动端口)



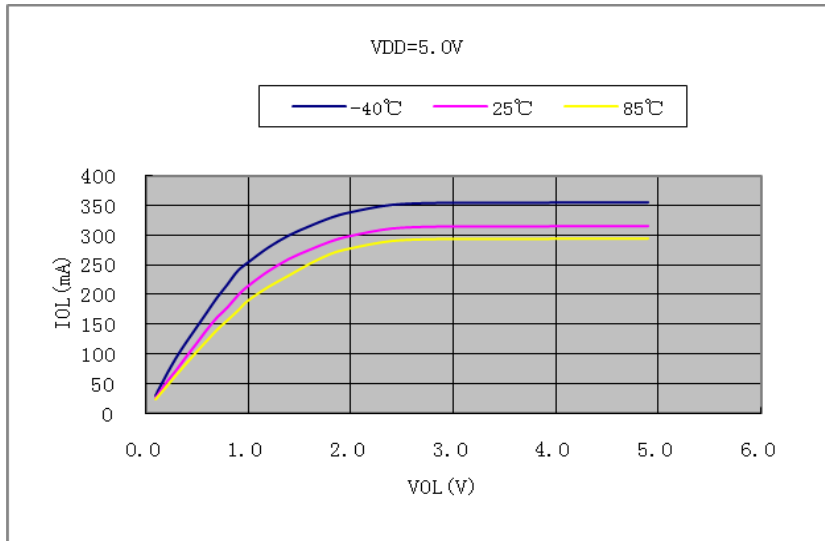
◆ V_{OL} vs I_{OL} @VDD=3.5V (大电流驱动端口)



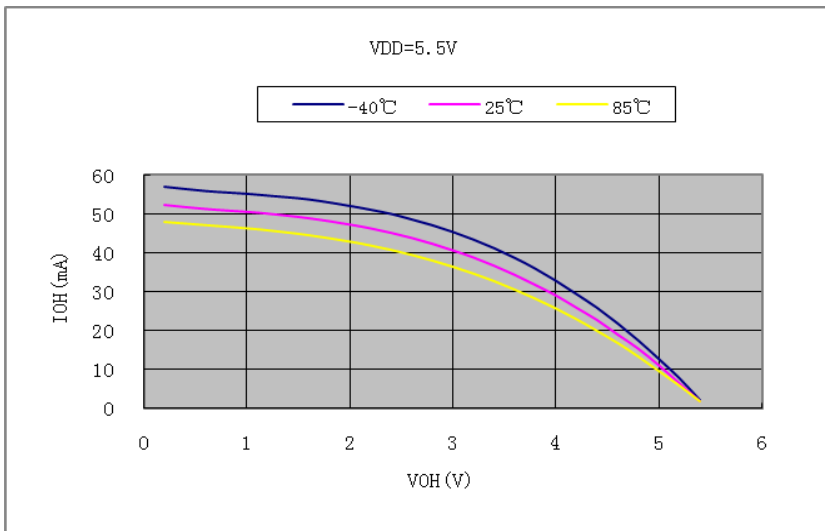
◆ V_{OH} vs I_{OH} @VDD=5.0V (大电流驱动端口)



◆ V_{OL} vs I_{OL} @VDD=5.0V (大电流驱动端口)



◆ V_{OH} vs I_{OH} @VDD=5.5V (大电流驱动端口)



◆ V_{OL} vs I_{OL} @VDD=5.5V (大电流驱动端口)

