

HW3023 433.92MHz ASK/OOK 接收器

数据手册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2019-3-14

产品订购信息

型号	封装
HW3023SA	SOP8

地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不承担或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	日期	修订摘要
V1.0	2018-5-11	文档初版。
V1.1	2019-3-14	变更 Logo。

目录

内容目录

第 1 章	芯片简介	7
1.1	概述	7
1.2	特性	7
1.3	结构框图	8
1.4	引脚配置	9
1.5	引脚功能	9
1.6	应用电路	10
1.7	材料清单 (BOM) 表	11
第 2 章	芯片性能	12
2.1	最大标称值	12
2.2	电气特性	12
第 3 章	功能描述	14
3.1	射频前端	14
3.2	射频输入匹配网络	14
3.3	自动增益控制 (AGC)	15
3.4	参考振荡器	16
3.5	通道选择滤波器	16
3.6	数据滤波器	16
3.7	数据限幅器	17
3.8	快速启动应用	17
3.9	天线设计	18
第 4 章	封装信息	19
4.1	SOP8 封装图	19

图目录

图 1-1	结构框图.....	8
图 1-2	引脚配置.....	9
图 1-3	应用电路.....	10
图 3-1	射频输入匹配网络	14
图 3-2	ANT 引脚输入回波损耗 S_{11}	15
图 3-3	快速启动应用电路例图.....	17
图 3-4	快速启动应用中测量的系统启动时间.....	18

表目录

表 1-1	引脚功能.....	9
表 1-2	HW3023 应用电路的材料清单	11
表 2-1	最大标称值.....	12
表 2-2	电气特性.....	12
表 2-3	接收器性能.....	13
表 2-4	参考振荡器与锁相环 (PLL) 特性	13
表 2-5	数字接口与 DO 驱动	13
表 3-1	ANT 输入阻抗 (433.92MHz)	15
表 3-2	射频匹配网络中的器件值 (433.92MHz)	15

第1章 芯片简介

1.1 概述

HW3023 是一款工作在 370MHz~480MHz（主要应用在 433.92MHz）频段，具有自动增益控制、静噪以及镜像抑制功能的 ASK/OOK 超外差接收器芯片。芯片采用 SOP8 封装，仅需要一个晶振和其它少量的外部元器件就可以工作，非常适合应用于低成本、低功耗的遥控门禁系统（RKE），胎压监测系统（TPMS）和远程操控等领域。

在数据速率为 2kbps 时，HW3023 的接收灵敏度可以达到-114dBm（在误包率 PER <1%的条件下）。芯片最高支持 10kbps 的数据速率，支持的电源电压范围为 2.1V~5.5V，典型的工作电流为 3.9mA。在待机模式下，芯片的典型电源电流值可降至 100nA 以下。芯片还具有静噪功能，在检测到有效比特之前，静噪功能可以抑制数据输出引脚的输出。

该芯片支持的温度范围为-40°C to +85°C。同时，该芯片可支持>±4KV HBM ESD 和>±750V CDM ESD。另外，该芯片还具有系统快速启动功能（<2ms）。

1.2 特性

- ◆ 数据速率为 2kbps 时，接收灵敏度为-114dBm (PER < 1E-2)
- ◆ 最高支持的数据速率为 10kbps
- ◆ >30dB 的镜像抑制比
- ◆ 电源电压范围：2.1V ~ 5.5V
- ◆ 电源电流典型值：3.9mA
- ◆ 待机模式下，电源电流低于 100nA
- ◆ 数据输出静噪功能
- ◆ SOP8 封装
- ◆ 温度范围：-40°C to +85°C
- ◆ HBM ESD 等级：>±4KV
- ◆ CDM ESD 等级：>±750KV

1.3 结构框图

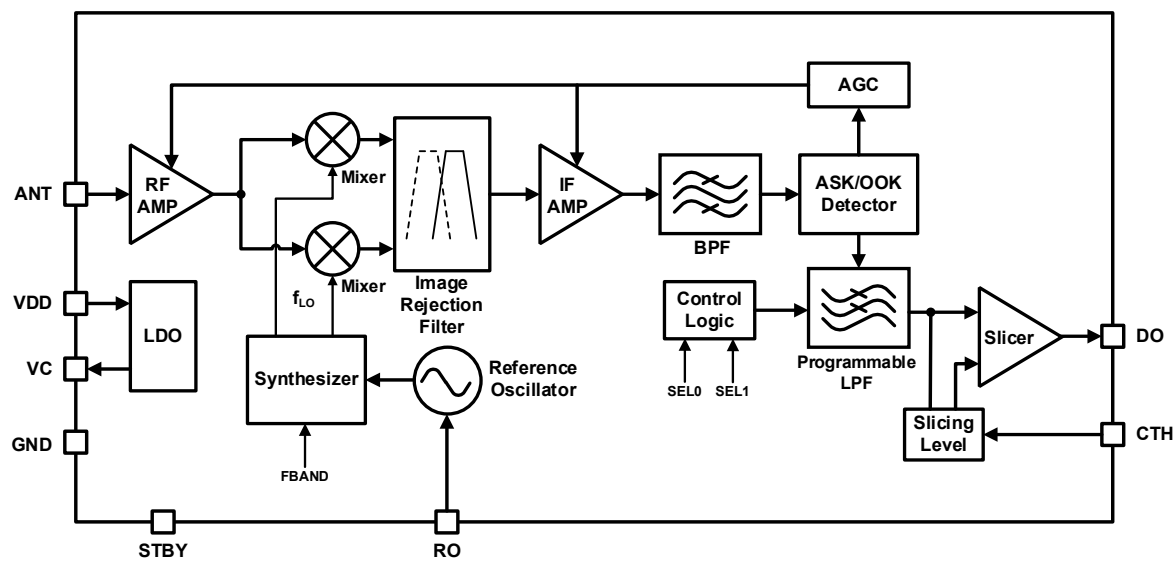


图 1-1 结构框图

1.4 引脚配置

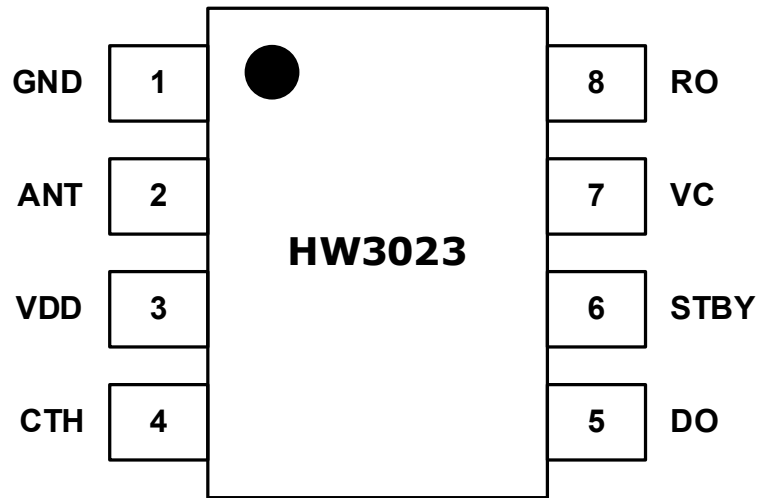


图 1-2 引脚配置

1.5 引脚功能

引脚号	引脚名称	I/O	功能
1	GND	G	地
2	ANT	I	RF 输入
3	VDD	P	电源输入
4	CTH	I/O	外接电平限幅电容
5	DO	O	数据输出
6	STBY	I	待机控制输入（高电平有效）
7	VC	P	内核电压 LDO 输出
8	RO	I	参考晶振输入

表 1-1 引脚功能

1.6 应用电路

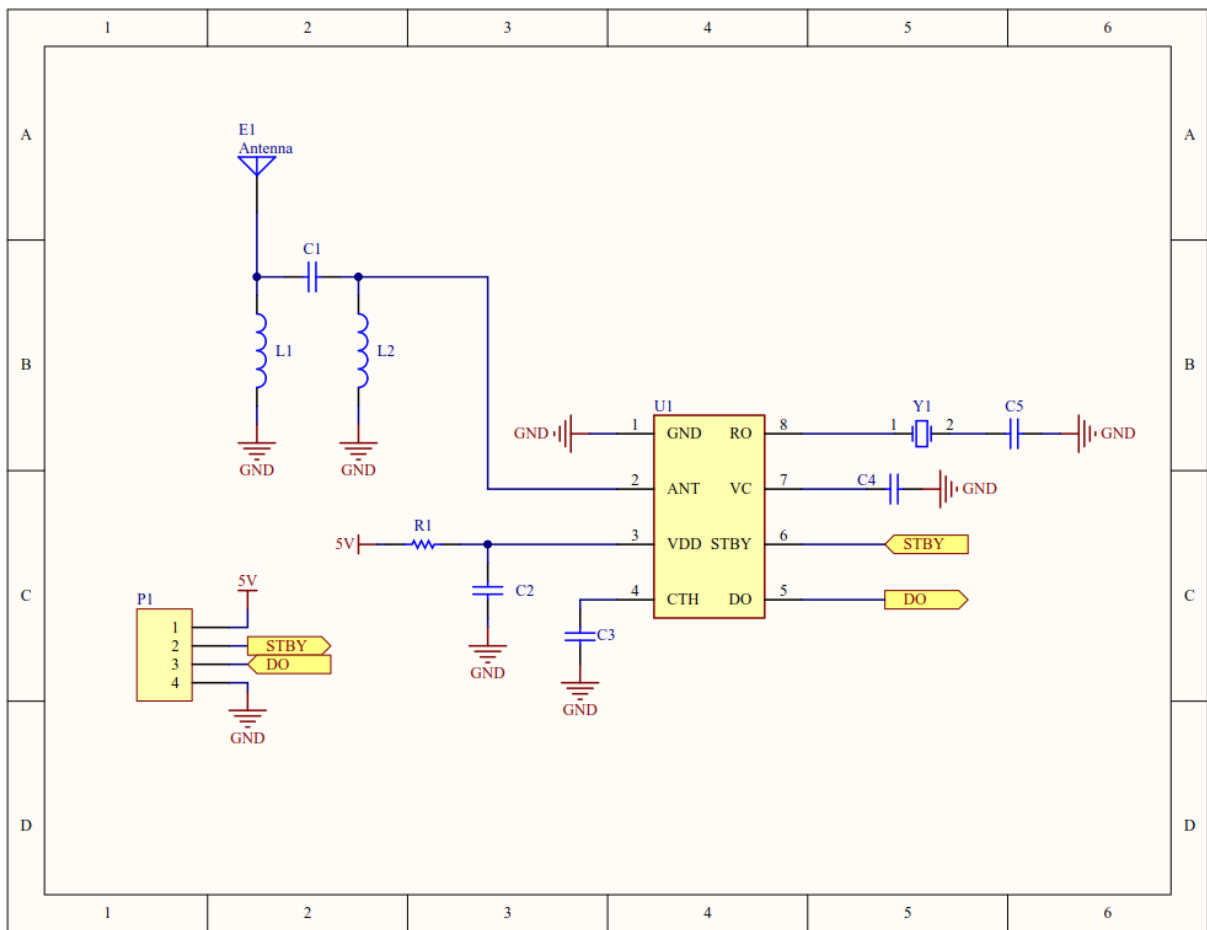


图 1-3 应用电路

1.7 材料清单 (BOM) 表

元器件	值	单位	描述
L1	68n	H	ESD 保护电感 (可选)
L2	33n	H	RF 输入匹配电感
C1	1.5p	F	RF 输入匹配电容
C2/C4	100n	F	电源滤波去耦电容
C3	470n	F	电平限幅电容,
C5	15p	F	晶振微调电容 (可选)
R1	10	Ω	电源滤波去耦电阻 (可选)
Y1	13.521M	Hz	晶振
U1	HW3023	-	接收器芯片

表 1-2 HW3023 应用电路的材料清单

第2章 芯片性能

2.1 最大标称值

参数	最小值	最大值	单位
电源电压	-0.3	6	V
模拟引脚电压	-0.3	3	V
数字引脚电压	-0.3	6	V
工作温度 (T _A)	-40	+85	°C
存储温度	-40	+125	°C
ESD 等级 (HBM)	±4000	-	V
ESD 等级 (CDM)	±750	-	V

表 2-1 最大标称值

2.2 电气特性

VDD= 5V, STBY = 0V, CTH = 0.47μF, T_A = 25°C

电源电压

参数	符号	条件	最小值	典型值	最大值	单位
电源电压	V _{DD}		2.1	5	5.5	V
电源电流	I _{DD}	STBY=0V	3.5	3.9	4.3	mA
待机模式电流	I _{STBY}	STBY= 5V	-	-	100	nA

表 2-2 电气特性

接收器

参数	符号	条件	最小值	典型值	最大值	单位
接收频段	f _{RX}		370	-	480	MHz
灵敏度 ^{注1}	P _{SENS}	ASK, D _{RATE} = 2 kbps	-	-114	-	dBm
		OOK, D _{RATE} = 2 kbps	-	-108	-	dBm
最大输入信号能量	P _{IN,MAX}		-	-	10	dBm
镜像抑制比	IRR		30	-	-	dB
本振泄漏能量			-	-	-80	dBm
系统启动时间 ^{注2}	T _{START}		-	-	2	ms
中频(IF)频率	f _{IF}		-	1.229	-	MHz
中频(IF)带宽	BW _{IF}		-	360	-	KHz
数据滤波带宽	BW _{DF}		-	5	-	KHz

参数	符号	条件	最小值	典型值	最大值	单位
数据速率	DO _{RATE}		-	2	10	kbps
接收调制占空比	DO _{DUTY}		20	-	80	%

表 2-3 接收器性能

参考晶振与锁相环 (PLL)

参数	符号	条件	最小值	典型值	最大值	单位
参考晶振频率	f_{REFOSC}		-	13.521	-	MHz
参考晶振输入摆幅			0.3	-	1.5	V _{PP}
参考晶振 ESR 容差			-	-	100	Ω
VCO 频率范围	f_{VCO}		360	-	500	MHz
分频比			-	32	-	-

表 2-4 参考振荡器与锁相环 (PLL) 特性

数字接口与 DO 驱动

参数	符号	条件	最小值	典型值	最大值	单位
输入高电平	V _{IH}	STBY pin	0.8×VDD	-	-	V
输入低电平	V _{IL}	STBYpin	-	-	0.2×VDD	V
DO 输出电流	I _{DO}	Source current at DO = 0.8×VDD	-	480	-	μ A
		Sink current at DO = 0.2×VDD	-	600	-	μ A
输出高电平	V _{OH}	DO pin, I _{OUT} = -1 μ A	0.9×VDD	-	-	V
输出低电平	V _{OL}	DO pin, I _{OUT} = +1 μ A	-	-	0.1×VDD	V
DO 输出上升时间	T _{RISE}	C _L = 15pF	-	2	-	μ sec
DO 输出下降时间	T _{FALL}	C _L = 15pF	-	2	-	μ sec

表 2-5 数字接口与 DO 驱动

注 1: 当通讯速率为 2kbps 时, 误包率(PER: Packet Error Rate)<1E-2

注 2: 采用快速启动电路

第3章 功能描述

HW3023 CMOS 射频接收器提供了从接收天线到输出数字数据的完整接收链。最高数据速率可以达到 10kbps。芯片工作在 370MHz ~ 480MHz 频段，可接收二进制 ASK/OOK 调制数据，而且仅需连接少量外部器件，就可在 2.1V 到 5.5V 的电源电压范围内工作。

3.1 射频前端

低噪声放大器（LNA）为共源共栅放大器；混频器（Mixer）由一个双平衡下变频混频器和一个多相滤波器构成。低噪声放大器加上混频器可达到超过 56dB 的电压增益。HW3023 射频前端的增益及噪声系数取决于低噪声放大器输入端的天线匹配网络。双平衡下变频混频器结合多相位滤波器可提供镜像抑制功能，可免去很多应用中对前端 SAW 滤波器的需求。

HW3023 的射频前端为本振下注入式(low-side injection)超外差结构，即 $f_{RF} = f_{LO} + f_{IF}$ ，且可结合内置镜像抑制电路产生一个典型值超过 30dB 的镜像抑制比。

ANT 引脚可以通过一个 L 型的匹配电路匹配到 50Ω。电感 L2 和电容 C1 的值取决于 PCB 材料，PCB 厚度，PCB 布线长度以及地平面布局。

3.2 射频输入匹配网络

ANT 引脚（引脚 1）应该匹配到 50Ω。下图展示了一个 L 型匹配电路。电感 L2 和电容 C1 的值可以根据 PCB 材料，PCB 厚度，地平面布局以及 PCB 布线长度做细微调整。电感 L1 起到 ESD 保护作用。尽管 ANT 引脚处的 ESD 保护等级（人体模式 HBM）超过 4KV，增加放置 L1 可将 ESD 保护等级再提高 1~2KV。另外，为节省 BOM 成本，电感 L1 可被蚀刻电感所代替。

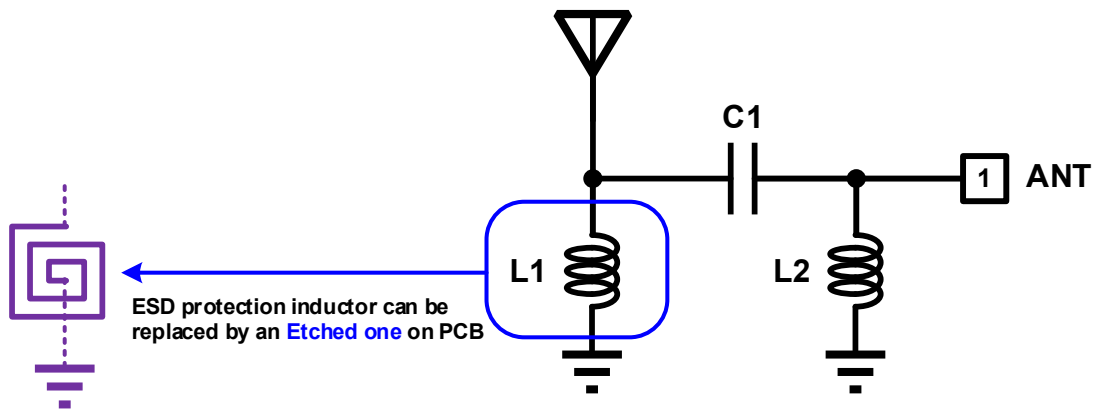


图 3-1 射频输入匹配网络

对 ANT 引脚处的输入回波损耗（Return Loss，即 S11）进行测量，并绘制成下图。

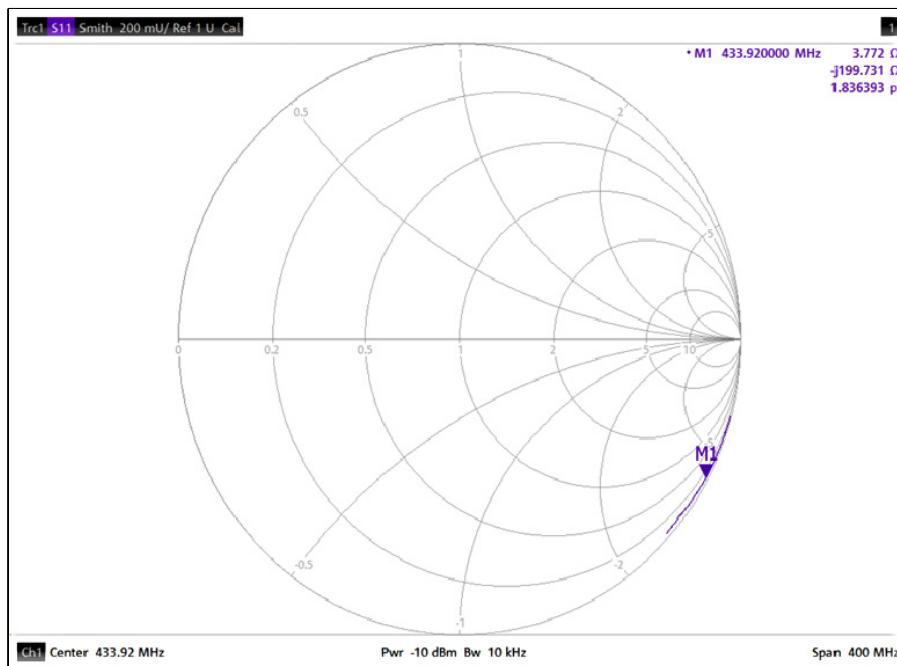


图 3-2 ANT 引脚输入回波损耗 S₁₁

条件	ANT 输入阻抗	单位
$f_{RF} = 433.92\text{MHz}$	$3.772 - j199.731$	Ω

表 3-1 ANT 输入阻抗（433.92MHz）

以上表为例，当 $f_{RF} = 433.92\text{MHz}$ 时，通过 L 型匹配电路，将 ANT 引脚匹配到史密斯圆图 (SmithChart) 中心 50 欧姆处。下表列出了匹配元器件的值，表中值为标称值，适合大部分应用电路。

元器件	值	单位
L1	68n	H
L2	33n	H
C1	1.5p	F

表 3-2 射频匹配网络中的器件值（433.92MHz）

3.3 自动增益控制（AGC）

自动增益控制电路用来检测内部 RSSI 信号。当 RSSI 电平达到高阈值电压值时，自动增益控制电路将会切换到低增益状态。在低增益状态下，前端射频增益将会降低约 30dB。当 RSSI 电平降回至低阈值电压值以下时，前端射频将会恢复到高增益状态。

当 RSSI 电平达到高电平阈值时，增益控制切换为快速响应（fast-attack）行为；当 RSSI 电平降至低电平阈值以下时，增益控制切换为缓慢衰减（slow-decay）行为。

3.4 参考振荡器

HW3023 所有的定时和调谐操作都来源于参考振荡器。本芯片采用共漏级考毕兹 (Colpitts) 振荡器设计, 把晶振作为其谐振器。晶振最大允许等效串联电阻 (ESR) 为 100Ω , 最小振荡电压摆幅为 300mV_{PP} 。

对于任何超外差接收器, 内部本振 (本地振荡器, LO) 频率 f_{LO} 与输入信号频率 f_{TX} 的差值必须和 IF 中心频率 f_{IF} 相等。对于已知 f_{TX} , 可利用下列公式用来计算 f_{LO} 和 f_{IF} 。

$$f_{\text{IF}} = f_{\text{LO}} \div 352$$

$$f_{\text{TX}} = f_{\text{LO}} + f_{\text{IF}} = f_{\text{LO}} \times (353 / 352)$$

$$\text{So, } f_{\text{LO}} = f_{\text{TX}} \times (352 / 353)$$

所有频率 f_{TX} , f_{LO} 及 f_{IF} 以 MHz 为单位进行计算。本振下注入式超外差接收器所产生的镜像频率低于 f_{LO} ($f_{\text{image}} = f_{\text{LO}} - f_{\text{IF}}$)。若已知 f_{LO} , 可利用下面的公式来计算参考振荡器的频率 f_{REFOSC} 。

$$f_{\text{REFOSC}} = f_{\text{LO}} \div 32$$

举例说明: 当 $f_{\text{TX}} = 433.92\text{MHz}$

$$f_{\text{LO}} = f_{\text{TX}} \times (352 / 353) = 433.92\text{MHz} \times (352 / 353) = 432.691\text{MHz}$$

$$f_{\text{IF}} = f_{\text{LO}} \div 352 = 1.229\text{MHz}$$

$$f_{\text{REFOSC}} = f_{\text{LO}} \div 32 = 13.5216\text{MHz}$$

请注意, 通常会选用 13.521MHz (低于准确的计算频率) 的晶振, 并且用一个微调电容 C5 把参考频率微调至准确的频率。

3.5 通道选择滤波器

HW3023 通道选择滤波器 (CSF) 的带宽约为 360KHz 。芯片内置自动频率调节电路, 与一个 6 阶 gm-C 滤波器相结合。通过晶振提供的精准参考时钟, HW3023 可在 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 的温度范围内正常工作, 而且不产生任何的频率漂移。自动频率调节电路会把通道选择滤波器 (CSF) 通带的中心频率调整至中频频点 f_{IF} 。

3.6 数据滤波器

OOK/ASK 解调器后面的数据滤波器, 其作用是滤除不需要的杂散信号。此滤波器的带宽 (BW_{DF}) 已经固定为 5KHz , 可接受最常用的编码图形 (coding pattern)。根据应用要求, 数据图形 (data pattern) 的最短脉宽应根据以下公式设置:

$$0.65 / \text{Shortest pulse-width} \leq 5 \text{ KHz (BW}_{\text{DF}})$$

该数据滤波器由一个二阶低通 Sallen-Key 滤波器实现。

3.7 数据限幅器

数据限幅器的作用是将数据滤波器的模拟输出转换成数字信号。为了限幅逻辑电平数据，利用外部限幅电容 C_{TH} ($C3$) 和片上电阻 R_{TH} 提取解调信号的 DC 值，可以实现对逻辑电平数据的限幅。限幅时间常数会因解码器类型，数据波形和速率不同而改变，但其典型值范围为 2ms 到 20ms。需优化 C_{TH} ($C3$) 值使得接受范围最大化。

数据限幅器处理数据的第一个步骤为选取数据限幅时间常数。该常数的选择很大程度取决于系统因子，包括系统解码响应时间及数据代码结构。 R_{TH} 的有效电阻为 32.5 K Ω ， τ 的推荐值为 3 倍的最长“低电平”或“高电平”比特流的周期。假设限幅时间常数 τ 已确定，则限幅电容 C_{TH} 可通过以下等式计算：

$$C_{TH} = \tau / R_{TH}$$

3.8 快速启动应用

芯片的待机控制引脚 (STBY) 可以控制 HW3023 的上电和下电。连接待机引脚至高电平可以将 HW3023 设置为待机模式，连接待机引脚至低电平可将 HW3023 设置为正常工作模式。待机模式下，芯片功耗低于 100nA。一旦 HW3023 使能，在输入射频信号电平达到最小能接收的能量 3dB 以上时，芯片可以通过快速启动电路，在小于 2ms 的启动时间内恢复数据接收。

下图为快速启动系统的应用电路示意图。限幅电容 C_{TH} 和静噪电阻 $R3$ 的值已针对快速启动应用进行了调整。附加的电容 C_{fast} 与 $R3$ 并联，以便加速系统启动时间。 C_{TH} ($C3$)， C_{fast} 和 $R3$ 的值取决于使用的编码图形 (encoding pattern)。

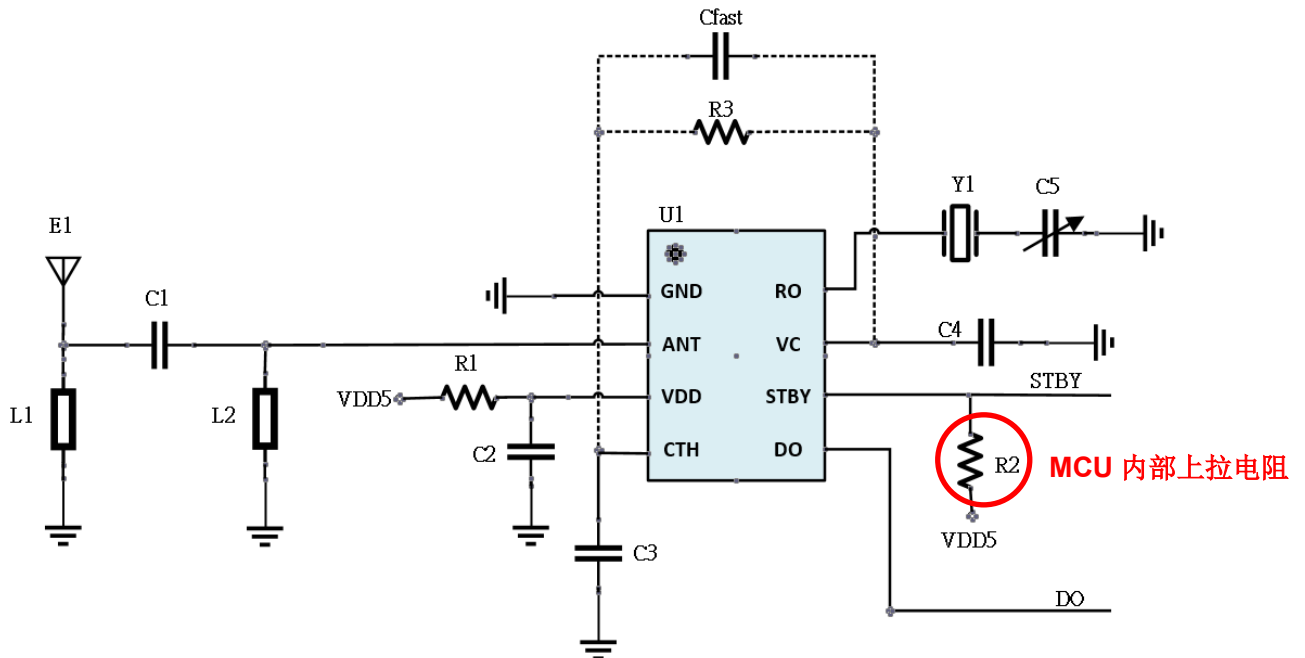


图 3-3 快速启动应用电路例图

在 Temp=27°C, $f_{RF} = 433.92\text{MHz}$, $P_{RF} = -105\text{dBm}$ (OOK), $C_{fast} = 680\text{nF}$, $C_{TH}(C3) = 470\text{nF}$, $R3 = 5.1\text{M}\Omega$, and $DO_{RATE} = 2\text{kbps}$ 条件下，系统启动时间的波形图如下：

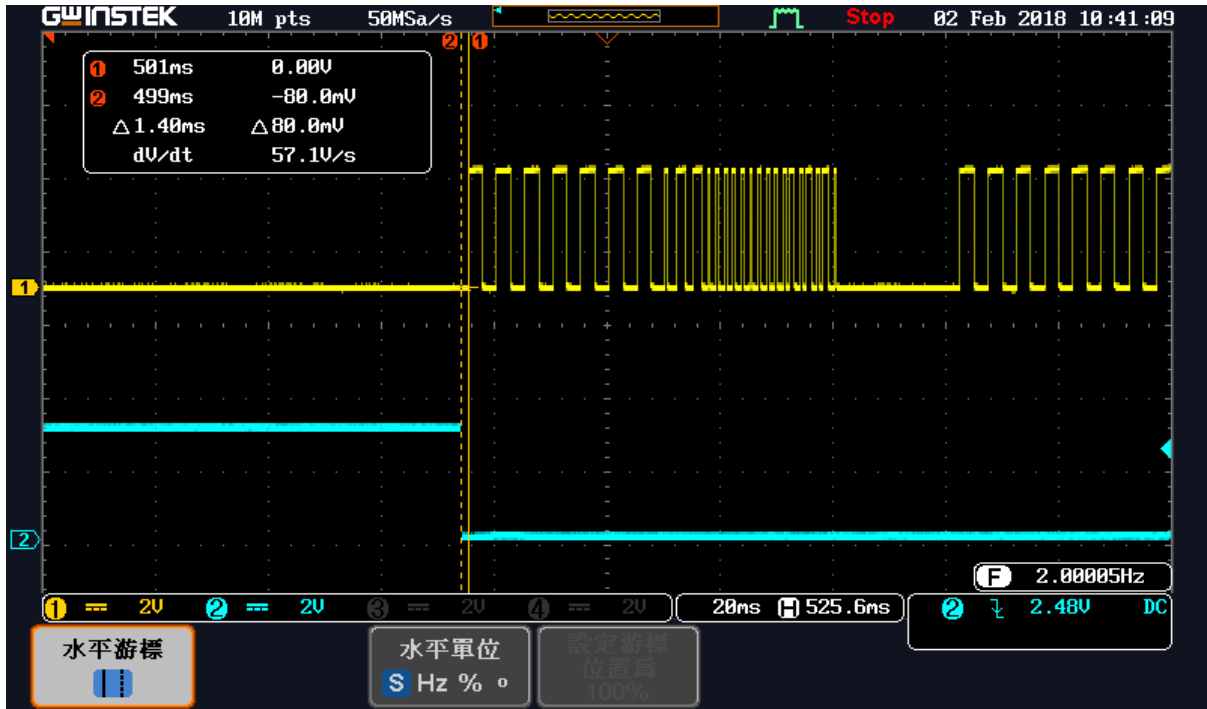


图 3-4 快速启动应用中测量的系统启动时间

3.9 天线设计

对于已知工作频率 f MHz，则 $\lambda/4$ 偶极子天线的天线长度 L (cm) 可由以下计算公式得出：

$$L = \frac{7132}{f}$$

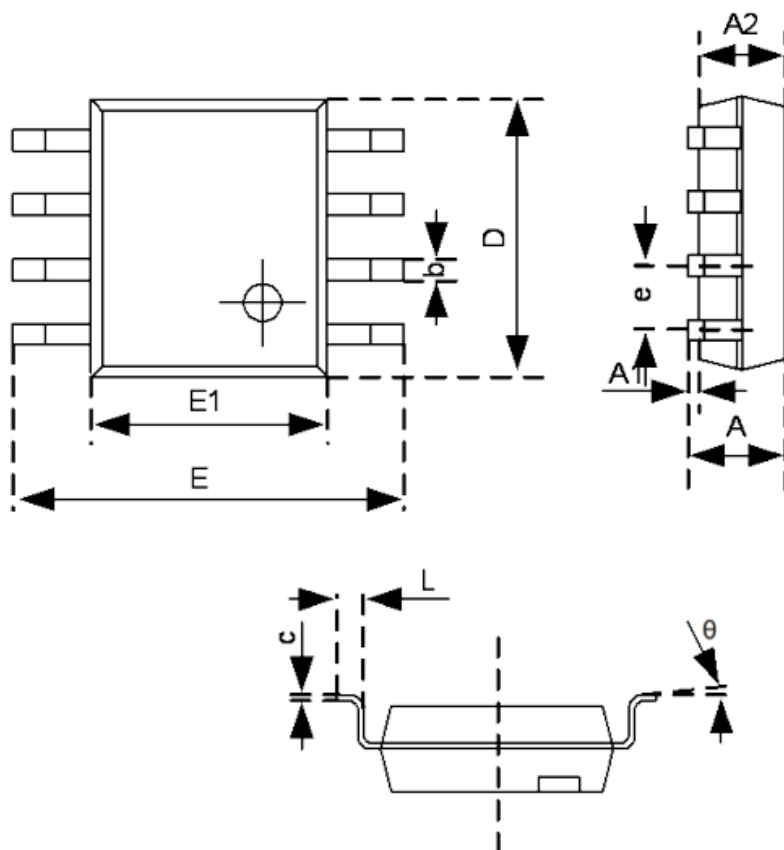
例如，已知 $f_{RF}=433.92$ MHz，则 $\lambda/4$ 偶极子天线的天线长度为 16.4cm。如果计算得出的天线长度对于应用而言太长，则在不降低输入回波损耗的情况下，可将偶极子天线长度减小为 $\lambda/8$ 或 $\lambda/16$ 等。但是，射频输入匹配电路可能需要重新优化。需要注意的是，一般天线越短，接收器的灵敏度就越差，通信距离也就越短。通常，当设计一个 $\lambda/4$ 偶极子天线时，推荐使用一根单股导线（直径在 0.8mm 到 1.6mm 左右），而非多股导线。

如果天线印刷在 PCB 板上，则需要确保在 PCB 天线下方，也就是 PCB 板的背面无任何器件或者接地平面。对于 FR4 的 PCB ($\epsilon_r = 4.7$)，线宽为 30mil，则天线长度 L (cm)可由以下计算公式得出：

$$L = \frac{c}{4 \times f \times \sqrt{\epsilon_r}}, \text{ 其中 } c \text{ 为光速}(3 \times 10^{10} \text{ cm/s})$$

第4章 封装信息

4.1 SOP8 封装图



符号	单位: mm	
	最小值	最大值
A	1.350	1.750
A1	0.100	0.25
A2	1.350	1.55
b	0.300	0.45
c	0.170	0.25
D	4.800	5.000
E1	3.800	4.000
E	5.800	6.200
e	1.27 (BSC)	
L	0.400	1.270
θ	0°	8°