

8 位 MCU
ES7P0214

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 产品规格

上海东软载波微电子有限公司

2023 年 07 月 04 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软微电子 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软微电子 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软微电子 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软微电子 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软微电子 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 VIHMIN 之上，低电平应在 VILMAX 之下。避免输入电压介于 VIHMIN 和 VILMAX 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软微电子 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软微电子 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

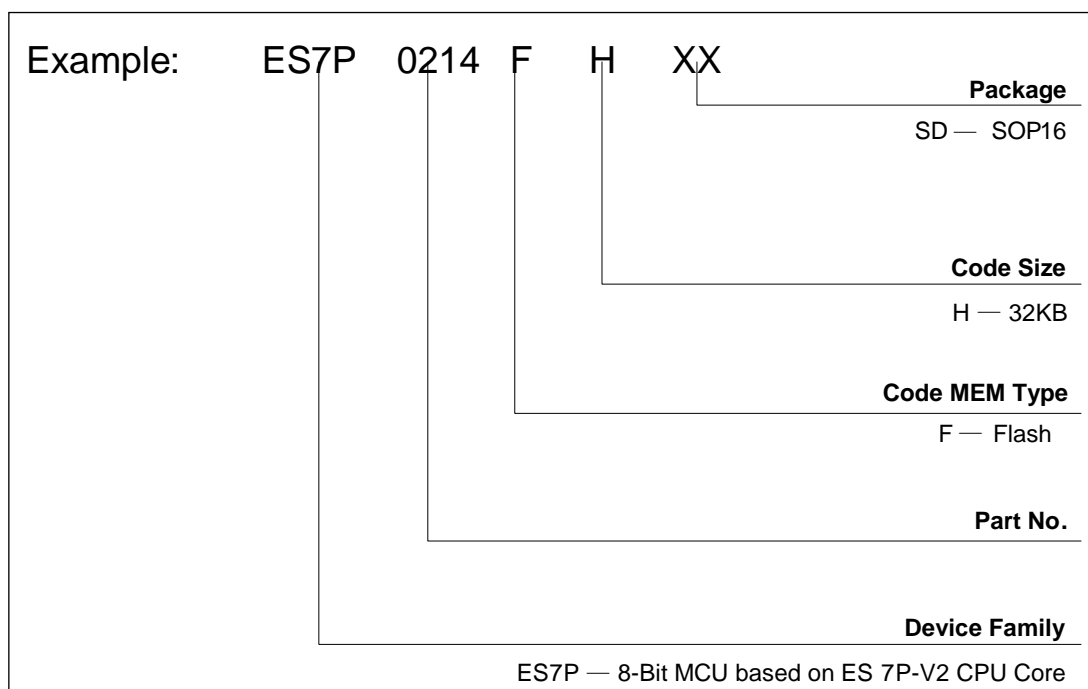
东软微电子 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型 号	FLASH	RAM	I/O	Timer	PWM	通信口	ADC	封装类型
ES7P0214FHSD	16KW	1KB	14	8-bitx1 16-bitx2	16-bit x3	UART x1 I2C x1	12-bit x4	SOP16

注：1KByte RAM 中内部含可配置的最大级数为 32 级的堆栈。



地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址： <http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2023-07-04	初版发布

目 录

内容目录

第 1 章	芯片简介	12
1.1	概要	12
1.1.1	特性	12
1.1.2	应用领域	14
1.2	结构框图	15
1.3	管脚分配图	16
1.3.1	SOP16 封装图	16
1.4	管脚说明	17
1.4.1	管脚封装对照表	17
1.4.2	管脚描述	18
第 2 章	内核特性	20
2.1	CPU 内核概述	20
2.2	特殊功能寄存器	21
第 3 章	存储资源	23
3.1	概述	23
3.2	Flash 寻址空间映射	23
3.3	FLASH 存储器	24
3.3.1	概述	24
3.3.2	程序计数器 (PC)	24
3.3.3	硬件堆栈	25
3.3.4	FLASH 存储器的查表读和 IAP 操作	25
3.3.4.1	概述	25
3.3.4.2	FLASH 存储器的查表读	26
3.3.4.3	FLASH 存储器的 IAP 擦除	26
3.3.4.4	FLASH 存储器的 IAP 编程	28
3.3.4.5	特殊功能寄存器	32
3.3.5	在线编程 ISP 和在线调试 ICD	35
3.4	数据寻址空间	36
3.4.1	概述	36
3.4.2	数据寻址空间映射	36
3.4.3	通用数据存储器 SRAM	37
3.4.4	特殊功能寄存器 SFR	38
3.4.5	寻址方式	41
3.4.5.1	直接寻址	41
3.4.5.2	GPR 特殊寻址	41
3.4.5.3	间接寻址	42
3.4.5.4	特殊功能寄存器	43
第 4 章	输入/输出端口	47
4.1	概述	47
4.2	I/O 结构框图	47
4.3	I/O 端口功能	48

4.3.1	I/O 端口输入/输出控制	48
4.3.2	I/O 端口弱上拉、弱下拉功能	48
4.3.3	I/O 端口模拟/数字类型选择功能	48
4.3.4	增强驱动能力 I/O	48
4.3.5	I/O 端口复用功能	48
4.4	外部端口中断 (PINT)	49
4.5	外部按键中断 (KINTx)	49
4.6	I/O 端口操作注意事项	49
4.7	特殊功能寄存器	50
第 5 章	特殊功能及操作特性	63
5.1	系统时钟和振荡器	63
5.1.1	概述	63
5.1.2	结构框图	63
5.1.3	时钟源	63
5.1.3.1	内部高速 16MHz RC 振荡器 HRC	63
5.1.3.2	内部低速 32KHz RC 振荡器 LRC	63
5.1.4	系统时钟源切换	64
5.1.4.1	系统上电时序	64
5.1.5	系统时钟分频	65
5.1.6	时钟切换等待	65
5.1.7	特殊功能寄存器	66
5.2	看门狗定时器	68
5.2.1	概述	68
5.2.2	WDT 操作	69
5.2.3	特殊功能寄存器	71
5.3	复位模块	72
5.3.1	概述	72
5.3.2	上电复位 POR	72
5.3.3	掉电复位 BOR	73
5.3.4	看门狗定时器溢出复位	73
5.3.5	RST 指令复位	74
5.3.6	特殊功能寄存器	75
5.4	低功耗操作	76
5.4.1	概述	76
5.4.2	IDLE 状态	76
5.4.3	唤醒方式配置	76
5.4.4	低功耗下的功能模块	76
5.4.5	时钟源的关闭和唤醒	77
5.4.6	特殊功能寄存器	77
第 6 章	外设	78
6.1	定时器/计数器 (Timer/Counter) 模块	78
6.1.1	8 位定时器/计数器 (T10)	78
6.1.1.1	概述	78
6.1.1.2	内部结构图	78

6.1.1.3	预分频器	79
6.1.1.4	工作模式	79
6.1.1.5	定时器模式	79
6.1.1.6	计数器模式	80
6.1.1.7	特殊功能寄存器	81
6.1.2	16 位多功能定时器 (T20/T21)	82
6.1.2.1	概述	82
6.1.2.2	内部结构图	82
6.1.2.3	预分频器	82
6.1.2.4	工作模式	82
6.1.2.5	定时器模式	83
6.1.2.6	双精度 PWM 模式	84
6.1.2.7	特殊功能寄存器	86
6.2	异步接收发送器 (UART0)	90
6.2.1	概述	90
6.2.2	内部结构图	91
6.2.3	波特率配置	91
6.2.4	传输数据格式	91
6.2.5	异步发送器	92
6.2.6	异步接收器	93
6.2.7	UARTn 使用注意事项	93
6.2.8	特殊功能寄存器	94
6.3	I2C 总线从动器 (I2CS)	96
6.3.1	概述	96
6.3.2	I2CS 端口配置	96
6.3.3	通讯协议	97
6.3.4	数据传输格式参考	97
6.3.5	中断和暂停	98
6.3.6	特殊功能寄存器	98
6.4	模/数转换器模块 (ADC)	102
6.4.1	概述	102
6.4.2	ADC 内部结构图	102
6.4.3	ADC 配置	103
6.4.4	ADC 转换步骤	103
6.4.5	ADC 时序特征示意图	104
6.4.6	特殊功能寄存器	105
6.5	低电压检测模块 (LVD)	108
6.5.1	概述	108
6.5.2	LVD 操作	108
6.5.3	特殊功能寄存器	109
第 7 章	中断处理	110
7.1	概述	110
7.2	内部结构	110
7.3	中断模式选择	112

7.3.1	默认中断模式	112
7.3.2	向量中断模式	112
7.3.2.1	向量表配置	112
7.3.2.2	中断向量分组	113
7.4	中断使能配置	114
7.5	中断现场保护	114
7.6	中断操作	115
7.6.1	外部中断	115
7.6.2	外部按键中断	115
7.6.3	T10 溢出中断	116
7.6.4	T2n 溢出中断	116
7.6.5	T2n 周期中断	116
7.6.6	UART 发送/接收中断	116
7.6.7	I2CS 中断	117
7.6.8	ADC 中断	117
7.6.9	IAP 中断	117
7.6.10	LVD 中断	117
7.6.11	WDT 喂狗中断	118
7.7	中断操作注意事项	118
7.8	特殊功能寄存器	119
第 8 章	芯片配置字	123
第 9 章	芯片封装图	126
9.1	16-pin 封装图	126
附录 1	指令集	127
附录 1.1	概述	127
附录 1.2	寄存器操作指令	127
附录 1.3	程序控制指令	127
附录 1.4	算术/逻辑运算指令	129
附录 2	特殊功能寄存器总表	131
附录 3	电气特性	139
附录 3.1	参数特性表	139
附录 3.2	参数特性图	145

图目录

图 1-1 结构框图.....	15
图 1-2 SOP16 封装顶视图	16
图 3-1 程序寻址空间映射图	23
图 3-2 堆栈示意图	25
图 3-3 页擦流程图	27
图 3-4 编程流程图	29
图 3-5 数据寻址空间映射图	36
图 3-6 SRAM 地址映射示意图	37
图 3-7 快速访问区特殊功能寄存器	38
图 3-8 特殊功能寄存器 (Section 0)	39
图 3-9 特殊功能寄存器 (Section 1)	40
图 3-10 直接寻址示意图.....	41
图 3-11 GPR 特殊寻址示意图	41
图 3-12 间接寻址示意图.....	42
图 4-1 I/O 端口结构图	47
图 5-1 系统时钟内部结构图	63
图 5-2 系统上电时序图.....	64
图 5-3 看门狗定时器内部结构图	69
图 5-4 看门狗中断和溢出复位产生时序图 (WDTCs 设定为 00)	70
图 5-5 错误的喂狗时序图 (WDTCs 设定为 00)	70
图 5-6 系统复位内部结构图	72
图 5-7 上电复位时序示意图	72
图 5-8 低电压复位时序示意图.....	73
图 5-9 看门狗溢出复位.....	73
图 5-10 RST 指令复位	74
图 6-1 T10 内部结构图.....	78
图 6-2 定时器模式时序图	80
图 6-3 计数器模式时序图 (T10EG=0, T10CKI 上升沿计数)	80
图 6-4 T2n 内部结构图.....	82
图 6-5 T2n 定时器模式时序图.....	83
图 6-6 T2n 双精度 PWM 模式示意图	85
图 6-7 UART 发送端原理图	91
图 6-8 UART 接收端原理图	91
图 6-9 UARTn 数据格式示意图.....	91
图 6-10 UARTn 发送器操作流程图中.....	92
图 6-11 UARTn 发送器发送数据时序图 (9 位数据格式, 第 9 位数据为 “0”)	92
图 6-12 UARTn 接收器操作流程图中.....	93
图 6-13 UARTn 接收器接收数据时序图 (9 位数据格式)	93
图 6-14 I2C 总线通讯协议示意图.....	97
图 6-15 主控器写入从动器数据示意图.....	97
图 6-16 主控器读取从动器数据示意图.....	98
图 6-17 ADC 内部结构图	102
图 6-18 ADC 时序特征示意图	104

图 6-19 LVD 工作时序图	108
图 7-1 默认中断模式中中断控制逻辑	110
图 7-2 向量中断模式中中断控制逻辑	111

表目录

表 1-1	管脚封装对照表.....	17
表 1-2	管脚说明.....	19
表 3-1	在线编程/调试管脚说明.....	35
表 5-1	唤醒方式配置表.....	76
表 5-2	功能模块低功耗配置分类表	76
表 6-1	T10 预分频器配置表	79
表 6-2	UARTn 波特率配置表	91
表 6-3	I2CS 端口配置表.....	96
表 7-1	中断模式选择表.....	112
表 7-2	中断向量表.....	112
表 7-3	向量中断模式中中断分组配置表.....	113
表 7-4	中断使能配置表.....	114
附录表 1-1	寄存器操作指令表.....	127
附录表 1-2	程序控制指令表	128
附录表 1-3	算术/逻辑运算指令表	130

第1章 芯片简介

1.1 概要

1.1.1 特性

- ◆ 工作条件
 - ◇ 工作电压范围：2.7V ~ 5.5V
 - ◇ 工作温度范围：-40 ~ 85℃
- ◆ 工艺、封装
 - ◇ 低功耗、高速 FLASH CMOS 工艺
 - ◇ 采用 SOP16 封装
- ◆ 内核
 - ◇ 采用 HR7P-V2 RISC CPU 内核，79 条精简指令集
 - ◇ 采用 2T 架构，系统时钟最高支持 16MHz，最小指令周期 125ns
 - ◇ 支持中断优先级和中断向量表
 - ◇ 程序指针硬件堆栈共享 SRAM 空间，堆栈级数用户可配置，最大 32 级
- ◆ 复位
 - ◇ 内嵌上电复位 POR(释放电压点 2.1V)
 - ◇ 内嵌下电复位 BOR，支持 2.5V、3.1V 两个电压点选择
 - ◇ 支持看门狗定时器 WDT 计数溢出复位
 - ◇ 支持指令 RST 复位
- ◆ 时钟源
 - ◇ 内部 16MHz 高频振荡器 HRC
 - 用于主系统时钟源，内置系统时钟分频器
 - 出厂校准精度为±1%，校准后全温度全电压范围内精度±2%
 - ◇ 内部 32KHz 低频振荡器 LRC
 - 用于 WDT 时钟源，可选择用于主系统和部分外设时钟源
 - 常温下出厂校准精度为±3%
 - ◇ 支持高低速系统时钟切换
- ◆ 低功耗
 - ◇ 支持低功耗睡眠模式及硬件唤醒
 - ◇ 待机电流：I_{vdd} ≤ 5uA（常温，典型值）
 - ◇ 工作电流：I_{vdd} ≤ 2mA（@内部 HRC 16MHz，典型值）
- ◆ 硬件看门狗电路
 - ◇ 采用内部 32KHz LRC 时钟源，最大计数溢出周期约 4.096 秒
 - ◇ 支持喂狗窗口大小可配置，并产生喂狗中断

- ◇ 可选择睡眠模式下运行或暂停，睡眠模式下运行计数溢出可唤醒 CPU

◆ 存储资源

- ◇ 16K Words FLASH 程序存储器
- ◇ 支持 IAP (In Application Programming) 操作
 - IAP 操作时 CPU 暂停运行
 - 支持 IAP 擦除或编程超时终止功能
- ◇ 独立可配置的 1K Words Data FLASH
- ◇ 1K Bytes SRAM 数据存储器（部分空间与程序指针堆栈共享）

◆ 编程和调试

- ◇ 支持 4 线制编程接口 (ISP)
- ◇ 支持 4 线制在线调试接口 (ICD), 调试时可停止定时计数
- ◇ 支持整体编程代码加密保护(不支持分区加密)

◆ I/O 端口

- ◇ 支持最多 14 个 I/O 端口
- ◇ 支持源电流可调 (3 级: 6mA/12mA/18mA (@VoH=0.7VDD), 4 个 IO 口为一组, 总共设置 3 组)
- ◇ 支持所有 IO 输出高电平可用 PWM 调制 (调制频率在 32KHz~4MHz 范围内有 8 档可选, 15 级占空比档位可选, 4 个 IO 口为一组, 总共设置 3 组)
- ◇ 支持 2 个可编程大电流驱动端口 PE7~6 (最大灌电流 120mA),
- ◇ 支持所有端口的输入 SMIT 窗口可配置
- ◇ 支持最多 3 个外部端口中断, 可选择上升沿、下降沿或电平变化触发 (PINT2、PINT4、PINT5)
- ◇ 支持 2 个外部按键中断 (KIN0~KIN1)

◆ 外设

- ◇ 1 路 8 位定时/计数器 T10
 - 内置 8 位预分频器
 - 支持定时器/计数器模式
 - 支持计数器溢出中断
- ◇ 2 路 16 位定时/计数器 T20/T21
 - 内置 4 位预分频器
 - 支持定时器模式
 - 支持双精度 PWM 输出
 - 支持溢出中断和 PWM 周期中断
- ◇ 1 路异步串行收发器 UART0
 - 内置波特率发生器
 - 支持异步全双工收发

- 8 位/9 位数据格式可选
- 约定从最低位接收/发送
- 支持接收和发送中断
- 支持单线收发功能
- UART0 可软件配置所需使用的通讯端口
- ◇ 1 路 I2C 总线
 - 只支持从动模式
 - 支持标准 I2C 总线协议，最高传输速率 400K bit/s
 - 支持 7 位寻址方式
 - 约定数据从最高位开始接收/发送
 - 支持中断产生
- ◇ 模拟数字转换器 ADC
 - 12 位数字转换
 - 6 通道模拟输入端
 - 支持 VDD/4 电压、内部 1.0V/1.2V 电压作为模拟输入
 - 支持 ADC 转换完成中断
 - 支持 VDD 为正参考源、VSS 作为负参考源
- ◇ 低电压监测模块
 - 支持 VDD 监测电压点可配置（2.2V ~ 4.6V, 8 档）
 - 支持被监测电压的掉电和上电中断
 - 可用于 FLASH 存储器 IAP 操作时的 VDD 电压异常保护机制

注：对 120mA 大电流驱动 I/O 端口，同时只能有一个端口驱动 120mA 的负载。如用于 LED 驱动时，需采取共阴极动态扫描驱动。

1.1.2 应用领域

本芯片可广泛用于门锁、家电、小家电等领域。

1.2 结构框图

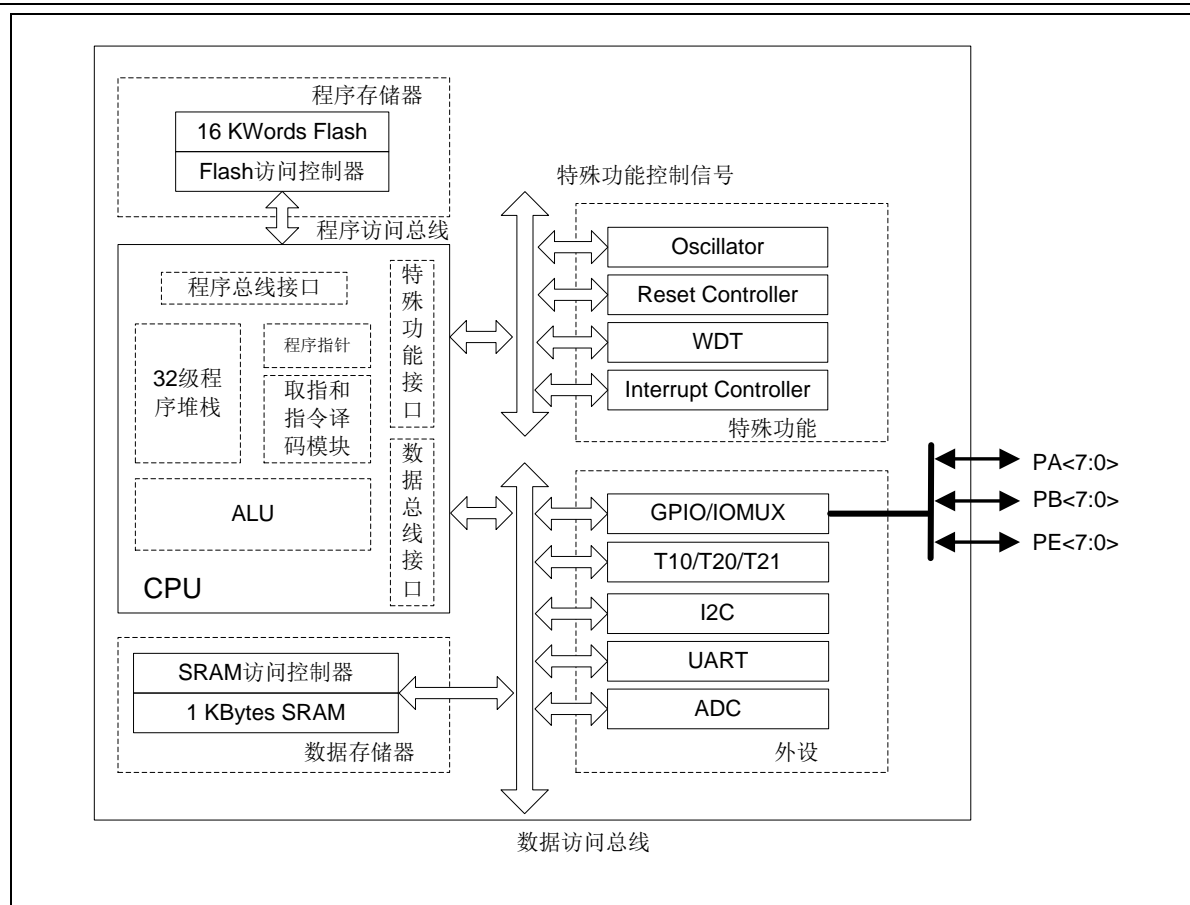


图 1-1 结构框图

1.3 管脚分配图

1.3.1 SOP16 封装图

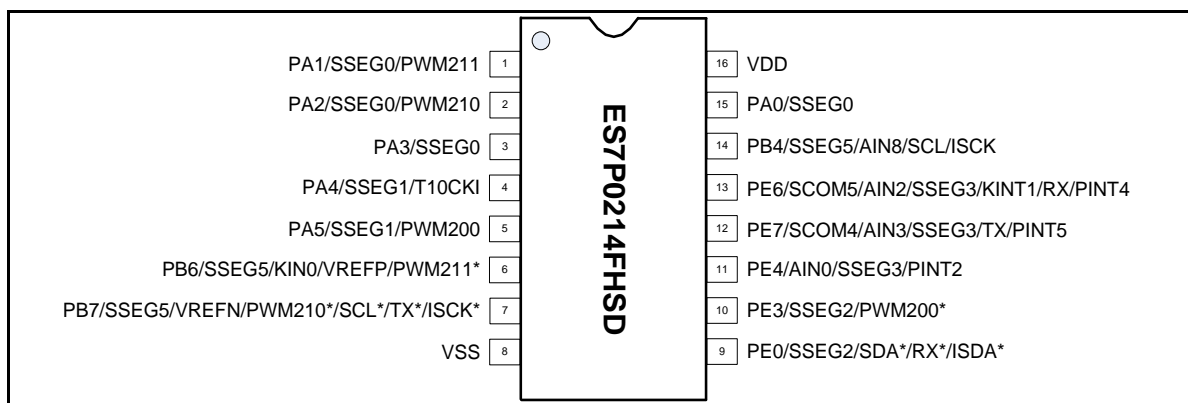


图 1-2 SOP16 封装顶视图

注 1: 带*的 ISP 功能管脚定义是相应 ISP 功能的备用管脚, 均可以在上电后进行通信连接, 当前通信端口即为有效端口, 而另一组端口可用作其他功能;

注 2: 带*的其他功能管脚定义是相应功能的映射管脚, 每个管脚均可独立进行映射, 映射后, 映射管脚具备该功能, 原管脚位置失去该功能。

1.4 管脚说明

1.4.1 管脚封装对照表

管脚名	管脚序号
	16pin
PA0/ SSEG0	15
PA1/ SSEG0/PWM211	1
PA2/ SSEG0/PWM210	2
PA3/ SSEG0	3
PA4/ SSEG1/T10CKI	4
PA5/ SSEG1/PWM200	5
PB4/ SSEG5/AIN8/SCL/ISCK	14
PB6/ SSEG5/KIN0/VREFP/PWM211*	6
PB7/ SSEG5/VREFN/PWM210*/SCL*/TX*/ISCK*	7
PE0/ SSEG2/SDA*/RX*/ISDA*	9
PE3/ SSEG2/PWM200*	10
PE4/ AIN0/SSEG3/PINT2	11
PE6/ SCOM5/AIN2/SSEG3/KINT1/RX/PINT4	13
PE7/ SCOM4/AIN3/SSEG3/TX/PINT5	12
VDD	16
VSS	8

表 1-1 管脚封装对照表

注 1: 带*的 ISP 功能管脚定义是相应 ISP 功能的备用管脚, 均可以在上电后进行通信连接, 当前通信端口即为有效端口, 而另一组端口可用作其他功能;

注 2: 带*的其他功能管脚定义是相应功能的映射管脚, 每个管脚均可独立进行映射, 映射后, 映射管脚具备该功能, 原管脚位置失去该功能。

1.4.2 管脚描述

管脚名称	功能	A/ D	端口说明
PA0/SSEG0	PA0	D	通用 I/O 端口
	SSEG0	A	LED SEG 引脚
PA1/SSEG0/PWM211	PA1	D	通用 I/O 端口
	SSEG0	A	LED SEG 引脚
	PWM211	D	T21 PWM 输出端口 1
PA2/SSEG0/PWM210	PA2	D	通用 I/O 端口
	SSEG0	A	LED SEG 引脚
	PWM210	D	T21 PWM 输出端口 0
PA3/SSEG0	PA3	D	通用 I/O 端口
	SSEG0	A	LED SEG 引脚
PA4/SSEG1/T10CKI	PA4	D	通用 I/O 端口
	SSEG1	A	LED SEG 引脚
	T10CKI	D	T10 外部时钟输入
PA5/SSEG1/PWM200	PA5	D	通用 I/O 端口
	SSEG1	A	LED SEG 引脚
	PWM200	D	T20 PWM 输出端口 0
PB4/SSEG5/AIN8/SCL/ISCK	PB4	D	通用 I/O 端口
	SSEG5	A	LED SEG 引脚
	AIN8	A	ADC 模拟通道 8
	SCL	D	I2C 时钟端口
	ISCK	D	ISP/ICD 串行时钟
PB6/SSEG5/KIN0/VREFP/PWM211*	PB6	D	通用 I/O 端口
	SSEG5	A	LED SEG 引脚
	KIN0	D	外部按键中断 0 输入
	VREFP	A	ADC 正端外部参考
	PWM211*	D	T21 PWM 输出端口 1 映射端口
PB7/SSEG5/VREFN/PWM210*/SCL*/TX*/ISCK*	PB7	D	通用 I/O 端口
	SSEG5	A	LED SEG 引脚
	VREFN	A	ADC 负端外部参考
	PWM210*	D	T21 PWM 输出端口 0 映射端口
	SCL*	D	I2C 时钟端映射端口
	TX*	D	UART 发送端映射端口
	ISCK*	D	ISP/ICD 串行时钟备用端口
PE0/SSEG2/SDA*/RX*/ISDA*	PE0	D	通用 I/O 端口
	SSEG2	A	LED SEG 引脚
	SDA*	D	I2C 数据端映射端口
	RX*	D	UART 接收端映射端口
	ISDA*	D	ISP/ICD 串行数据备用端口
PE3/SSEG2/PWM200*	PE3	D	通用 I/O 端口

管脚名称	功能	A/ D	端口说明
	SSEG2	A	LED SEG 引脚
	PWM200*	D	T20 PWM 输出端口 0 映射端口
PE4/AIN0/SSEG3/PINT2	PE4	D	通用 I/O 端口
	AIN0	A	ADC 模拟通道 0
	SSEG3	A	LED SEG 引脚
	PINT2	D	外部中断输入 2
PE6/SCOM5/AIN2/SSEG3/KINT1/RX/PINT4	PE6	D	通用 I/O 端口
	SCOM5	A	LED COM 引脚
	AIN2	A	ADC 模拟通道 2
	SSEG3	A	LED SEG 引脚
	KIN1	D	外部按键中断 1 输入
	RX	D	UART 接收端口
	PINT4	D	外部中断输入 4
PE7/SCOM4/AIN3/SSEG3/TX/PINT5	PE7	D	通用 I/O 端口
	SCOM4	A	LED COM 引脚
	AIN3	A	ADC 模拟通道 3
	SSEG3	A	LED SEG 引脚
	TX	D	UART 发送端
	PINT5	D	外部中断输入 5
VDD	VDD	P	芯片电源
VSS	VSS	P	芯片地

表 1-2 管脚说明

注 1: A = 模拟端口, D = 数字端口, P = 电源端口;

注 2: PE6~PE7 可选为 120mA 灌电流的大电流 IO 端口, 可用作 LED 共阴极驱动的 COM 口;

注 3: 带*的 ISP 功能管脚定义是相应 ISP 功能的备用管脚, 均可以在上电后进行通信连接, 当前通信端口即为有效端口, 而另一组端口可用作其他功能;

注 4: 带*的其他功能管脚定义是相应功能的映射管脚, 每个管脚均可独立进行映射, 映射后, 映射管脚具备该功能, 原管脚位置失去该功能;

第2章 内核特性

2.1 CPU 内核概述

采用 HR7P-V2 RISC CPU 内核，79 条精简指令集

采用 2T 架构，系统时钟最高支持 16MHz，最小指令周期 125ns

支持中断优先级和中断向量表

程序指针硬件堆栈共享 SRAM 空间，堆栈级数用户可配置，最大 32 级

芯片指令集不包含乘法指令，内部集成独立的硬件乘法器，通过读写相应寄存器进行操作。

2.2 特殊功能寄存器

PCRL: 程序计数器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	PCR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCR<7:0>: 程序计数器低 8 位

PCRH: 程序计数器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	PCR<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCR<15:8>: 程序计数器高 8 位

PSW: 程序状态字寄存器

Bit	7	6	5	4	3	2	1	0
Name	保留	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	x	x	x	x	x

- Bit 7 保留
- Bit 6 UF: 程序出栈溢出标志位
0: 程序出栈未溢出
1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
0: 程序压栈未溢出
1: 程序压栈溢出
- Bit 4 N: 负数标志位
0: 正数
1: 负数
- Bit 3 OV: 有符号运算溢出标志位
0: 无溢出
1: 溢出
- Bit 2 Z: 零标志位
0: 算术或逻辑运算的结果不为零
1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
0: 低四位无进位或低四位有借位
1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
0: 无进位或有借位

1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。

其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令会将其清零, 其它复位不影响该两位标志位。

AREG: 累加器 A 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 AREG<7:0>: 累加器的值

MULA: 乘数 A 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULA<7:0>: 乘数 A

MULB: 乘数 B 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULB<7:0>: 乘数 B

MULL: 乘积低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULL<7:0>: 乘积低 8 位

MULH: 乘积高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULH<7:0>: 乘积高 8 位

第3章 存储资源

3.1 概述

本芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◇ 16K Words FLASH 程序存储器
- ◇ 1K Words FLASH 数据存储区
- ◇ 1K Bytes SRAM 数据存储器

其中 FLASH 程序存储器和 FLASH 数据存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

3.2 Flash 寻址空间映射

Flash 存储器寻址空间包括 2 个部分：

- ◇ 16K Words FLASH 程序存储器(0000_H~3FFF_H)：存储用户程序，支持 PC、查表和 IAP 访问。
- ◇ 1K Words FLASH 数据存储器(4000_H~43FF_H)：存储用户数据，不支持运行程序。

Flash 寻址空间映射如下图所示：

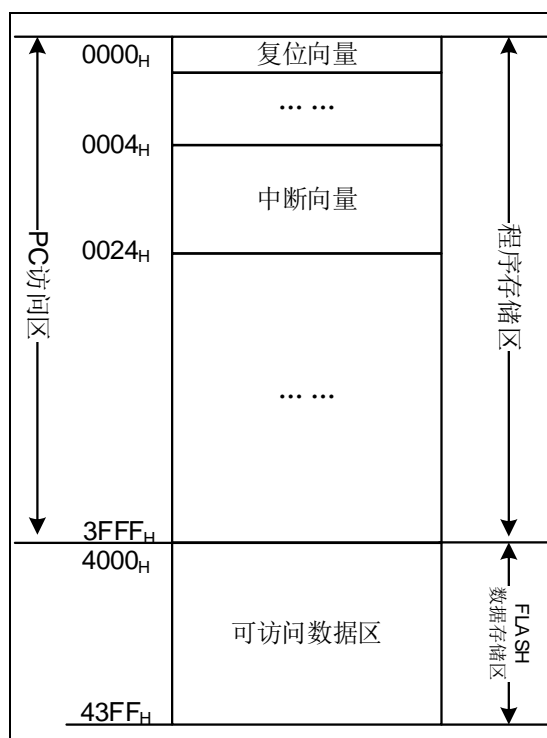


图 3-1 程序寻址空间映射图

3.3 FLASH 存储器

3.3.1 概述

FLASH 程序存储器用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此 16K 字 FLASH 程序存储器被映射到程序寻址空间的 16K 地址空间 $0000_H \sim 3FFF_H$ ，每个访问地址对应 16 位宽（2 个字节）的存储单元。通过 14 位程序计数器 PC 进行程序寻址访问。

FLASH 程序存储器可通过 ISP 接口或 IAP 操作进行擦除和编程，擦除可以页为单位（256 个地址单元，即 256 字），也可以扇区为单位（1024 字），编程以双字为单位（一次编程 2 个地址单元，即 2 字）。

3.3.2 程序计数器（PC）

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时，PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。程序计数器 PC 寻址超出地址范围会导致 PC 循环（又从 0000_H 开始访问）。程序计数器 PC 的低 8 位 $PC<7:0>$ 可通过 PCRL 直接读写，而 PC 高 5 位不能直接读写，只能通过 PCRH 寄存器来间接赋值（如 RCALL、CALL、GOTO 等指令）。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响如下：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 $PC<7:0>$ ，即 $PC<7:0>=PCRL<7:0>$ ；而操作 $PC<7:0>$ 的同时也会执行 $PC<13:8>=PCRH<5:0>$ ，因此，修改 PC 时，应先修改 $PCRH<5:0>$ ，再修改 $PCRL<7:0>$ 。
2. 执行 RCALL 指令时， $PC<7:0>$ 为寄存器 R 中的值；而 $PC<13:8>=PCRH<5:0>$ 。
3. 执行 CALL、GOTO 指令时， $PC<13:0>$ 低 11 位为指令中 11 位立即数，而 $PC<13:12>=PCRH<5:4>$ 。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。 $PC<13:0>$ 被修改为该 16 位立即数的值的低 14 位；同时 $PCRH<5:0>$ 被修改为 $I<13:8>$ 的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。 $PC<13:0>$ 被修改为该 16 位立即数的值的低 14 位，同时 $PCRH<5:0>$ 修改为 $I<13:8>$ 的值。
6. 执行 PAGE 指令时， $PCRH<5:3>$ 的值将被该指令的立即数 $I<2:0>$ 替换。
7. 执行其他指令时，PC 值自动加 1。

3.3.3 硬件堆栈

PC 硬件堆栈用于子程序调用或中断处理时存储程序返回地址。SRAM 数据存储器的一部分被用于实现 PC 硬件堆栈，PC 硬件堆栈的级数可通过芯片配置字 STKLS 进行配置。

执行 CALL 或 LCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值恢复至 PC。超过堆栈级数的压栈被视为压栈溢出，超过已压栈级数的退栈被视为退栈溢出。压栈溢出和退栈溢出均会导致程序失控。芯片复位后，堆栈指针将重新指向堆栈的初始栈顶。

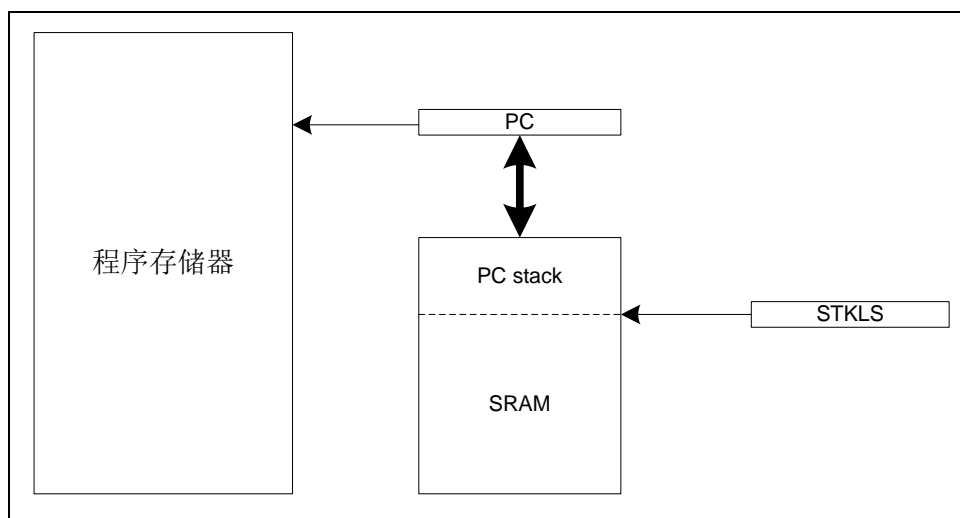


图 3-2 堆栈示意图

3.3.4 FLASH 存储器的查表读和 IAP 操作

3.3.4.1 概述

FLASH 存储器支持查表读和 IAP 页擦除和编程操作。

FLASH 存储器的 IAP 擦除操作是以页（Page）为单位，一页为 256 个地址单元，页地址对应到 FRAH<7:1>，如 FRAH<7:1>=00_H，为第 0 页；FRAH<7:1>=01_H，为第 1 页；...；FRAH<7:1>=1F_H，为第 31 页。FLASH 存储器的读出和 IAP 写入操作以 1 个地址单元为单位，通过 FRA（FRAH，FRAL）寻址。

必须对 IAPUL 寄存器写入 0xA5 来解锁 IAP 操作，即使能 IAPERSS，IAPPRGS 以及 IAPC 寄存器的写访问。IAP 编程或擦除操作后不会自动上锁，需要用户在其所需要的编程或擦除结束后，向 IAPUL 写入非 0xA5 值来上锁，防止误操作改写 FLASH 内容。

当 FLASH 存储器进行 IAP 擦除或 IAP 写入操作时，CPU 内核暂停执行，外设可按预设状态继续运行，外设的中断请求将置位相应的中断标志。当 IAP 擦除或 IAP 写入操作完成时，CPU 内核恢复执行。

3.3.4.2 FLASH 存储器的查表读

本芯片的程序存储器查表只支持查表读操作，1 次查表读操作访问 2 个地址单元数据，即 1 次查表读可读出 32 位。当芯片配置字中相应区域的 TBREN 使能时，通过查表读指令将查表地址寄存器 FRA(FRAH, FRAL)所指向的程序存储器中的 32 位数据读入 ROMD (ROMDH, ROMDL), ROMD1 (ROMD1H, ROMD1L) 中。

设置了 FLASH 全加密，仍可通过 TBR 指令进行访问。

本芯片查表写指令保留未用（执行时仅影响 FRA 寄存器）。

应用例程：程序存储器查表读

```
MOVI    0x05          ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0x01
MOVA    FRAH

.TBR
.MOV     ROMDH, 0
.....
.MOV     ROMDL, 0
.....
MOV      ROMD1H, 0
.....
.MOV     ROMD1L, 0
.....
```

3.3.4.3 FLASH 存储器的 IAP 擦除

通过 IAP 进行 FLASH 擦除的最小操作单位为页，一页为 256 个地址单元。页通过寄存器 FRAH<7:1>寻址。对 IAPERSS 寄存器写入 0xAE 来启动擦除。

若芯片配置字的 LVDIAPTEN 设置为 1，在启动 IAP 擦除时，若 LVD 有效则无法启动擦除；在擦除过程中，若 LVD 有效则硬件自动终止当前的页擦操作。为了防止电压低于 LVD 设定门限时，发生误擦除，在 IAP 擦除时，建议设置寄存器位 LVDFLTEN=0，禁止 LVD 滤波。

为保证可靠地访问 FLASH，可设定终止页擦后到 FLASH 可访问的延时等待时间，由 IAPC 寄存器的 ERSTWT 位进行设置。还可启动 T10 作为页擦超时计数器，通过 IAPC 寄存器的 TOEN 位来使能超时发生时，终止 IAP 擦除操作，使用 T10 之前必需设定合适的超时时间，对页擦操作需大于 2ms，而且必须清除 T10 中断标志。

IAP 擦除流程图如下图所示，该流程图假设配置字的 LVDIAPTEN=1。

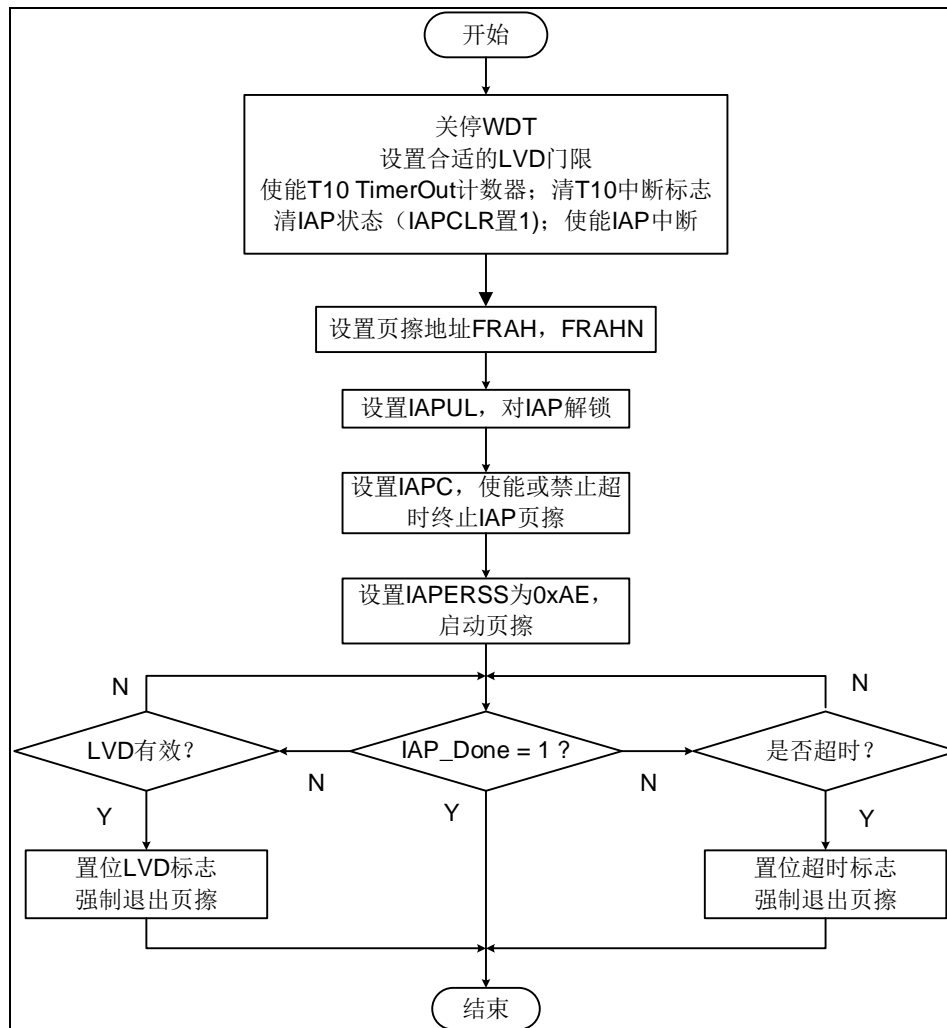


图 3-3 页擦流程图

应用例程: FLASH 页擦除

```

MOVI    0xA5          ; 解锁 WDTC 寄存器
MOVA    WDTUL
BCC     WDTC, WDTEN   ; 关 WDT, 使 WDT 停止计数, 以免溢出复位 IAP 操作

MOVI    0X0A          ; 擦除 FLASH 第 10 页 (0A00H~0AFFH)
MOVA    FRAH
MOVI    0XF5
MOVA    FRAHN
BSS     INTE4, IAPIE   ; 使能 IAP 中断

BSS     IAPC, 1        ; 清除 IAP 状态 (必须在执行下一个 IAP 操作
; 之前清除 IAP 状态)
MOVI    0xA5          ; 解锁 IAP
MOVA    IAPUL
MOVI    0xAE
MOVA    IAPERSS        ; 启动 FLASH IAP 擦除操作
  
```

- ； CPU 进入暂停状态，直到擦除完成后 CPU 恢复运行
- ； 一次页擦除时间约 2ms，具体时间随操作电压和操作
- ； 温度有所不同

.ERS_WAIT

JBS IAPS, 1 ; 等待擦除结束

GOTOERS_WAIT

MOVI 0x00 ; 锁定 IAP

MOVA IAPUL

MOVI 0xA5 ; 解锁 WDTC 寄存器

MOVA WDTUL

BSS WDTC, WDTEN ; WDT 恢复计数（如果配置字 WDTEN=1）

BCC INTE4, IAPIE ; 开中断

.....

注 1：在向 IAPERSS 寄存器写入 0xAE 启动 IAP FLASH 页擦之后，由于 CPU 会继续执行下一条指令，建议启动页擦后，紧接的下一条指令为 NOP 指令或如上例所示，为 IAP 状态查询指令。

注 2：在 IAP 中断服务程序中，可通过查询 IAPS 状态寄存器来判断执行其它子程序。

- 如果 FRAH_ERR, FRAL_ERR 或 ROMD_ERR 错误，则重新写 FRA 或 ROMD 的正反寄存器，直至成功。
- 如果 ERSS_ERR 错误，则：程序调试阶段，查阅代码中的启动代码是否写错，若是则修改错误；否则再次写 IAPERSS 寄存器，直至成功。
- 如果 IAP_LVDIF 为 1，则停止 IAP 操作，直至该标志为 0。

3.3.4.4 FLASH 存储器的 IAP 编程

FLASH 存储器中已擦除的地址单元支持 IAP 编程操作。IAP 编程操作通过 IAPPRGS 控制寄存器，将 ROMD（ROMDH, ROMDL）中的内容写入 FRA（FRAH, FRAL）指向的 FLASH 地址单元。

对 IAPUL 写入 0xA5 解锁 IAP 后，可对 IAPPRGS 寄存器写入 0xD5 启动编程。编程结束后需对 IAPC 寄存器的 IAPCLR 置 1 来清编程状态。

数据和地址更新后需重新对 IAPPRGS 写入 0xD5 以启动编程。每次编程结束之后可以对 IAPUL 写入非 0xA5 上锁，亦可保持解锁状态，直至所有编程已结束再对 IAP 上锁。

在启动 IAP 编程时，若 LVD 有效则无法启动编程。在编程操作过程中，若 LVD 有效，且当芯片配置字的 LVDIAPTEN 设置为 1 时，则终止当前的编程操作。为了防止电压低于 LVD 设定门限时，发生误编程，在 IAP 编程时，建议设置寄存器位 LVDFLTEN=0，禁止 LVD 滤波。

为保证可靠地访问 FLASH，可设定终止编程后到 FLASH 可访问的延时等待时间，由 IAPC 寄存器的 PRGTWT 位进行设置。还可启动 T10 作为编程超时计数器，通过 IAPC 寄存器的 TOEN 位来使能超时发生时，终止当前的 IAP 编程操作。使用 T10 之前必需设定合适的超时时间，对编程操作需大于 30us，而且必须清除 T10 中断标志。

IAP 编程流程图 3-4 所示。

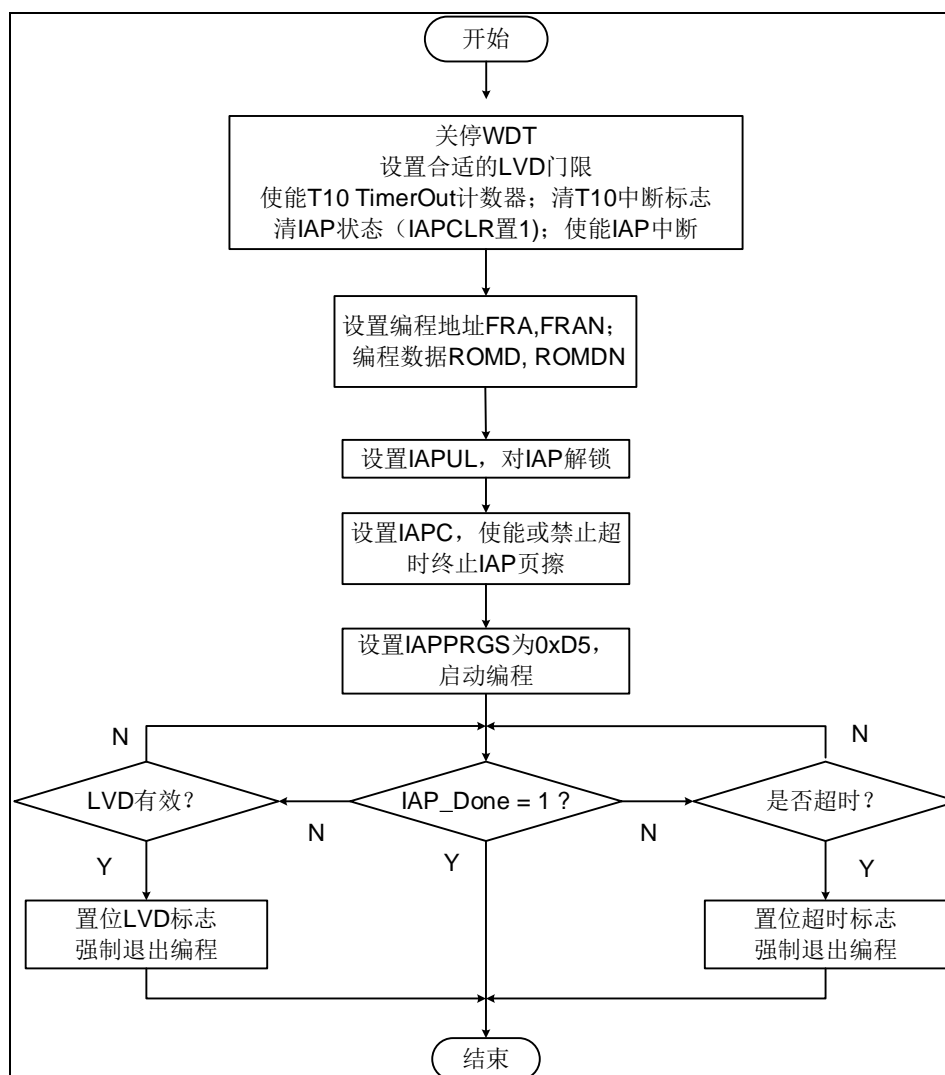


图 3-4 编程流程图

应用例程：FLASH IAP 编程

```

MOVI    0xA5                ; 解锁 WDT 寄存器
MOVA    WDTUL

BCC      WDT, WDTEN         ; 关 WDT, 使 WDT 停止计数, 以免溢出复位 IAP 操作

MOVI    0x05                ; 将 55AAH 写入 FLASH 的 0500H 地址单元
MOVA    FRAH
MOVI    0x00
MOVA    FRAL
MOVI    0xFA                ; 将地址的反 FAFH 写入 FRAH 和 FRALN
MOVA    FRAH
MOVI    0xFF
MOVA    FRALN

```

```

MOVI    0x55
MOVA    ROMDH
MOVI    0xAA
MOVA    ROMDL
MOVI    0xAA           ; 将数据的反 AA55H 写入 ROMDHN 和 ROMDLN
MOVA    ROMDHN
MOVI    0x55
MOVA    ROMDLN
MOVI    0x55
MOVA    ROMD1H
MOVI    0xAA
MOVA    ROMD1L
MOVI    0xAA           ; 将数据的反 AA55H 写入 ROMD1HN 和 ROMD1LN
MOVA    ROMD1HN
MOVI    0x55
MOVA    ROMD1LN

BSS     INTE4, IAPIE   ; 使能 IAP 中断

BSS     IAPC,1         ; 清 IAP 状态以启动下一个 IAP 操作
MOVI    0xA5           ; 解锁 IAP
MOVA    IAPUL

MOVI    0xD5
MOVA    IAPPRGS        ; 启动 FLASH IAP 编程操作
NOP

; CPU 进入暂停状态，直到编程完成后 CPU 恢复运行
; 一次页编程时间约 30us，具体时间随操作电压和操作温度有所不同
PRG_WAIT
JBS     IAPS,1         ; 等待 IAP 编程操作结束
GOTO    PRG_WAIT

MOVI    0x00           ; 锁定 IAP
MOVA    IAPUL

MOVI    0xA5           ; 解锁 WDTN 寄存器
MOVA    WDTUL
BSS     WDTN, WDTEN    ; WDT 恢复计数（如果配置字 WDTEN=1）
BCC     INTE4, IAPIE   ; 关 IAP 中断
.....

```

- 注 1: 对未进行擦除操作的 FLASH 存储器单元进行编程操作, 会导致该 FLASH 存储器单元的存储数据被破坏。
- 注 2: 在向 IAPPRGS 寄存器写入 0xD5 启动 IAP FLASH 编程之后, 由于 CPU 会继续执行下一条指令, 该指令不能为 TBR 指令, 以避免 ROMD 数据被 TBR 指令所读取的数据覆盖, 而导致数据写入失败。建议启动编程后, 紧接的下一条指令为 NOP 指令或如上例所示, 为 IAP 状态查询指令。
- 注 3: 在 IAP 中断服务程序中, 可通过查询 IAPS 状态寄存器来判断执行其它子程序:
- 如果 FRAH_ERR, FRAL_ERR 或 ROMD_ERR 错误, 则重新写 FRA 或 ROMD 的正反寄存器, 直至成功。
 - 如果 PRGS_ERR 错误, 则: 程序调试阶段, 查阅代码中的启动代码是否写错, 若是则修改错误; 否则再次写 IAPPRGS 寄存器, 直至成功。
 - 如果 IAP_LVDIF 为 1, 则停止 IAP 操作, 直至该标志为 0。

3.3.4.5 特殊功能寄存器

IAPUL: IAP 解锁寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAPUL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAPUL<7:0>: IAP 解锁寄存器

写入 0xA5 解锁 IAP。IAP 解锁后, 才可对 IAPERSS, IAPPRGS 寄存器进行写操作。

若解锁成功, 读出值为 0x01, 否则为 0x00。

注: 只需向 IAPUL 写入非 0xA5 值, 即可完成上锁。

IAPERSS: 擦除启动控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAPERSS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAPERSS<7:0>: IAP 擦除启动控制寄存器

写入 0xAE 启动扇区擦除; 仅主程序区支持扇区擦除, 数据存储区和信息区不支持扇区擦除; 若扇区擦除成功, 则读出值为 0x01, 否则为 0x00。

写入 0x9D 启动页擦除; 主程序区、数据存储区和信息区均支持进行页擦除, 若页擦除成功; 则读出值为 0x01, 否则为 0x00。

IAPERSS 可有两种方式清零: IAP 扇区或者页擦除成功后自动清零; 若页擦除失败, 可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。

该寄存器不允许写入除 0xAE 外的任何值, 否则 IAPS 状态寄存器的 ERSS_ERR 标志位将被置 1, 在 IAP 中断使能时将触发中断。

注 1: 写入 0xAE/0x9D 后, 可读取 IAPERSS 寄存器, 若值为 0x01 则表示成功启动; 否则启动失败。

注 2: 启动页擦除失败的情况: 工作电压小于设定的 LVD 阈值电压 (配置位 LVDIAPTEN=1); FRA 和 FRAN 寄存器值非反码, 或向 IAPERSS 寄存器写入了非 0xAE 值。页擦除启动失败可触发 IAP 中断, 可查询 IAPS 状态寄存器来判断中断源: 地址错, 或因产生了有效的 LVD 信号; 若非这两者, 则为写入了非 0xAE 值或待擦除页已被分区加密。

IAPPRGS: 编程启动控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAPPRGS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAPPRGS<7:0>: IAP 编程启动控制寄存器

写入 0xD5 启动编程; 若编程启动成功, 则读出值为 0x01, 否则为 0x00

IAPPRGS 可有两种方式清零: IAP 编程成功后自动清零; 若编程失败, 可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。

该寄存器不允许写入除 0xD5 外的任何值, 否则 IAPS 状态寄存器的 PRGS_ERR 标志位将被置 1, 在 IAP 中断使能时将触发中断。

注 1: 写入 0xD5 后, 可读取 IAPPRGS 寄存器, 若值为 0x01 则表示成功启动; 否则启动失败。

注 2: 启动编程失败的情况: 工作电压小于设定的 LVD 阈值电压 (配置位 LVDIPTEN=1); FRA 和 FRAN 寄存器值非反码, 或 ROMD 和 ROMDN 寄存器的值非反; 写入值非 0xD5。编程启动失败可触发 IAP 中断, 可查询 IAPS 寄存器标志位判断中断源: 地址错, 数据错或产生了有效的 LVD 信号; 若非这三者, 则为写入了非 0xD5 值或待编程地址已被分区加密。

IAPC: IAP 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	保留	ERSTWT<2:0>			PRGTWT<1:0>		IAPCLR	TOEN
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	1	0	0	0	0	0

Bit 7 保留

Bit 6~4 ERSTWT<2:0>: 擦除终止等待时间 (erase terminated wait time)

000: 2ms (2*32 个 32KHz 时钟周期)
 001: 4ms (4*32 个 32KHz 时钟周期)
 010: 6ms (6*32 个 32KHz 时钟周期)
 011: 8ms (8*32 个 32KHz 时钟周期)
 100: 10ms (10*32 个 32KHz 时钟周期)
 101: 12ms (12*32 个 32KHz 时钟周期)
 110: 14ms (14*32 个 32KHz 时钟周期)
 111: 16ms (16*32 个 32KHz 时钟周期)

Bit 3~2 PRGTWT<1:0>: 编程终止等待时间 (program terminated wait time)

00: 31.25us (1 个 32KHz 时钟周期)
 01: 62.5us (2 个 32KHz 时钟周期)
 10: 93.75us (3 个 32KHz 时钟周期)
 11: 125us (4 个 32KHz 时钟周期)

Bit 1 IAPCLR: IAP 状态清除

0: 禁止
 1: 清除 IAP 状态 (该位置 1 后自动清零)

Bit 0 TOEN: Timeout 超时使能寄存器 (timer-out enable)

0: 禁止
 1: 使能

注 1: 进入 IAP 模式之前, 可设置 T10 为 IAP 擦除或编程的 timeout 计数器。

例如: 页擦除操作, 正常完成擦除约需 2ms, 因此可设置 t10 prescaler 为 128 分频, 16MHz 时钟二分频, timeout 时间长度约 4.096ms。如果超出该时间仍未完成擦除操作, 则 IAP 操作将被强制退出。

注 2: 每次完成 IAP 操作之后必须将 IAPCLR 置 1 来清除当前状态, 才允许下一次 IAP 页擦除或编程操作。该位置 1 后自动清零。该位可清除擦除启动失败、编程启动失败、擦除/编程超时以及 IAP 编程/擦除终止标志等。

注 3: 进入 IAP 模式之前, 可设置 T10 为 IAP 擦除或编程的 timeout 计数器。

IAPS: IAP 状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	FRAH_ERR	FRAL_ERR	ROMD_ERR	ERSS_ERR	PRGS_ERR	IAP_TIMEOUT	IAP_DONE	IAP_LVDIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	0	0	0	0	0

- Bit 7** **FRAH_ERR**: FRA 高位地址出错标志。写入正确的 FRAH 正反值清零
0: 写入的 FRAH 与 FRAHN 值为反码
1: 写入的 FRAH 与 FRAHN 值不为反码
- Bit 6** **FRAL_ERR**: FRA 低位地址出错标志。写入正确的 FRAL 正反值清零
0: 写入的 FRAL 与 FRALN 值为反码
1: 写入的 FRAL 与 FRALN 值不为反码
- Bit 5** **ROMD_ERR**: ROMD 出错标志。写入正确的 ROMD 正反值清零
0: 写入的 ROMD 和 ROMDN 值为反码
1: 写入的 ROMD 和 ROMDN 值不为反码
- Bit 4** **ERSS_ERR**: 页擦启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPERSS 寄存器写入正确的 0xAE 数据启动页擦来清零。
0: 页擦未启动, 或已启动成功
1: 页擦启动失败。因 LVD 中断、FRAH 和 FRAHN 地址非反、以及 IAPERSS 寄存器写入数据非 0xAE 等而启动失败
- Bit 3** **PRGS_ERR**: 编程启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPPRGS 寄存器写入正确的 0xD5 数据启动编程来清零。
0: 编程未启动, 或已启动成功
1: 编程启动失败。因 LVD 中断、FRA 和 FRAN 地址非反、ROMD 和 ROMDH 数据非反, 以及 IAPPRGS 寄存器写入数据非 0xD5 等而启动失败
- Bit 2** **IAP_TIMEOUT**: IAP 编程/擦除超时标志。该位需要 IAPCLR 位置 1 来清零。
0: 编程/擦除操作正常
1: 编程/擦除操作超时 (软件清零, 或启动 IAP 编程/擦除操作时自动清零)
- Bit 1** **IAP_DONE**: IAP 编程/擦除状态位。该位需要 IAPCLR 位置 1 来清零。
0: 编程/擦除操作未完成
1: 编程/擦除操作已完成
- Bit 0** **IAP_LVDIF**: IAP 因电压低于 LVD 阈值设定而终止标志位。
该位在工作电压大于 LVD 阈值电压后自动清零。
0: IAP 操作正常执行
1: IAP 操作因电压低于 LVD 阈值电压而终止

注 1: 如果编程/擦除超时, 自动退出 IAP 操作。可通过查询 IAP_TIMEOUT 位来判断是否发生了 timeout 而导致 IAP 退出。

注 2: 可通过查询 IAPS 的其它标志位来判断 IAP 操作失败的原因。

注 3: FRAH_ERR, FRAL_ERR, ROMD_ERR 等标志位上电后因 FRA 与 ROMD 的正反寄存器不满足正反关系, 初值为 1, 需通过写入正确的 FRA 和 ROMD 正反值清零。

3.3.5 在线编程 ISP 和在线调试 ICD

FLASH 存储器具有可重复烧写的功能，便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级，本芯片还支持在线编程 ISP 和在线调试 ICD，用户只需在电路系统板上引出四根连接编程和调试接口线，但芯片必须有上电的过程，才能进入 ISP 模式。

芯片管脚	编程器管脚	管脚说明
ISDA	ISDA	编程/调试串行数据端口
ISCK	ISCK	编程/调试串行时钟端口
VSS	VSS	地
VDD	VDD	电源

表 3-1 在线编程/调试管脚说明

- 注 1：对编程/调试接口中的 ISCK 和 ISDA 管脚，芯片支持两组管脚可选择，其中 PB4 和 PB5 作为一组编程/调试接口，PB7 和 PE0 作为另一组编程/调试接口；
- 注 2：上述两组接口，用作编程使用时，无需进行选择设置，芯片自动识别有效使用的编程接口；用作调试使用时，通过配置字 ICDEB 使能，并由配置字 ICDSEL 进行选择设置。

3.4 数据寻址空间

3.4.1 概述

- ◇ 数据寻址空间由 2 部分组成
 - 分页访问存储区
 - 快速访问存储区
- ◇ 物理存储包括
 - 1024 字节 SRAM 数据存储器（部分用于 PC 硬件堆栈）
 - 特殊功能寄存器 SFR
- ◇ 支持 3 种寻址方式
 - 直接寻址
 - GPR 特殊寻址
 - 间接寻址

3.4.2 数据寻址空间映射

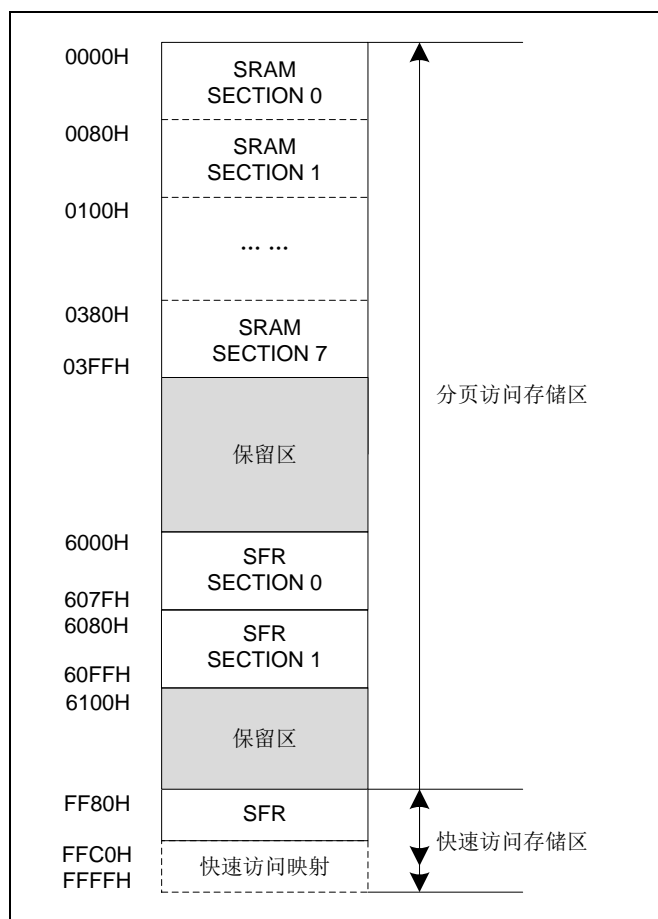


图 3-5 数据寻址空间映射图

3.4.3 通用数据存储器 SRAM

通用数据存储器被用于临时存放数据和控制信息，可以通过指令进行读写操作。本芯片通用数据存储器空间为 1024 字节，分为 8 个存储体组 (SRAM SECTION 0~7)，每个 SRAM 存储体组为 128 字节，总寻址地址范围为 0000_H~03FF_H。程序指令对 SRAM 进行直接寻址访问时，需通过寄存器 BKSR 选择 SRAM 存储体组，实现在不同存储体组间的切换。通用数据存储器的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

SRAM 的最后 1 个存储体组 SECTION 7，从高地址 (03FF_H) 开始的部分或全部地址空间可分配用于 PC 硬件堆栈，通过用户配置字 STKLS 选择 PC 硬件堆栈的级数。当 STKLS 选定后，PC 硬件堆栈占用的 SRAM 地址空间是堆栈级数的 2 倍。例如，设定堆栈级数为 16 级，SRAM 存储空间的 03E0_H~03FF_H 的 32 个地址被 PC 硬件堆栈占用，数据访问无法访问到该地址空间。两部分空间相互硬件隔离，PC 硬件堆栈的溢出也不会影响堆栈区之外的 SRAM 地址空间。

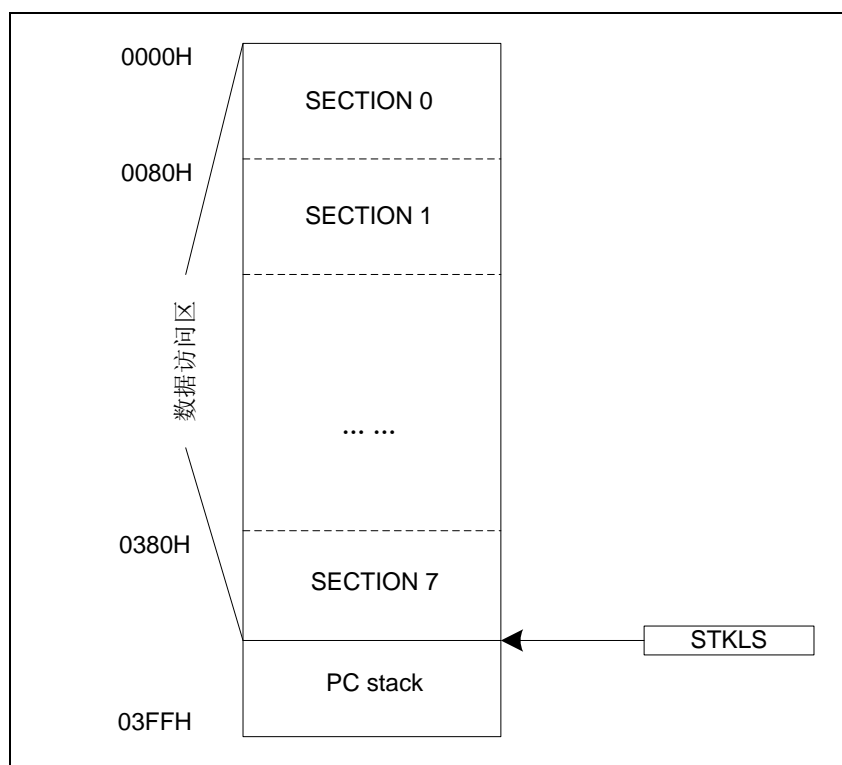


图 3-6 SRAM 地址映射示意图

3.4.4 特殊功能寄存器 SFR

特殊功能寄存器 SFR 用于片内各功能模块的设置和控制。SFR 被存储于两部分寻址空间。一部分存储于快速访问区的低地址空间 (FF80_H~FFBF_H)，共 64 字节。另一部分存储于分页访问区的 SFR SECTION 0 (6000_H~607F_H)，共 128 字节，通过设置 FAMR 寄存器，将 SFR SECTION 0 中被选中的区域 (共 64 字节)，映射到快速访问区的高地址空间 (FFC0_H~FFFF_H)，然后进行访问。各 SFR 寄存器的功能描述分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	PA	FFC0 _H	Mapped	FFE0 _H	Mapped
FF81 _H	IAAL	FFA1 _H	PAT	FFC1 _H	Mapped	FFE1 _H	Mapped
FF82 _H	IAAH	FFA2 _H	PAS	FFC2 _H	Mapped	FFE2 _H	Mapped
FF83 _H	BKSR	FFA3 _H	PAPU	FFC3 _H	Mapped	FFE3 _H	Mapped
FF84 _H	FAMR	FFA4 _H	PAPD	FFC4 _H	Mapped	FFE4 _H	Mapped
FF85 _H	AREG	FFA5 _H	PAFE	FFC5 _H	Mapped	FFE5 _H	Mapped
FF86 _H	PSW	FFA6 _H	PAOD	FFC6 _H	Mapped	FFE6 _H	Mapped
FF87 _H	PWRCWP	FFA7 _H	PASMIT	FFC7 _H	Mapped	FFE7 _H	Mapped
FF88 _H	PWRC	FFA8 _H	PB	FFC8 _H	Mapped	FFE8 _H	Mapped
FF89 _H	PCRL	FFA9 _H	PBT	FFC9 _H	Mapped	FFE9 _H	Mapped
FF8A _H	PCRH	FFAA _H	PBS	FFCA _H	Mapped	FFEA _H	Mapped
FF8B _H	-	FFAB _H	PBPU	FFCB _H	Mapped	FFEB _H	Mapped
FF8C _H	-	FFAC _H	PBPD	FFCC _H	Mapped	FFEC _H	Mapped
FF8D _H	-	FFAD _H	PBFE	FFCD _H	Mapped	FFED _H	Mapped
FF8E _H	-	FFAE _H	PBOD	FFCE _H	Mapped	FFEE _H	Mapped
FF8F _H	-	FFAF _H	PBSMIT	FFCF _H	Mapped	FFEF _H	Mapped
FF90 _H	-	FFB0 _H	PC	FFD0 _H	Mapped	FFF0 _H	Mapped
FF91 _H	-	FFB1 _H	PCT	FFD1 _H	Mapped	FFF1 _H	Mapped
FF92 _H	-	FFB2 _H	PCS	FFD2 _H	Mapped	FFF2 _H	Mapped
FF93 _H	-	FFB3 _H	PCPU	FFD3 _H	Mapped	FFF3 _H	Mapped
FF94 _H	INTG	FFB4 _H	PCPD	FFD4 _H	Mapped	FFF4 _H	Mapped
FF95 _H	INTP	FFB5 _H	PCFE	FFD5 _H	Mapped	FFF5 _H	Mapped
FF96 _H	INTE0	FFB6 _H	PCOD	FFD6 _H	Mapped	FFF6 _H	Mapped
FF97 _H	INTF0	FFB7 _H	PCSMIT	FFD7 _H	Mapped	FFF7 _H	Mapped
FF98 _H	INTE1	FFB8 _H	PE	FFD8 _H	Mapped	FFF8 _H	Mapped
FF99 _H	INTF1	FFB9 _H	PET	FFD9 _H	Mapped	FFF9 _H	Mapped
FF9A _H	INTE2	FFBA _H	PES	FFDA _H	Mapped	FFFA _H	Mapped
FF9B _H	INTF2	FFBB _H	PEPU	FFDB _H	Mapped	FFFB _H	Mapped
FF9C _H	INTC	FFBC _H	PEPD	FFDC _H	Mapped	FFFC _H	Mapped
FF9D _H		FFBD _H	PEFE	FFDD _H	Mapped	FFFD _H	Mapped
FF9E _H		FFBE _H	PEOD	FFDE _H	Mapped	FFFE _H	Mapped
FF9F _H	-	FFBF _H	PESMIT	FFDF _H	Mapped	FFFF _H	Mapped

图 3-7 快速访问区特殊功能寄存器

FAMR[1:0] = 00				FAMR[1:0] = 01			
6000 _H	FRAL	6020 _H	T21R1L	6040 _H	PALC	6060 _H	ADCRL
6001 _H	FRALN	6021 _H	T21R1H	6041 _H	PBLC	6061 _H	ADCRH
6002 _H	FRAH	6022 _H	T21CL	6042 _H	PCLC	6062 _H	ADCTL0
6003 _H	FRAHN	6023 _H	T21CH	6043 _H	PELC	6063 _H	ADCTL1
6004 _H	ROMDL	6024 _H	T21CM	6044 _H	SCC	6064 _H	ADCTL2
6005 _H	ROMDLN	6025 _H	T2nOC	6045 _H	SCSEL0	6065 _H	
6006 _H	ROMDH	6026 _H	PSFT	6046 _H	SCSEL1	6066 _H	
6007 _H	ROMDHN	6027 _H	-	6047 _H	PMOD_CON	6067 _H	-
6008 _H	IAPUL	6028 _H	MULA	6048 _H	PMOD_SEL0	6068 _H	BR0R
6009 _H	IAPC	6029 _H	MULB	6049 _H	PMOD_SEL1	6069 _H	RX0B
600A _H	IAPERSS	602A _H	MULL	604A _H	PMOD_SEL2	606A _H	RX0C
600B _H	IAPPRGS	602B _H	MULH	604B _H	PMOD_SEL3	606B _H	TX0B
600C _H	IAPS	602C _H		604C _H		606C _H	TX0C
600D _H	T10	602D _H		604D _H		606D _H	I2CX16
600E _H	T10C	602E _H		604E _H		606E _H	I2CC
600F _H	T20L	602F _H		604F _H		606F _H	I2CSA
6010 _H	T20H	6030 _H		6050 _H		6070 _H	I2CTB
6011 _H	T20PL	6031 _H		6051 _H		6071 _H	I2CRB
6012 _H	T20PH	6032 _H		6052 _H		6072 _H	I2CIEC
6013 _H	T20R0L	6033 _H		6053 _H		6073 _H	I2CIFC
6014 _H	T20R0H	6034 _H		6054 _H		6074 _H	
6015 _H	T20R1L	6035 _H		6055 _H		6075 _H	
6016 _H	T20R1H	6036 _H		6056 _H		6076 _H	
6017 _H	T20CL	6037 _H		6057 _H		6077 _H	WDTUL
6018 _H	T20CH	6038 _H		6058 _H		6078 _H	WDTC
6019 _H	T20CM	6039 _H		6059 _H		6079 _H	OSCWP
601A _H	T21L	603A _H	ROMD1L	605A _H		607A _H	OSCC1
601B _H	T21H	603B _H	ROMD1LN	605B _H		607B _H	OSCC2
601C _H	T21PL	603C _H	ROMD1H	605C _H		607C _H	OSCC3
601D _H	T21PH	603D _H	ROMD1HN	605D _H		607D _H	CLKG
601E _H	T21R0L	603E _H	USRCFG0	605E _H		607E _H	LVDCL
601F _H	T21R0H	603F _H	USRCFG1	605F _H		607F _H	LVDCH

图 3-8 特殊功能寄存器 (Section 0)

注：FAMR[1:0] = 00，访问 6000_H ~ 603F_H 区间的 SFR；
FAMR[1:0] = 01，访问 6040_H ~ 607F_H 区间的 SFR。

FAMR[1:0] = 10				FAMR[1:0] = 11			
6080 _H	-	60A0 _H	-	60C0 _H	-	60E0 _H	-
6081 _H	-	60A1 _H	-	60C1 _H	-	60E1 _H	-
6082 _H	-	60A2 _H	-	60C2 _H	-	60E2 _H	-
6083 _H	-	60A3 _H	-	60C3 _H	-	60E3 _H	-
6084 _H	-	60A4 _H	-	60C4 _H	-	60E4 _H	-
6085 _H	-	60A5 _H	-	60C5 _H	-	60E5 _H	-
6086 _H	-	60A6 _H	-	60C6 _H	-	60E6 _H	-
6087 _H	-	60A7 _H	-	60C7 _H	-	60E7 _H	-
6088 _H	-	60A8 _H	-	60C8 _H	-	60E8 _H	-
6089 _H	-	60A9 _H	-	60C9 _H	-	60E9 _H	-
608A _H	-	60AA _H	-	60CA _H	-	60EA _H	-
608B _H	-	60AB _H	-	60CB _H	-	60EB _H	-
608C _H	-	60AC _H	-	60CC _H	-	60EC _H	-
608D _H	-	60AD _H	-	60CD _H	-	60ED _H	-
608E _H	-	60AE _H	-	60CE _H	-	60EE _H	-
608F _H	-	60AF _H	-	60CF _H	-	60EF _H	-
6090 _H	-	60B0 _H	-	60D0 _H	-	60F0 _H	-
6091 _H	-	60B1 _H	-	60D1 _H	-	60F1 _H	-
6092 _H	-	60B2 _H	-	60D2 _H	-	60F2 _H	-
6093 _H	-	60B3 _H	-	60D3 _H	-	60F3 _H	-
6094 _H	-	60B4 _H	-	60D4 _H	-	60F4 _H	-
6095 _H	-	60B5 _H	-	60D5 _H	-	60F5 _H	-
6096 _H	-	60B6 _H	-	60D6 _H	-	60F6 _H	-
6097 _H	-	60B7 _H	-	60D7 _H	-	60F7 _H	-
6098 _H	-	60B8 _H	-	60D8 _H	-	60F8 _H	-
6099 _H	-	60B9 _H	-	60D9 _H	-	60F9 _H	-
609A _H	-	60BA _H	-	60DA _H	-	60FA _H	-
609B _H	-	60BB _H	-	60DB _H	-	60FB _H	-
609C _H	-	60BC _H	-	60DC _H	-	60FC _H	-
609D _H	-	60BD _H	-	60DD _H	-	60FD _H	-
609E _H	-	60BE _H	-	60DE _H	-	60FE _H	-
609F _H	-	60BF _H	-	60DF _H	-	60FF _H	-

图 3-9 特殊功能寄存器（Section 1）

注：FAMR[1: 0] = 10，访问 6080_H ~ 60BF_H 区间的 SFR；
FAMR[1: 0] = 11，访问 60C0_H ~ 60FF_H 区间的 SFR。

3.4.5 寻址方式

3.4.5.1 直接寻址

当指令中的 8 位地址信息小于 80_H 时，寻址 SRAM 地址空间。BKSR 用于选择 SRAM 存储体组，指令中的低 7 位地址信息用于在 BKSR 所选的存储体组中寻址。

当指令中的 8 位地址信息大于或等于 80_H 时，寻址指向快速访问区。指令字中的低 7 位地址信息用于在快速访问区寻址。快速访问映射寄存器 FAMR 用于将 SFR 某个 SECTION 的高或低地址段映射到快速访问区的高地址段 ($FFC0_H \sim FFFF_H$)，FAMR 的 BIT0 用于选择映射高或低地址段。

示意图如下：

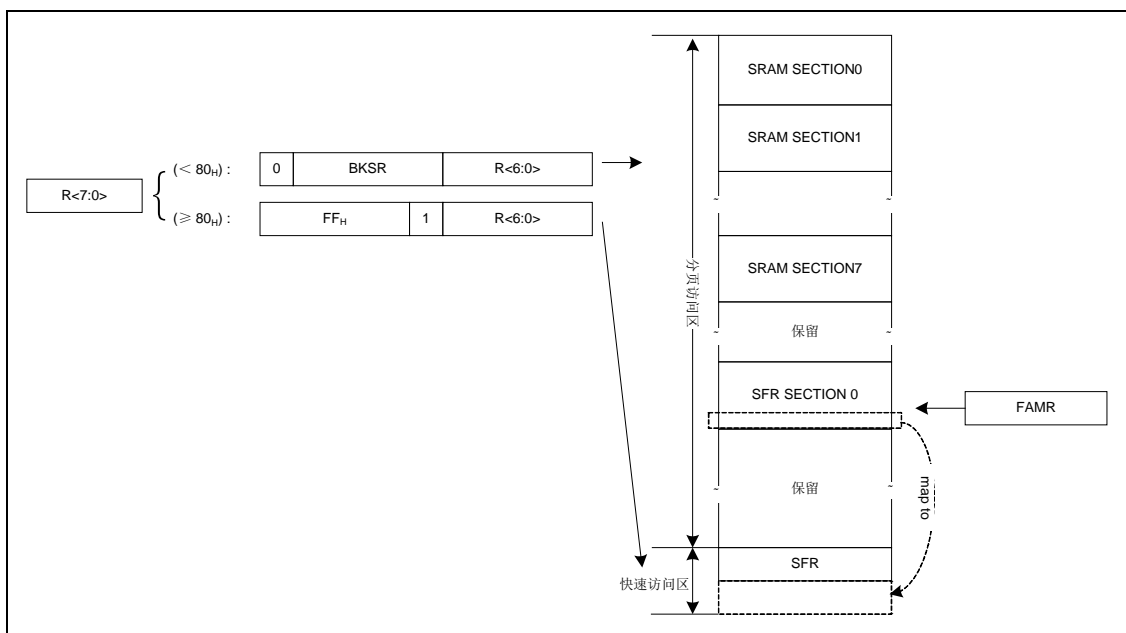


图 3-10 直接寻址示意图

3.4.5.2 GPR 特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读写操作，本芯片指令中支持 10 位地址信息 ($R<9:0>$)，可寻址 1024 字节地址空间，无需进行 SECTION 间切换。MOVAR 和 MOVRA 指令无法访问 SFR。

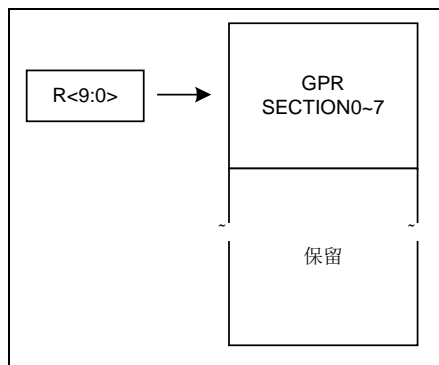


图 3-11 GPR 特殊寻址示意图

3.4.5.3 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD 间接访问数据寻址空间中的存储单元。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

由于 IAD 寄存器本身也映射到数据寻址空间的 FF80_H 地址。因此，当 IAA 存放的地址值为 FF80_H 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出为 00_H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。

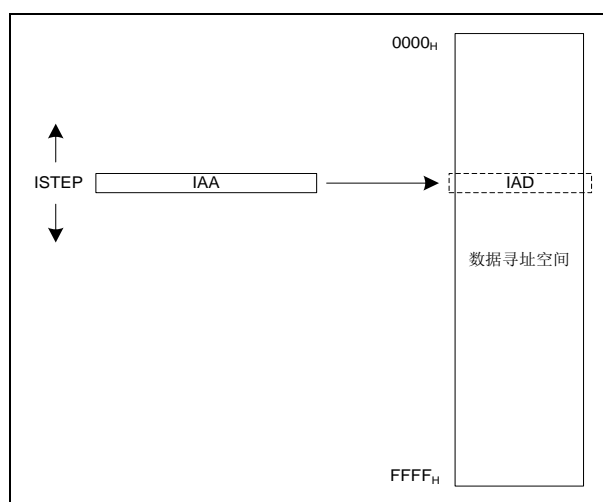


图 3-12 间接寻址示意图

3.4.5.4 特殊功能寄存器

IAD: 间接寻址数据寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	IAA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	IAA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<15:8>: 间接寻址索引高 8 位

BKSR: 存储体组选择寄存器

Bit	7	6	5	4	3	2	1	0
Name	保留					BKSR<2:0>		
R/W	—	—	—	—	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~3 保留

Bit 2~0 BKSR<2:0>: SRAM 存储体组选择

000: SRAM Section 0

001: SRAM Section 1

010: SRAM Section 2

011: SRAM Section 3

100: SRAM Section 4

101: SRAM Section 5

110: SRAM Section 6

111: SRAM Section 7

FAMR: 快速访问映射寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留						FAMS	FMHL
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~2 保留
- Bit 1 FAMS: 快速访问映射 SFR 存储体组选择
0: SFR Section 0
1: SFR Section 1
- Bit 0 FMHL: 快速访问映射高/低地址段选择位
0: 选择低地址段映射
1: 选择高地址段映射

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 FRAL<7:0>: 查表地址低 8 位

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 FRAH<7:0>: 查表地址高 8 位

FRALN: 查表地址寄存器低 8 位反								
Bit	7	6	5	4	3	2	1	0
Name	FRALN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 FRALN<7:0>: 查表地址低 8 位的反

FRAHN: 查表地址寄存器高 8 位反								
Bit	7	6	5	4	3	2	1	0
Name	FRAHN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 FRAHN<7:0>: 查表地址高 8 位的反

ROMDL: 查表数据寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMDL<7:0>: 查表数据低 8 位

ROMDH: 查表数据寄存器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMDH<7:0>: 查表数据高 8 位

ROMDLN: 查表数据寄存器低 8 位反

Bit	7	6	5	4	3	2	1	0
Name	ROMDLN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMDLN<7:0>: 查表数据低 8 位的反

ROMDHN: 查表数据寄存器高 8 位反

Bit	7	6	5	4	3	2	1	0
Name	ROMDHN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMDHN<7:0>: 查表数据高 8 位的反

ROMD1L: 查表数据寄存器 1 低 8 位

Bit	7	6	5	4	3	2	1	0
Name	ROMD1L<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMD1L<7:0>: 查表数据低 8 位

ROMD1H: 查表数据寄存器 1 高 8 位

Bit	7	6	5	4	3	2	1	0
Name	ROMD1H<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMD1H<7:0>: 查表数据高 8 位

ROMD1LN: 查表数据寄存器 1 低 8 位反

Bit	7	6	5	4	3	2	1	0
Name	ROMD1LN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMD1LN<7:0>: 查表数据低 8 位的反

ROMD1HN: 查表数据寄存器 1 高 8 位反

Bit	7	6	5	4	3	2	1	0
Name	ROMD1HN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMD1HN<7:0>: 查表数据高 8 位的反

第4章 输入/输出端口

4.1 概述

本芯片最多支持 14 个 I/O 端口，共分为 PA, PB, PE 共 3 组。所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。端口驱动能力可配置。

每个端口都有相应的控制寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态；若 PxT 清 0，则 I/O 端口为输出状态。

IO 端口都有独立的内部弱上、下拉控制寄存器。若控制寄存器位置 1，则 I/O 端口弱上或者下拉使能；若控制寄存器位清 0，则 I/O 端口弱上或者下拉禁止。当端口设置为输出、模拟输入端口时，内部弱上、下拉自动禁止。

IO 端口都有独立的开漏输出控制寄存器；当端口设置为模拟输入端口时，开漏输出控制自动禁止。

IO 端口都有可配置的灌电流驱动能力，其中 PE6~7 端口支持 120mA 灌电流驱动能力，其余端口支持最大 24mA 灌电流驱动。在 120mA 灌电流模式下，同时只能有一个端口可提供高达 120mA 的驱动能力，因此如用作 LED 驱动，需采用共阴极动态扫描的驱动方式。端口的拉电流可通过 SCSEL0, SCSEL1 寄存器配置，灌电流驱动能力可通过 PALC, PBLC, PELC 寄存器来配置。

当 IO 复用设置为模拟端口时，相应的端口方向寄存器 PxT 应软件设置为输入端口。

4.2 I/O 结构框图

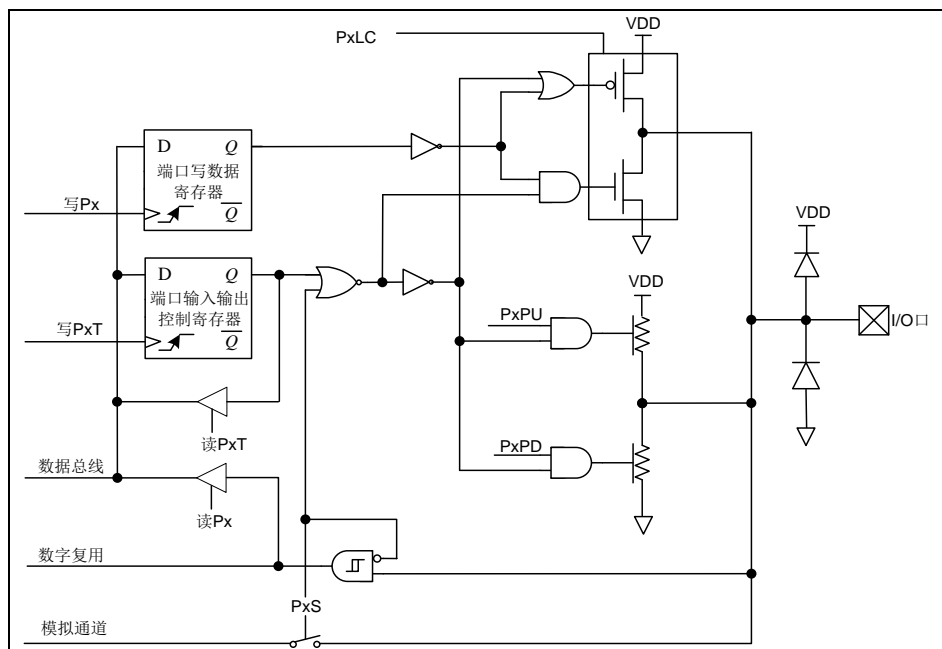


图 4-1 I/O 端口结构图

4.3 I/O 端口功能

4.3.1 I/O 端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PAT/PBT/PCT/PET 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 PA/PB/PC/PE 寄存器内容，即写相应 I/O 端口电平状态，读取 PA/PB/PC/PE 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 PA/PB/PC/PE 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O 端口弱上拉、弱下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。本芯片中所有端口支持独立的弱上、下拉功能。弱上、下拉功能仅在相应端口设为数字输入或数字复用输入模式下有效。

4.3.3 I/O 端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片部分复用端口具有独立的模拟/数字信号选择功能，由相应 PAS/PBS/PCS/PES 寄存器控制。当端口被配置为模拟端口时，读相应的 PA/PB/PC/PE 寄存器始终读到“0”。

4.3.4 增强驱动能力 I/O

为了更好的配合电机驱动等应用，本芯片 PWM 复用输出端口均特别增强了驱动能力，PE6~7 端口灌电流最大可达 120mA；其它端口上的 PWM 复用输出端口灌电流最大可达 24mA。端口驱动能力参数请参考附录“电气特性”。端口驱动能力可通过 PALC, PBLC, PCLC, PELC, SCSEL0 和 SCSEL1 寄存器来配置。

4.3.5 I/O 端口复用功能

为了使资源合理利用最优化，本芯片大部分的 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

4.4 外部端口中断（PINT）

本芯片支持 3 个外部中断。当 PINT2、PINT4、PINT5 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINT2、PINT4、PINT5 外部端口中断。INTC 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。外部端口中断可由 PIE2、PIE4、PIE5 使能。中断产生将影响相应的中断标志 PIF2、PIF4、PIF5。

外部中断	中断标志	中断使能	边沿选择
PINT2/PE4	PIF2	PIE2	
PINT4/PE6	PIF4	PIE4	
PINT5/PE7	PIF5	PIE5	

表 4-1 外部端口中断

4.5 外部按键中断（KINTx）

支持最多 2 个外部按键输入端 KINx，每个按键由相应的寄存器 KMSKx（INTC<5:4>）屏蔽，如果按键中断使能位 KIE（INTE1<7>）使能，任何其中一个按键中断产生时，中断标志 KIF（INTF1<7>）均置 1。在 IDLE 模式下，此中断能唤醒 CPU。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PB6	KIN0	KMSK0	KINT	KIE	KIF
PE6	KIN1	KMSK1			

表 4-2 外部按键中断

4.6 I/O 端口操作注意事项

当执行以端口寄存器为目标的指令（除位操作指令）时，芯片实际执行读-修改-写过程，即先读取该组全部 I/O 端口的电平，修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位，对同组其它 I/O 不造成影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在复用功能使能和关闭时，应充分考虑当前 I/O 端口的输出寄存器值，并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.7 特殊功能寄存器

PA: PA 端口电平状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	X	x	x	x	x

Bit 7~0 PA<7:0>: PA 端口电平状态
0: 低电平
1: 高电平

PAT: PA 端口输入输出控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PAT<7:0>: PA 端口输入输出状态控制位
0: 输出状态
1: 输入状态

PAS: PA 端口类型选择寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	0	0

Bit 7~0 PAS<7:0>: PA 端口数字/模拟类型选择位
0: 数字端口
1: 模拟端口

注 1: PE0 和 PB7 分别复用为 ISP 的 ISDA 和 ISCK 端口，默认为数字输入。

注 2: PA<1:0>之外的 PAx 端口均默认为模拟端口，用户将这类端口用作数字端口时，需先配置为数字端口。

PAPU: PA 端口弱上拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PAPU<7:0>: PA 端口内部弱上拉控制位
0: 禁止
1: 使能

PAPD: PA 端口弱下拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PAPD<7:0>: PA 端口内部弱下拉控制位
0: 禁止
1: 使能

PALC: PA 端口灌电流驱动能力控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PALC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PALC<7:0>: PA 端口灌电流驱动能力控制位
0: 弱驱动能力
1: 强驱动能力

PAOD: PA 端口开漏控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PAOD<7:0>: PA 端口开漏控制位
0: 禁止
1: 使能

PASMIT: PA 端口施密特输入窗口电压配置寄存器

Bit	7	6	5	4	3	2	1	0
Name	PASMIT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PASMIT<7:0>: PA 端口输入窗口电压配置寄存器
0: 施密特窗口的上限和下限电压分别为 0.8V, 2.0V
1: 施密特窗口的上限和下限电压分别为 0.3VDD, 0.7VDD

PAFE: PA 端口输入滤波使能寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAFE<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PAFE<7:0>: PA 端口输入滤波寄存器

0: 端口输入无滤波

1: 端口输入待 20ns 滤波

PB: PB 端口电平状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	PB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PB<7:0>: PB 端口电平状态

0: 低电平

1: 高电平

PBT: PB 端口输入输出控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PBT<7:0>: PB 端口输入输出状态控制位

0: 输出状态

1: 输入状态

PBS: PB 端口类型选择寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	0	0	1	1	1	1

Bit 7~0 PBS<7:0>: PB 端口数字/模拟类型选择位

0: 数字端口

1: 模拟端口

注 1: PB4 和 PB5 分别复用为 ISP 的 ISDA 和 ISCK 端口，默认为数字输入。

注 2: PB 除 PB<5:4>之外的端口默认为模拟端口，用户将这类端口用作数字端口时，需提前配置为数字端口。

PBPU: PB 端口弱上拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBPU<7:0>: PB 端口内部弱上拉控制位

0: 禁止

1: 使能

PBPD: PB 端口弱下拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBPD<7:0>: PB 端口内部弱下拉控制位

0: 禁止

1: 使能

PBLC: PB 端口灌电流驱动能力控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBLC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBLC<7:0>: PB 端口灌电流驱动能力控制位

0: 弱驱动能力

1: 强驱动能力

PBOD: PB 端口开漏控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBOD<7:0>: PB 端口开漏控制位

0: 禁止

1: 使能

PBSMIT: PB 端口施密特输入窗口电压配置寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBSMIT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBSMIT<7:0>: PB 端口输入窗口电压配置寄存器

0: 施密特窗口的上限和下限电压分别为 0.8V, 2.0V

1: 施密特窗口的上限和下限电压分别为 0.3VDD, 0.7VDD

PBFE: PB 端口输入滤波使能寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBFE<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBFE<7:0>: PB 端口输入滤波寄存器

- 0: 端口输入无滤波
1: 端口输入待 20ns 滤波

PE: PE 端口电平状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	PE<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PE<7:0>: PE 端口电平状态
0: 低电平
1: 高电平

PET: PE 端口输入输出控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PET<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PET<7:0>: PE 端口输入输出状态控制位
0: 输出状态
1: 输入状态

PES: PE 端口类型选择寄存器

Bit	7	6	5	4	3	2	1	0
Name	PES<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PES<7:0>: PE 端口数字/模拟类型选择位
0: 数字端口
1: 模拟端口

注: PE 端口默认为模拟端口, 用户将这类端口用作数字端口时, 需先配置为数字端口。

PEPU: PE 端口弱上拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PEPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PEPU<7:0>: PE 端口内部弱上拉控制位
0: 禁止
1: 使能

PEPD: PE 端口弱下拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PEPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PEPD<7:0>: PE 端口内部弱下拉控制位
0: 禁止
1: 使能

PELC: PE 端口灌电流驱动能力控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PELC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PELC<7:0>: PE 端口灌电流驱动能力控制位
0: 弱驱动能力
1: 强驱动能力

PEOD: PE 端口开漏控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PEOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PEOD<7:0>: PE 端口开漏控制位
0: 禁止
1: 使能

PESMIT: PE 端口施密特输入窗口电压配置寄存器

Bit	7	6	5	4	3	2	1	0
Name	PESMIT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PESMIT<7:0>: PE<7:0>端口输入窗口电压配置寄存器
0: 施密特窗口的上限和下限电压分别为 0.8V, 2.0V
1: 施密特窗口的上限和下限电压分别为 0.3VDD, 0.7VDD

PEFE: PE 端口输入滤波使能寄存器

Bit	7	6	5	4	3	2	1	0
Name	PEFE<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PEFE<7:0>: PE 端口输入滤波寄存器

0: 端口输入无滤波

1: 端口输入待 20ns 滤波

PSFT: 端口映射选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留				PSFT<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留

Bit 3 UART 端口映射选择位

0: UART 不映射

1: UART 映射

Bit 2 I2C 端口映射选择位

0: I2C 不映射

1: I2C 映射

Bit 1 PWM21x 端口映射选择位

0: PWM21x 不映射

1: PWM21x 映射

Bit 0 PWM20x 端口映射选择位

0: PWM20x 不映射

1: PWM20x 映射

SCC: 端口源电流可调功能控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	SCC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 SSEG1 端口源电流可调使能位

0: 禁止 (源电流大小参考直流电气特性)

1: 使能

Bit 6 SSEG0 端口源电流可调使能位

0: 禁止 (源电流大小参考直流电气特性)

1: 使能

Bit 5 SSEG5 端口源电流可调使能位

0: 禁止 (源电流大小参考直流电气特性)

1: 使能

Bit 4 SSEG4 端口源电流可调使能位

0: 禁止 (源电流大小参考直流电气特性)

1: 使能

Bit 3 保留

Bit 2 SSEG6 端口源电流可调使能位

0: 禁止 (源电流大小参考直流电气特性)

1: 使能

- Bit 1 SSEG3 端口源电流可调使能位
0: 禁止（源电流大小参考直流电气特性）
1: 使能
- Bit 0 SSEG2 端口源电流可调使能位
0: 禁止（源电流大小参考直流电气特性）
1: 使能

SCSEL0: 端口源电流选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	SCSEL0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 SCSEL0<7:6>: SSEG1 端口源电流选择位
00: 6mA（典型值）
01: 12mA（典型值）
10: 18mA（典型值）
11: 高阻
- Bit 5~4 SCSEL0<5:4>: SSEG0 端口源电流选择位
00: 6mA（典型值）
01: 12mA（典型值）
10: 18mA（典型值）
11: 高阻
- Bit 3~2 SCSEL0<3:2>: SSEG5 端口源电流选择位
00: 6mA（典型值）
01: 12mA（典型值）
10: 18mA（典型值）
11: 高阻
- Bit 1~0 SCSEL0<1:0>: SSEG4 端口源电流选择位
00: 6mA（典型值）
01: 12mA（典型值）
10: 18mA（典型值）
11: 高阻

SCSEL1: 端口源电流选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留		SCSEL1<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 保留

Bit 5~4 SCSEL1<5:4>: SSEG6 端口源电流选择位

00: 6mA (典型值)

01: 12mA (典型值)

10: 18mA (典型值)

11: 高阻

Bit 3~2 SCSEL1<3:2>: SSEG3 端口源电流选择位

00: 6mA (典型值)

01: 12mA (典型值)

10: 18mA (典型值)

11: 高阻

Bit 1~0 SCSEL1<1:0>: SSEG2 端口源电流选择位

00: 6mA (典型值)

01: 12mA (典型值)

10: 18mA (典型值)

11: 高阻

PMOD_CON: 端口输出高电平调制控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留				PMODCLK_SEL<2:0>			PMOD_EN
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留

Bit 3~1 PMODCLK_SEL<2:0>: 端口调制时钟选择位

000: 选择系统时钟 1/4 分频

001: 选择系统时钟 1/8 分频

010: 选择系统时钟 1/16 分频

011: 选择系统时钟 1/32 分频

100: 选择系统时钟 1/64 分频

101: 选择系统时钟 1/128 分频

110: 选择系统时钟 1/256 分频

111: 选择 LRC 作为端口调制时钟

Bit 0 PMOD_EN: 端口调制使能位

0: 禁止

1: 使能

PMOD_SEL0: PA 端口输出高电平调制占空比选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PMOD_SEL0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 SSEG1 端口调制占空比选择位:

0000: 禁止调制功能

0001: 1/16 占空比

0010: 2/16 占空比

0011: 3/16 占空比

0100: 4/16 占空比

0101: 5/16 占空比

0110: 6/16 占空比

0111: 7/16 占空比

1000: 8/16 占空比

1001: 9/16 占空比

1010: 10/16 占空比

1011: 11/16 占空比

1100: 12/16 占空比

1101: 13/16 占空比

1110: 14/16 占空比

1111: 15/16 占空比

Bit 3~0 SSEG0 端口调制占空比选择位:

0000: 禁止调制功能

0001: 1/16 占空比

0010: 2/16 占空比

0011: 3/16 占空比

0100: 4/16 占空比

0101: 5/16 占空比

0110: 6/16 占空比

0111: 7/16 占空比

1000: 8/16 占空比

1001: 9/16 占空比

1010: 10/16 占空比

1011: 11/16 占空比

1100: 12/16 占空比

1101: 13/16 占空比

1110: 14/16 占空比

1111: 15/16 占空比

PMOD_SEL1: PB 端口输出高电平调制占空比选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PMOD_SEL1<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 SSEG5 端口调制占空比选择位:

0000: 禁止调制功能

0001: 1/16 占空比

0010: 2/16 占空比

0011: 3/16 占空比

0100: 4/16 占空比

0101: 5/16 占空比

0110: 6/16 占空比

0111: 7/16 占空比

1000: 8/16 占空比

1001: 9/16 占空比

1010: 10/16 占空比

1011: 11/16 占空比

1100: 12/16 占空比

1101: 13/16 占空比

1110: 14/16 占空比

1111: 15/16 占空比

Bit 3~0 SSEG4 端口调制占空比选择位:

0000: 禁止调制功能

0001: 1/16 占空比

0010: 2/16 占空比

0011: 3/16 占空比

0100: 4/16 占空比

0101: 5/16 占空比

0110: 6/16 占空比

0111: 7/16 占空比

1000: 8/16 占空比

1001: 9/16 占空比

1010: 10/16 占空比

1011: 11/16 占空比

1100: 12/16 占空比

1101: 13/16 占空比

1110: 14/16 占空比

1111: 15/16 占空比

PMOD_SEL2: PC 端口输出高电平调制占空比选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留				PMOD_SEL2<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留

Bit 3~0 SSEG6 端口调制占空比选择位:

0000: 禁止调制功能

0001: 1/16 占空比

0010: 2/16 占空比

0011: 3/16 占空比

0100: 4/16 占空比

0101: 5/16 占空比

0110: 6/16 占空比

0111: 7/16 占空比

1000: 8/16 占空比

1001: 9/16 占空比

1010: 10/16 占空比

1011: 11/16 占空比

1100: 12/16 占空比

1101: 13/16 占空比

1110: 14/16 占空比

1111: 15/16 占空比

PMOD_SEL3: PE 端口输出高电平调制占空比选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PMOD_SEL3<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 SSEG3 端口调制占空比选择位:

0000: 禁止调制功能

0001: 1/16 占空比

0010: 2/16 占空比

0011: 3/16 占空比

0100: 4/16 占空比

0101: 5/16 占空比

0110: 6/16 占空比

0111: 7/16 占空比

1000: 8/16 占空比

1001: 9/16 占空比

1010: 10/16 占空比

1011: 11/16 占空比

1100: 12/16 占空比

1101: 13/16 占空比

1110: 14/16 占空比

1111: 15/16 占空比

Bit 3~0 SSEG2 端口调制占空比选择位:

0000: 禁止调制功能

0001: 1/16 占空比

0010: 2/16 占空比

0011: 3/16 占空比

0100: 4/16 占空比

0101: 5/16 占空比

0110: 6/16 占空比

0111: 7/16 占空比

1000: 8/16 占空比

1001: 9/16 占空比

1010: 10/16 占空比

1011: 11/16 占空比

1100: 12/16 占空比

1101: 13/16 占空比

1110: 14/16 占空比

1111: 15/16 占空比

第5章 特殊功能及操作特性

5.1 系统时钟和振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有 2 种：内部高速 RC 振荡器（16MHz）和内部低速 RC 振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以作为看门狗定时器、ADC 电路等提供所需要的时钟源。

◇ HRC

- 内部 16MHz RC 振荡器
- 出厂前，振荡器频率已经在常温下已经校准，校准精度在 $\pm 1\%$ 以内

◇ LRC

- 内部 32KHz RC 振荡器
- 出厂前，振荡器频率已经在常温下已经校准，校准精度在 $\pm 3\%$ 以内

5.1.2 结构框图

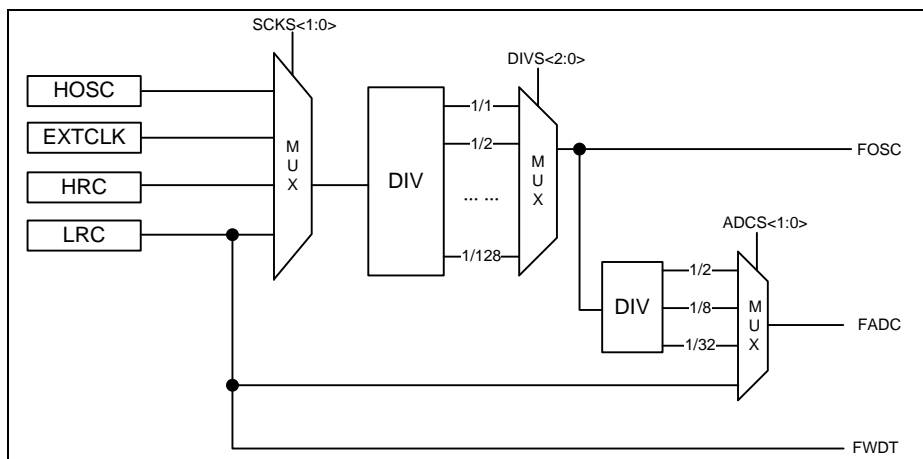


图 5-1 系统时钟内部结构图

5.1.3 时钟源

5.1.3.1 内部高速 16MHz RC 振荡器 HRC

芯片内置 16MHz RC 时钟振荡器，不需要外接其它外部器件。出厂前，内置 16MHz RC 时钟振荡器已在常温下校准。

5.1.3.2 内部低速 32KHz RC 振荡器 LRC

芯片内置 32KHz RC 时钟振荡器（固定使能），不需要外接其它外部器件，可用作 WDT 计数时钟源，也可配置为主系统时钟源。出厂前，内置 32KHz RC 时钟振荡器已在常温下校准。

5.1.4 系统时钟源切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。

芯片上电复位后，内部 16MHz RC 振荡器(HRC)默认作为系统时钟源。可通过配置 OSSCL 寄存器中的 SCKS 位切换系统时钟源。当芯片进入睡眠模式时，系统时钟自动切换为 LRC 时钟，当芯片从睡眠模式唤醒时，唤醒后的系统时钟可由芯片配置字来确定使用睡眠前时的系统时钟或 LRC 时钟。

系统支持四种时钟之间相互切换，时钟源具体切换过程，可用如下 HRC 与 LRC 切换操作为例来说明：

- ◇ 内部高速 HRC 时钟切换到内部低速 LRC 时钟
 - 检测 OSC2 寄存器中的 LRCON 位，检测到 LRCON=1；
 - 设置 OSC1 寄存器中的 SCKS<1:0>=01；
 - 检测 OSC1 寄存器的 CHG 位，直到检测到 CHG=0；
 - 用户可选择关闭 HRC 时钟，即设置 OSC2 寄存器中的 HRCEN=0。
- ◇ 内部低速 LRC 时钟切换到内部高速 HRC 时钟
 - 设置 OSC2 寄存器中的 HRCEN=1；
 - 检测 OSC2 寄存器中的 HRCON 位，直到检测到 HRCON =1；
 - 设置 OSC1 寄存器中的 SCKS<1:0>=00；
 - 检测 OSC1 寄存器的 CHG 位，直到检测到 CHG=0；

注：时钟切换时，推荐使用 MOV 指令访问寄存器 OSC1 进行切换，禁止使用位操作命令（如 BSS、BCC）来进行切换

5.1.4.1 系统上电时序

上电固定延迟总是存在，如下图所示。其它复位的上电时序参见 5.3 复位模块一节。

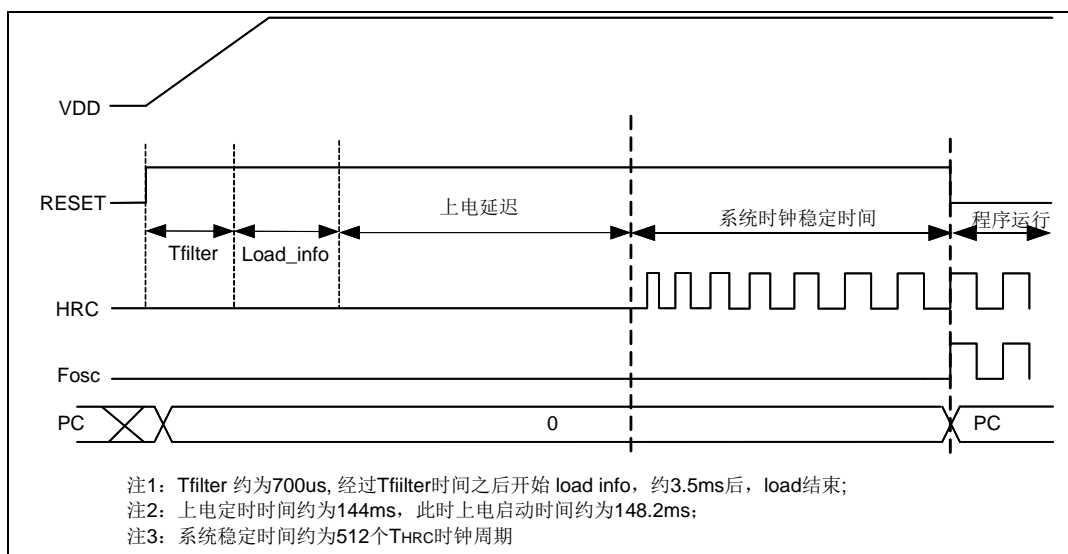


图 5-2 系统上电时序图

5.1.5 系统时钟分频

系统时钟支持 1 个最大分频比为 1:256 的后分频器, 可通过 OSSCL 寄存器中的 DIVS<2:0> 位进行选择分频比。后分频器本身不可读写, 配置系统时钟切换选择位 SCKS 后, 后分频器计数自动清零, 但不影响分频比设置。

改变系统时钟的分频比也同样视为系统时钟源的切换。

5.1.6 时钟切换等待

改变系统时钟的时钟源和改变系统时钟分频比都被视为系统时钟切换操作。为确保时钟切换时的系统稳定, 在执行时钟切换操作时系统时钟会暂停运行, 直到时钟切换结束再恢复运行。切换等待时间的长短视切换中的 2 个时钟源的频率而定。

5.1.7 特殊功能寄存器

OSCWP: 时钟控制写保护寄存器

Bit	7	6	5	4	3	2	1	0
Name	OSCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 为保证系统的稳定运行 OSCC3、OSCC2 和 OSCC1 寄存器默认处于写保护状态。解锁需对 OSCWP 寄存器写入 55_H，写入其它值将恢复写保护状态。

OSCC1: 时钟控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	CHG	DIVS<2:0>			SST		SCKS	
R/W	R	R/W	R/W	R/W	R		R/W	
POR	0	0	0	0	0	0	0	0

Bit 7 CHG: 系统时钟切换标志位

0: 切换完成

1: 切换进行中

Bit 6~4 DIVS<2:0>: 系统时钟后分频比选择位

000 = 1:1

001 = 1:2

010 = 1:4

011 = 1:8

100 = 1:16

101 = 1:32

110 = 1:64

111 = 1:128

Bit 3-2 SST: 系统时钟源标志位

00: HRC 时钟源

01: LRC 时钟源

10: 保留

11: 保留

Bit 1-0 SCKS: 系统时钟源选择位

00: HRC 时钟源

01: LRC 时钟源

10: 保留

11: 保留

注: 时钟切换时, 推荐使用 MOV 指令访问寄存器 OSCC1 进行切换, 禁止使用位操作命令 (如 BSS、BCC) 来进行切换

OSCC2: 时钟控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	保留		HRCON	LRCON	保留		HRCEN	HRCSEL
R/W	—	—	R	R	R/W		R/W	R/W
POR	0	0	1	1	0	0	1	1

Bit 7~6 保留

Bit 5 HRCON: HRC 时钟状态位

0: 关闭状态

1: 开启状态

Bit 4 LRCON: LRC 时钟状态位

0: 关闭状态

1: 开启状态

Bit 3~2 保留

Bit 1 HRCEN: HRC 时钟使能位

0: 关闭（无其它硬件强制使能时）

1: 使能

Bit 0 HRCSEL: HRC 时钟频率选择位

0: 选择 HRC 时钟频率为 4MHz

1: 选择 HRC 时钟频率为 16MHz

OSCC3: 时钟控制寄存器 3

Bit	7	6	5	4	3	2	1	0
Name	CLKOEN	CLKO_FSEL	保留				CLKFLT_RDY	CLKFLT_EN
R/W	R/W	R/W	—	—	—	—	R	R/W
POR	0	0	0	0	0	0	1	1

Bit 7 CLKOEN: 系统时钟 128 分频输出使能位

0: 关闭

1: 使能, 输出到 CLK0 (PB0 端口)

Bit 6 CLKO_FSEL: 系统时钟输出频率选择位

0: 选择系统时钟 128 分频时钟输出

1: 选择系统时钟输出

Bit 5~2 保留

Bit 1 CLKFLT_RDY: 时钟滤波器切换允许信号

0: 禁止时钟滤波器切换

1: 允许时钟滤波器切换

Bit 0 CLKFLT_EN: 时钟滤波器使能

0: 禁止时钟滤波器, 可以节省功耗

1: 使能时钟滤波器, 增强抗干扰能力 (缺省值)

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它的功能在于在发生软件故障时，通过器件复位将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◇ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为 LRC 时钟
- 8 位预分频器（无实际物理地址，不可读写）
- WDTUL 解锁寄存器
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能
- 支持设定喂狗禁止区
- 中断功能

5.2.2 WDT 操作

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。当芯片配置字 WDTEN 使能，或 WDT.C.SWDTEN 控制位使能时，WDT 定时器计数使能。用户配置 WDT.C.SWDTEN 位之前必须先对 WDT 进行解锁，即向 WDTUL 寄存器写入 0xA5。每一次对 WDT.C 的写操作都必须重新解锁。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，需要及时进行喂狗操作，使用 CWDT 指令适时清零 WDT 计数器。为了防止程序运行至不可控状态，可以通过 WDT.C.WDTCSC 配置禁止喂狗时间窗口，在禁止喂狗窗口内的喂狗动作都将产生 WDT 复位，可用于检测软件的错误喂狗行为，通过 WDT 复位来消除不可控状态。在配置 WDT.C.WDTCSC 禁止喂狗时间窗口前，需要先把芯片配置字 WDTWEN 使能，否则配置不生效。

WDT 支持一个预分频器，可通过 WDT.C 寄存器中的 WDTPRS<2:0> 位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。WDT 时钟源来自内部 32KHz RC 振荡器 LRC 时钟。在预分频器分频比为 1:1 时，常温下（25℃）WDT 计数溢出时间约为 8ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

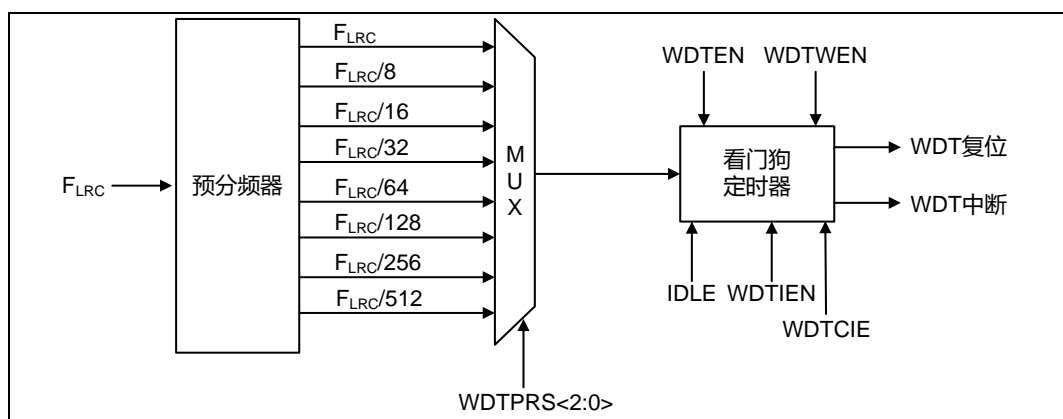


图 5-3 看门狗定时器内部结构图

WDT 中断产生由 WDT.CIE 和 WDT.C.WDTCSC<1:0> 共同控制，在 WDT.CIE=1 时，WDT 中断标志会在允许喂狗窗口内置起，用户可通过该标志进行喂狗，窗口外的喂狗行为将导致 WDT 复位。

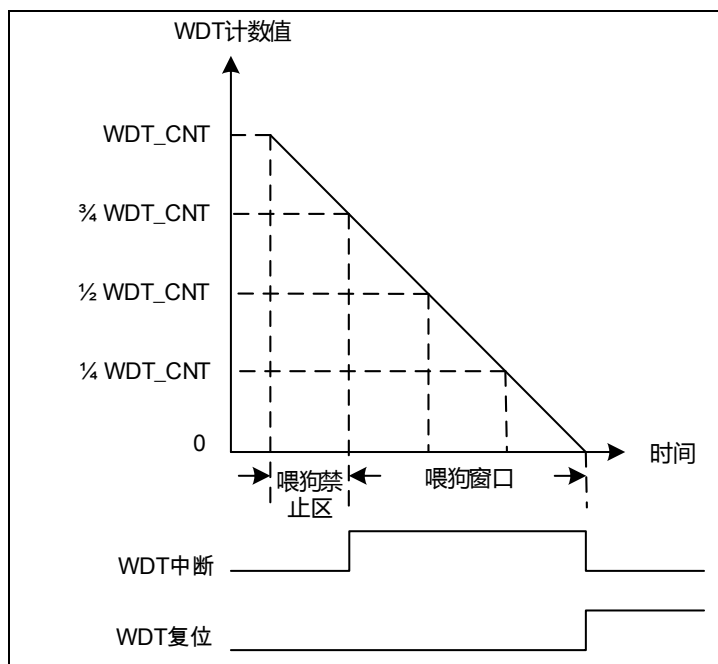


图 5-4 看门狗中断和溢出复位产生时序图 (WDTCS 设定为 00)

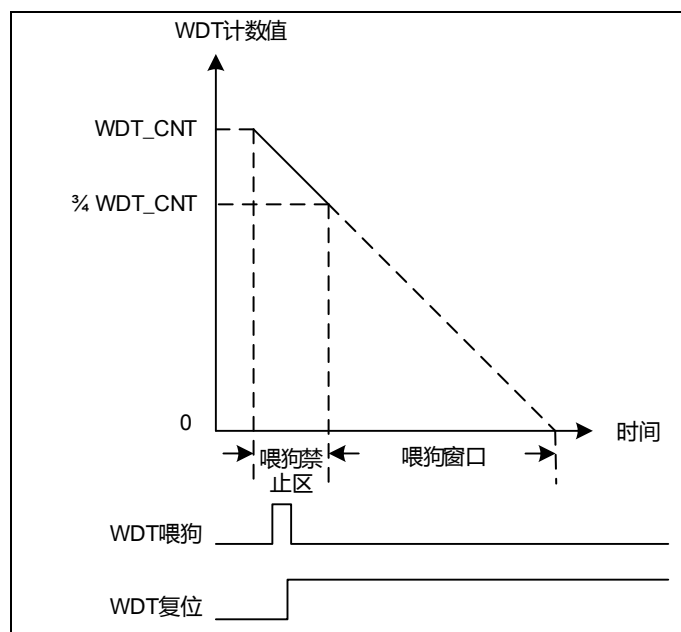


图 5-5 错误的喂狗时序图 (WDTCS 设定为 00)

5.2.3 特殊功能寄存器

WDT 的功能控制由 WDTN 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字的 WDTEN 位和 WDTN 控制寄存器的 SWDTEN 位控制。当 WDTEN 为 0 时，可以通过设置 SWDTEN 位来关闭 WDT；当 WDTEN 为 1 时，SWDTEN 位无效。WDT 的禁止喂狗窗口选择，喂狗中断使能控制，在 IDLE 模式下的使能控制，以及 WDT 预分频器的分频比选择，由 WDTN 寄存器设置。

每次对 WDTN 寄存器进行写操作前都必须对 WDT 解锁，即向 WDTUL 寄存器写入 0xA5。

WDTUL: WDT 解锁控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTUL<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~0 WDTUL<7:0>: WDT 解锁寄存器
写入 0xA5 解锁 WDTN 寄存器的写操作。WDTUL 寄存器读出值总为 0x00

WDTN: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTCS<1:0>		保留	SWDTEN	WDTIEN	WDTPRS<2:0>		
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	1	1

Bit 7~6 WDTCS<1:0>: WDT 喂狗窗口选择:
00: 25%窗口内禁止喂狗，窗口内喂狗产生复位
01: 禁止使用
10: 75%窗口内禁止喂狗，窗口内喂狗产生复位
11: 禁止使用

Bit 5 保留

Bit 4 SWDTEN: WDT 软件使能位（仅当配置字 WDTEN=0 时有效）
0: 关闭
1: 使能（缺省值）

Bit 3 WDTIEN: IDLE 模式下唤醒使能位（仅当配置字 WDTEN=1 或 SWDTEN=1 时有效）
0: 关闭
1: 使能（缺省值）

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位
000: 1:1
001: 1:8
010: 1:16
011: 1:32
100: 1:64
101: 1:128
110: 1:256
111: 1:512(缺省值)

5.3 复位模块

5.3.1 概述

- ◇ 复位功能是所有芯片中基本的部分，该芯片支持五种复位方式：
- ◇ 上电复位 POR
- ◇ 掉电复位 BOR，复位电压点可配置
- ◇ 看门狗定时器 WDT 计数溢出复位
- ◇ RST 指令复位

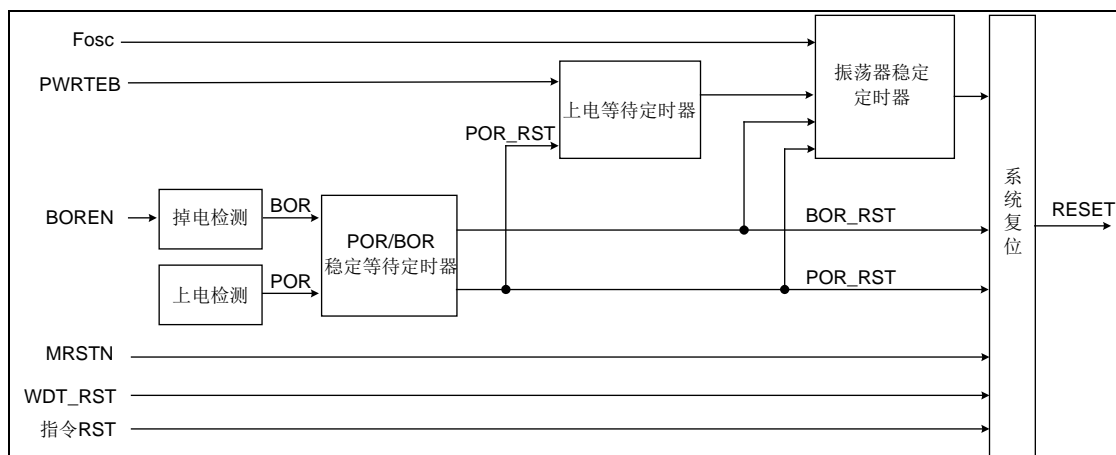


图 5-6 系统复位内部结构图

5.3.2 上电复位 POR

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下。

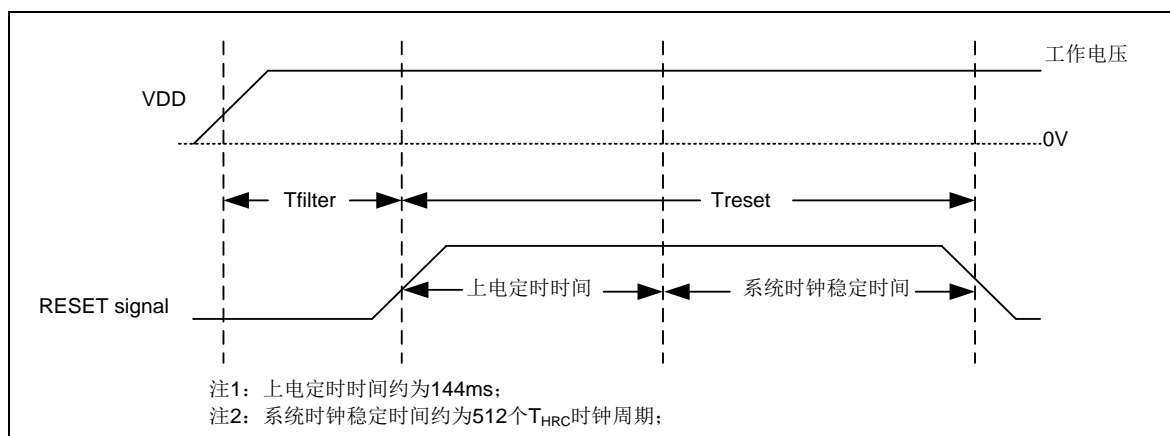


图 5-7 上电复位时序示意图

5.3.3 掉电复位 BOR

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电复位可能会引起系统工作状态不正常或程序执行错误。

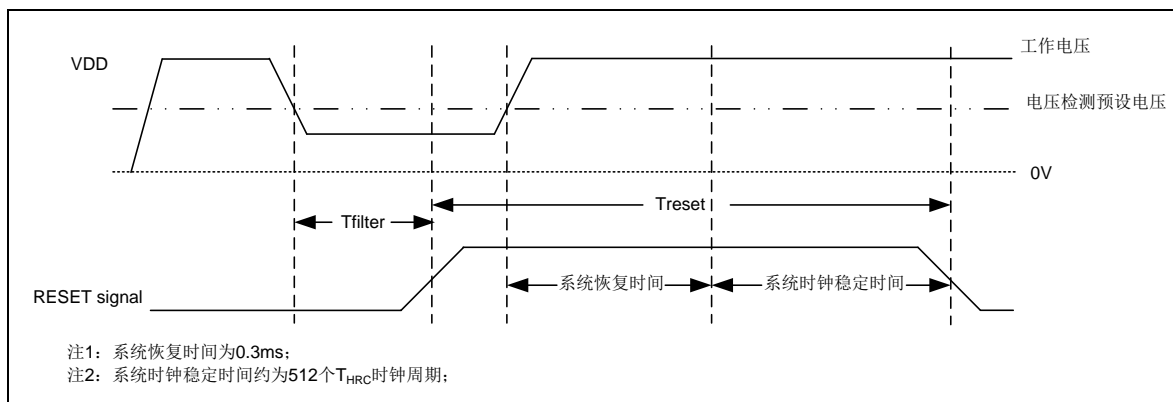


图 5-8 低电压复位时序示意图

5.3.4 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

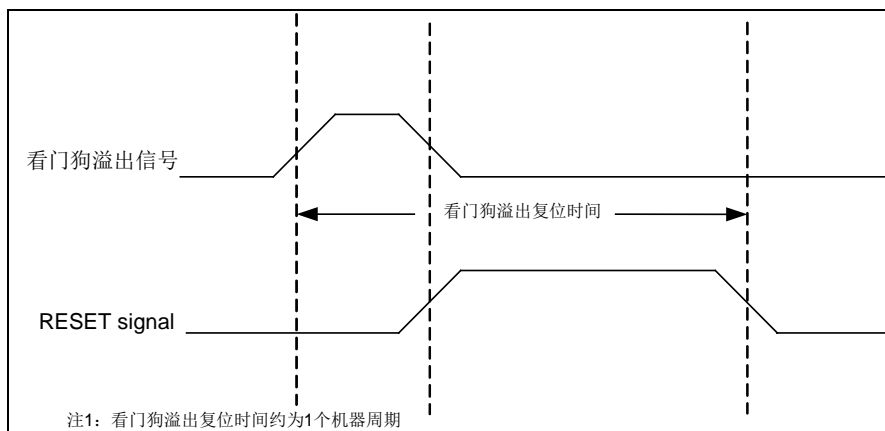


图 5-9 看门狗溢出复位

5.3.5 RST 指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部寄存器状态位都将被影响。

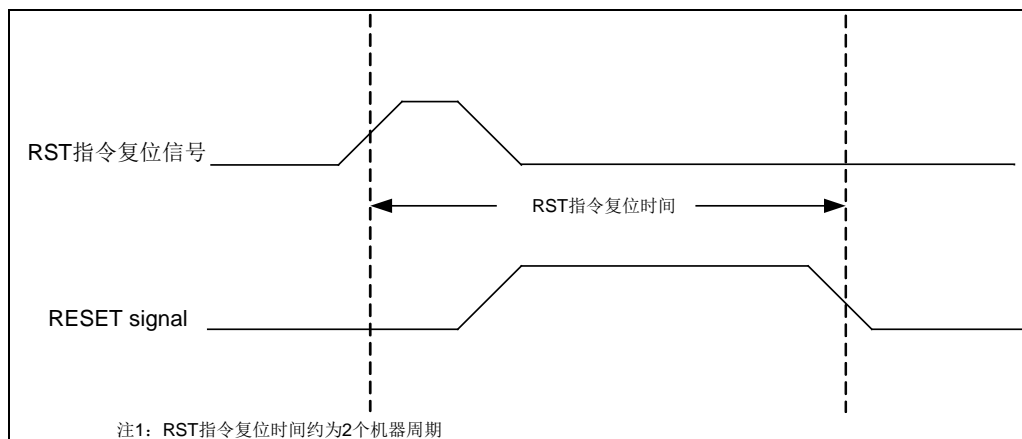


图 5-10 RST 指令复位

5.3.6 特殊功能寄存器

PWRCWP: 电源控制写保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PWRCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PWRCWP<7:0>: PWRC 寄存器写保护寄存器
当 PWRCWP 写入 0xA5 时, PWRC 的写保护解除。PWRCWP 写入其它值无效, 保持写保护状态。当 PWRC 被写入后, 自动重新进入写保护状态。下一次写操作前必须重新解除写保护。

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	SBOREN	保留	HPBG_EN	IRSTB	TOB	PDB	PORB	BORB
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	—	1	1	1	1	0	x

Bit 7 SBOREN
0: 软件 BOR 禁止
1: 软件 BOR 使能 (缺省值)

Bit 6 保留

Bit 5 HPBG_EN: 高功耗 VBG 使能位
0: 禁止 (低功耗时可禁止)
1: 使能 (缺省值)

Bit 4 IRSTB: 指令复位标志位
0: 执行复位指令 (必须用软件置位)
1: 未执行复位指令

Bit 3 TOB: WDT 溢出标志位
0: WDT 计数溢出时被清零
1: 上电复位或执行 CWDIT、IDLE 指令后被置 1

Bit 2 PDB: 低功耗标志位
0: 执行 IDLE 指令后清零
1: 上电复位或执行 CWDIT 指令后置 1

Bit 1 PORB: 上电复位状态位
0: 上电复位发生 (上电复位后, 必须软件置位)
1: 无上电复位发生

Bit 0 BORB: 低电压复位状态位
0: 低电压复位发生 (低电压复位后, 必须软件置位)
1: 无低电压复位发生

5.4 低功耗操作

5.4.1 概述

用户可通过 IDLE 指令使 CPU 暂停执行，进入 IDLE 状态以降低芯片功耗。用户还可以在执行 IDLE 指令前，关闭部分或全部芯片模块，以进入更深程度的睡眠状态，最大限度的降低芯片功耗。芯片支持多种 IDLE 唤醒源，用于 IDLE 模式下的芯片唤醒。

5.4.2 IDLE 状态

IDLE 指令执行后，系统时钟 FOSC 暂停，CPU 停止运行，PC 保持当前值，采用系统时钟运行的同步功能模块均保持当前状态暂停执行，其它异步功能模块可根据 IDLE 前的设置继续运行或关闭。所有 I/O 端口将保持进入 IDLE 前的状态，若使能 WDT，则 WDT 将被清零并保持运行。PDB 标志位被清零，TOB 标志位被置 1。IDLE 状态下保持异步运行的外设可产生中断，并置相应的中断标志。

5.4.3 唤醒方式配置

序号	唤醒方式	唤醒使能	中断模式	备注
1	WDT	WDTIEN	—	—
2	KINT	KIE	默认/向量	—
3	PINTn	PIEn	默认/向量	—
4	LVD	LVDIE	默认/向量	—
5	ADC	ADIE	默认/向量	需选择 LRC 作为转换时钟

表 5-1 唤醒方式配置表

5.4.4 低功耗下的功能模块

执行 IDLE 指令前，通过关闭各功能模块使能位，可使芯片在执行 IDLE 指令后进入更深程度的低功耗状态。同时应避免数字输入的 I/O 管脚处于浮空状态，需将这些管脚接固定电平，或在芯片外部进行上拉或下拉处理，否则会引起 I/O 端口漏电。

功能	类型	使能/关闭	唤醒使能	备注
WDT	异步	WDTEN	WDTIEN	—
KINT	异步	KMSKn	KIE	—
PINTn	异步	—	PIEn	—
LVD	异步	LVDEN	LVDIE	—
ADC	异步	ADEN	ADIE	需选择 LRC 作为转换时钟

表 5-2 功能模块低功耗配置分类表

5.4.5 时钟源的关闭和唤醒

芯片进入 IDLE 状态后，HRC 时钟源自动关闭，LRC 时钟源始终保持运行。

当 IDLE 被唤醒时，时钟源首先被唤醒，每个时钟源从唤醒到进入正常工作状态都有 WARMUP 时间，WARMUP 时间根据时钟源的时钟频率不同，时间长短也有不同。

在运行或 IDLE 状态下各个外设模块的时钟源也可以设置关停或打开，由寄存器 CLKG 来控制。

ADC 模块在 IDLE 状态下可运行。

5.4.6 特殊功能寄存器

CLKG: 模块时钟关停寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ADCCE	T21CE	T20CE	保留		IICCE	UART0CE	T10CE
R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W
POR	1	1	1	—	—	1	1	1

- Bit 7 ADCCE: ADC 时钟使能位
 0: ADC 关停
 1: ADC 工作
- Bit 6 T21CE: T21 模块时钟使能位
 0: T21 关停
 1: T21 工作
- Bit 5 T20CE: T20 模块时钟使能位
 0: T20 关停
 1: T20 工作
- Bit 4~3 保留
- Bit 2 IICCE: IIC 模块时钟使能位
 0: IIC 关停
 1: IIC 工作
- Bit 1 UART0CE: UART0 模块时钟使能位
 0: UART0 关停
 1: UART0 工作
- Bit 0 T10CE: T10 模块时钟使能位
 0: T10 关停
 1: T10 工作

第6章 外设

6.1 定时器/计数器（Timer/Counter）模块

定时/计数器模块包括：

- ◇ 1 路 8 位定时器/计数器 T10；
- ◇ 2 路 16 位多功能定时器 T20/T21，支持 PWM；

6.1.1 8 位定时器/计数器（T10）

6.1.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号（T10CKI）进行计数。

- ◇ T10 支持两种工作模式
 - 定时器模式（时钟源为系统时钟二分频（Fosc/2））
 - 计数器模式（时钟源为外部输入时钟 T10CKI）
- ◇ T10 支持以下功能组件
 - 8 位预分频器（无实际物理地址，不可读写）
 - 8 位计数器（T10）
 - 8 位控制寄存器（T10C）
- ◇ 中断和暂停
 - 支持溢出中断标志（T10IF）
 - 支持中断处理
 - 在 IDLE 模式下，T10 暂停工作

6.1.1.2 内部结构图

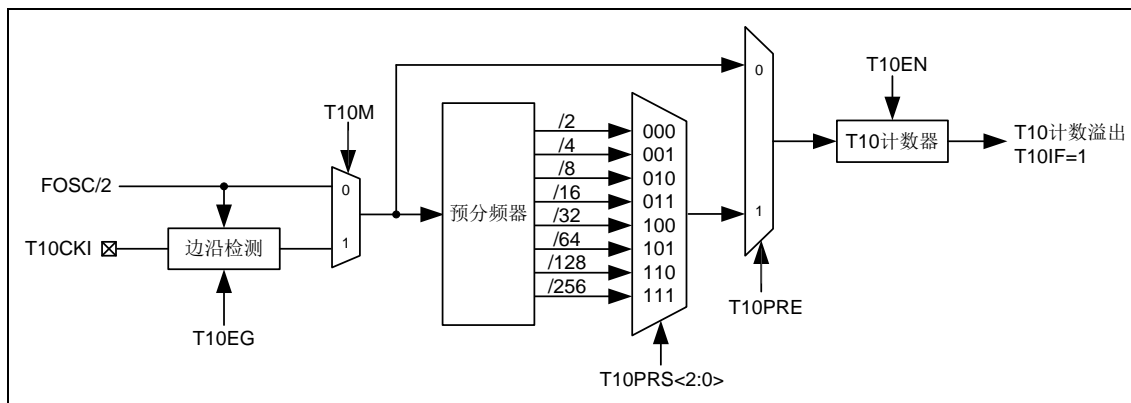


图 6-1 T10 内部结构图

6.1.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T10C 寄存器中的 T10PRE 为“1”时，使能 T10 预分频器。任何对 T10 计数器的写操作都会清零预分频器，但不影响预分频器的分频比设置，预分频器的计数值无法读写。预分频器的分频比可通过 T10C 寄存器中的 T10PRS <2:0> 位进行设置，预分频比范围为 1: 2~1: 256。

工作模式	T10PRE	T10PRS<2:0>	T10 计数时钟
定时器模式	0	-	Fosc/2
	1	000	Fosc/4
	1	001	Fosc/8
	1	010	Fosc/16
	1	011	Fosc/32
	1	100	Fosc/64
	1	101	Fosc/128
	1	110	Fosc/256
	1	111	Fosc/512
计数器模式	0	-	T10CKI
	1	000	T10CKI/2
	1	001	T10CKI/4
	1	010	T10CKI/8
	1	011	T10CKI/16
	1	100	T10CKI/32
	1	101	T10CKI/64
	1	110	T10CKI/128
	1	111	T10CKI/256

表 6-1 T10 预分频器配置表

6.1.1.4 工作模式

T10 有定时器和计数器两种工作模式，定时器模式和计数器模式，通过 T10M 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T10 计数器的时钟源为系统时钟 2 分频（Fosc/2）；配置为计数器模式时，T10 计数器的时钟源为经系统机器周期同步的外部输入时钟 T10CKI。因此，T10CKI 输入的高电平和低电平时间都至少为一个机器周期。通过 T10C 寄存器中的 T10EG 位选择外部时钟的计数边沿为上升沿或下降沿。T10CKI 所在 IO 端口必须配置为数字输入状态。

6.1.1.5 定时器模式

T10 计数器为递增计数，计数值由 FF_H 变为 00_H 时，T10 计数器发生溢出并重新开始计数。T10 计数器发生溢出，中断标志 T10IF 位被置“1”。如果中断使能位 T10IE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T10 溢出中断响应请求。中断标志 T10IF 位需通过软件清零。在 CPU 进入休眠模式后，T10 模块不工作，因此不产生中断。

当 T10 配置为定时器模式时，若禁止预分频器，T10 计数器的时钟为系统时钟二分频（Fosc/2）；若使能预分频器，分频器对 Fosc/2 进行分频，此时，T10 计数器的计数时钟

为分频后的时钟。

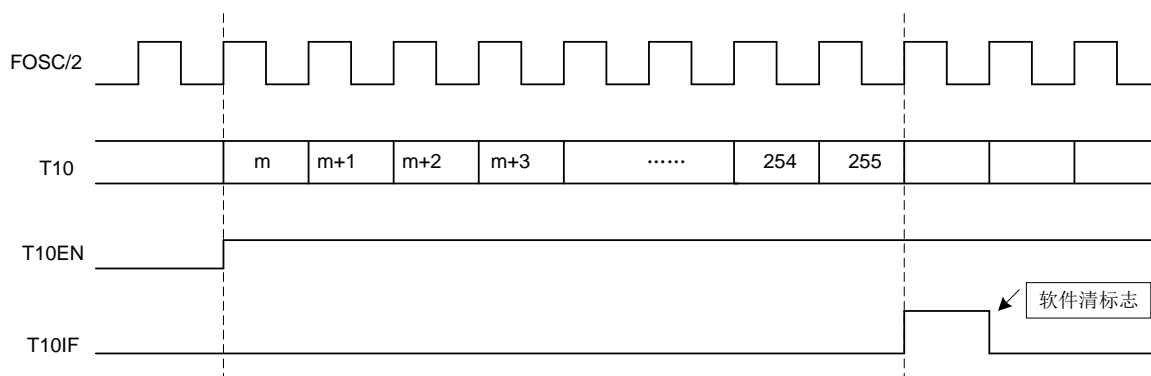


图 6-2 定时器模式时序图

6.1.1.6 计数器模式

当 T10 配置为计数器模式时，若禁止预分频器，则 T10 计数器的时钟为外部输入时钟 T10CKI，并由二分频后的系统时钟 Fosc/2 进行同步，所以 T10CKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T10EG (T10C<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，计数器模式也支持预分频器对外部时钟 T10CKI 进行分频。并且，T10CKI 复用的 IO 端口必须配置为数字输入状态。

当 T10 计数器递增计数由 FF_H 变为 00_H 时，T10 计数器发生溢出，中断标志 T10IF 位被置“1”。如果中断使能位 T10IE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T10 溢出中断响应请求。中断标志 T10IF 位需通过软件清零。在 CPU 进入休眠模式后，T10 模块不工作，因此不产生中断。

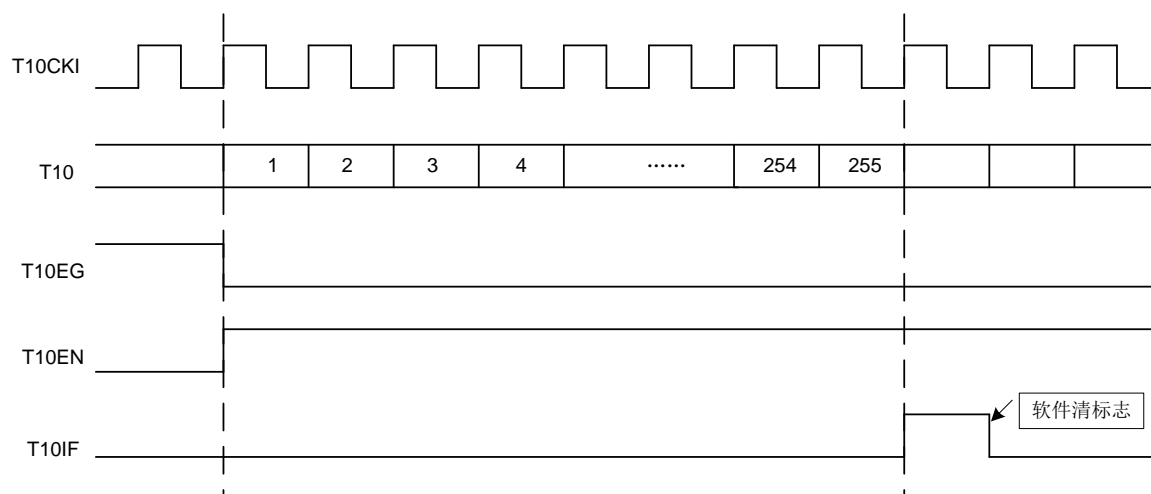


图 6-3 计数器模式时序图 (T10EG=0, T10CKI 上升沿计数)

6.1.1.7 特殊功能寄存器

8 位定时器/计数器 T10 由两个寄存器控制, 一个 8 位计数器 T10 和一个控制寄存器 T10C。
T10 寄存器用于存放计数值, T10C 控制寄存器用于控制 T10 的使能、T10 的模式选择、
T10CKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

T10: T10 计数器								
Bit	7	6	5	4	3	2	1	0
Name	T10<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T10<7:0>: 8 位 T10 计数值

T10C: T10 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T10EN	保留	T10M	T10EG	T10PRE	T10PRS<2:0>		
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T10EN: T10 使能位

0: 关闭

1: 使能

Bit 6 保留

Bit 5 T10M: T10 模式选择位

0: 定时器模式 (时钟源为系统时钟二分频 $F_{osc}/2$)

1: 计数器模式 (时钟源为 T10CKI)

Bit 4 T10EG: T10CKI 计数边沿选择位

0: T10CKI 上升沿计数

1: T10CKI 下降沿计数

Bit 3 T10PRE: 预分频器使能位

0: 禁止

1: 使能

Bit 2~0 T10PRS<2:0>: 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

6.1.2 16 位多功能定时器 (T20/T21)

6.1.2.1 概述

16 位多功能定时器 T2n 支持 2 种工作模式，定时器模式、PWM 模式。

- ◇ T2n 支持 2 种工作模式
 - 定时器模式（时钟源为 Fosc）
 - PWM 模式（时钟源为 Fosc）
- ◇ T2n 支持以下功能组件
 - 4 位预分频器（无实际物理地址，不可读写）
 - 16 位计数器 T2n（计数器初始值可写）
- ◇ 中断和暂停
 - 支持溢出中断 T2nVIF 和周期中断 T2nPIF
 - 在 IDLE 模式下，T2n 停止工作

注：本节中 T2n 代表 T20 或 T21。

6.1.2.2 内部结构图

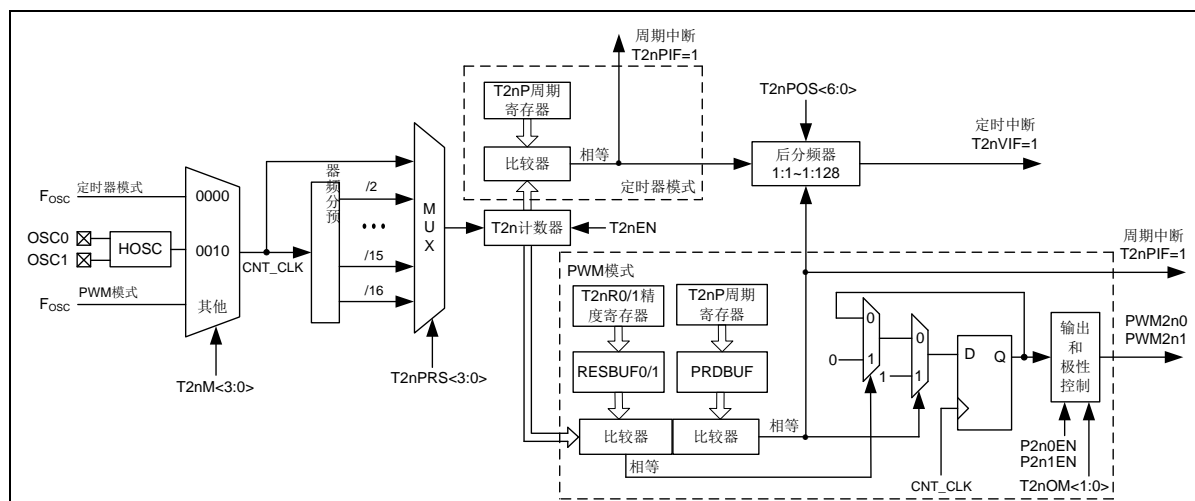


图 6-4 T2n 内部结构图

6.1.2.3 预分频器

预分频器可以提供更长的溢出周期。T2n 支持可配置的预分频器。通过 T2nCL 寄存器中的 T2nPRS 位配置预分频器的分频比，预分频比的范围为 1:1 ~ 1:16。任何对计数器或控制寄存器的写操作都会使预分频器清零，但不改变配置的分频比。预分频器的计数值不可读写。

6.1.2.4 工作模式

T2n 有 2 种工作模式，定时器模式、PWM 模式，通过 T2nM<3:0> 进行模式选择。

T2nEN 置 1 使能之前，需先由 T2nM 设定工作模式，配置好预分频器、后分频器、周期等参数。保证计数时钟在使能时已稳定。

6.1.2.5 定时器模式

当 $T2nM$ 为 0000 时, Tn 工作在定时器模式。

$T2n$ 计数器的时钟源为系统时钟 F_{osc} , 并支持预分频器和后分频器。

$T2n$ 计数器为可读写寄存器, 支持计数初值的设置和计数过程中的计数值改变。

$T2nEN$ 使能时, 16 位定时器 $T2n$ 对计数时钟进行递增计数, 当 $T2n$ 的计数值与周期寄存器 $T2nP$ 相等时, 后分频计数器加 1, 同时 $T2n$ 计数器被自动清零并重新开始计数。

当后分频器的计数值与后分频器分频比相同时, 复位后分频器, 并将定时溢出中断标志 $T2nVIF$ 置“1”, 该中断标志需要软件清零。

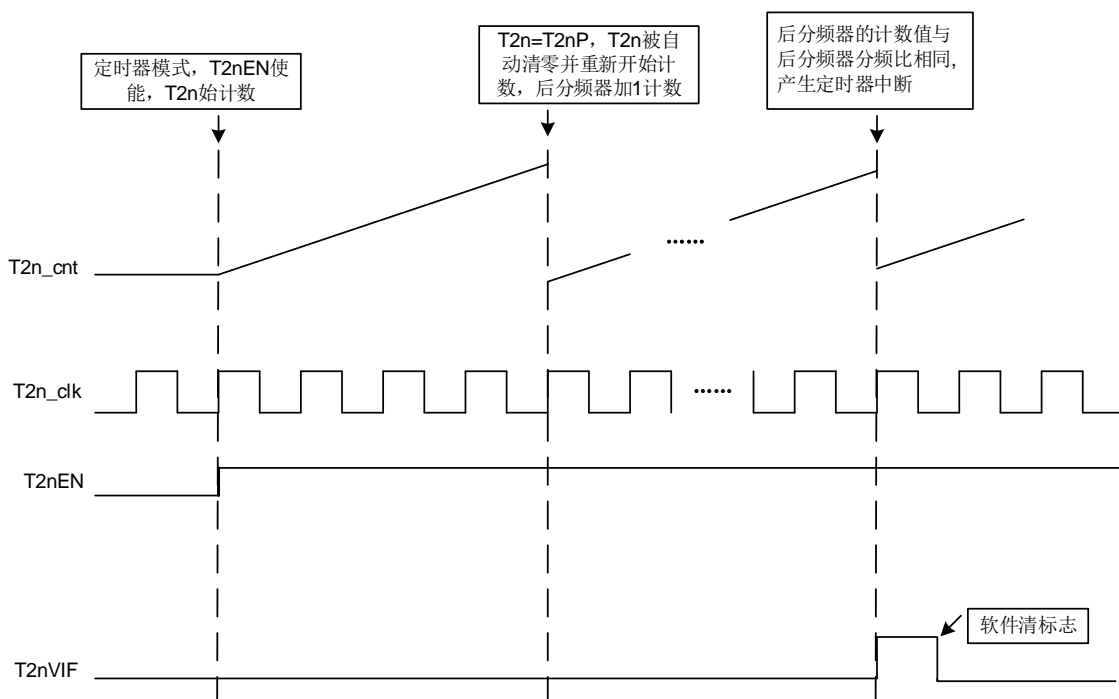


图 6-5 $T2n$ 定时器模式时序图

6.1.2.6 双精度 PWM 模式

T2nM 为“1100”时，T2n 工作在双精度 PWM 模式。每路支持 2 个 PWM 输出端口 PWM2n0 和 PWM2n1，可分别对应于 T2nR0 和 T2nR1 独立设置 PWM 占空比，并可独立设置输出极性。

双精度 PWM 模式计数时钟源为系统时钟 Fosc，并支持预分频器和后分频器。此模式下，后分频比不影响 PWM 周期，只影响计数溢出中断标志 T2nVIF。

如下图示，当 T2nEN 使能。T2nTR 为 0 时，PWM 输出关闭，并保持 PWM2n0/1 输出为 0；设置 T2nTR 为 1 时，PWM 输出波形启动，PWM2n0/1 输出起始为 1，同时分别将 16 位周期寄存器 T2nP 和 16 位精度寄存器 T2nR0/1 寄存器的内容，更新至 16 位 PWM 周期缓冲器 PRDBUF 和 16 位精度缓冲器 RESBUF0/1（对缓冲器软件，不可读写），随后 16 位计数器 T2n 从零开始递增计数，当 T2n 与 RESBUF0/1 的值相等时，PWM0/1 输出改变为 0，并继续递增计数。当 T2n 的计数值与 PRDBUF 相等时，后分频计数器加 1，PWM0/1 输出恢复为 1，同时 PRDBUF 和 RESBUF0/1 再次分别载入 T2nP 和 T2nR0/1 寄存器的值，并产生周期中断标志 T2nPIF，该中断标志需要软件清零。至此一个完整的 PWM 周期完成，随后计数器 T2n 从零开始递增计数，继续循环产生新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将计数溢出中断标志 T2nVIF 置“1”，该中断标志需要软件清零。

特别的，若 RESBUF 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；若 RESBUF 的值不小于 PRDBUF，则当前 PWM 周期内 PWM 输出始终为 1。

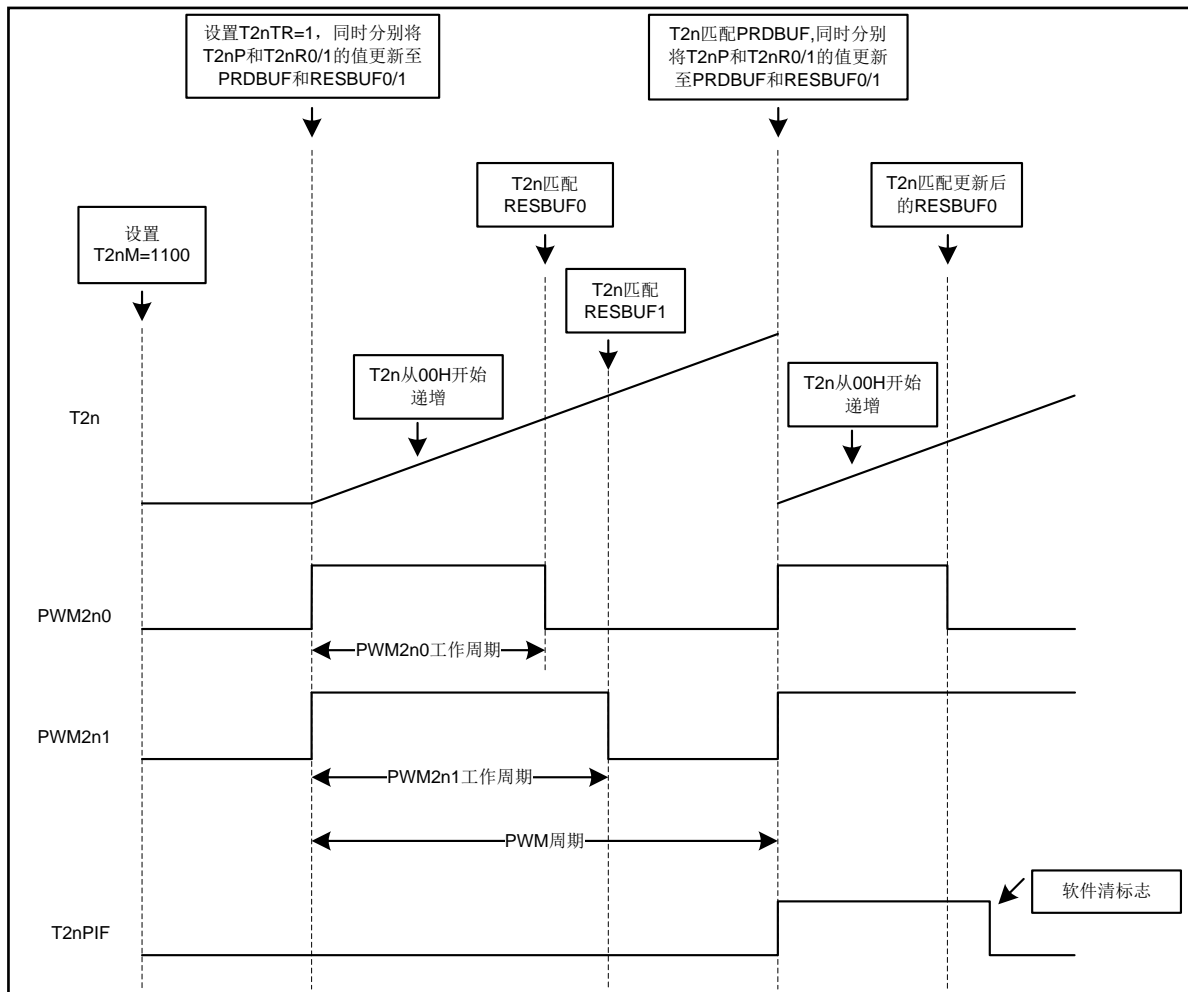


图 6-6 T2n 双精度 PWM 模式示意图

PWM 计算公式如下：

$$\text{PWM 周期} = (T2nP + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (T2nR0/1 + 1) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

Fckps 是计数器的预分频器的分频比。

6.1.2.7 特殊功能寄存器

T2nL: T2n 计数器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T2nL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nL<7:0>: T2n 计数器低 8 位

T2nH: T2n 计数器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T2nH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nH<7:0>: T2n 计数器高 8 位

T2nPL: T2n 周期寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T2nPL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nPL<7:0>:
双精度 PWM 模式: PWM 周期值低 8 位

T2nPH: T2n 周期寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T2nPH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nPH<7:0>:
双精度 PWM 模式: PWM 周期值高 8 位

T2nR0L: T2n 精度寄存器 0 低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T2nR0L<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR0L<7:0>:
双精度 PWM 模式: PWM2n0 精度值低 8 位

T2nR0H: T2n 精度寄存器 0 高 8 位

Bit	7	6	5	4	3	2	1	0
Name	T2nR0H<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR0H<7:0>:
双精度 PWM 模式: PWM2n0 精度值高 8 位

T2nR1L: T2n 精度寄存器 1 低 8 位

Bit	7	6	5	4	3	2	1	0
Name	T2nR1L<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR1L<7:0>:
双精度 PWM 模式: PWM2n1 精度值低 8 位

T2nR1H: T2n 精度寄存器 1 高 8 位

Bit	7	6	5	4	3	2	1	0
Name	T2nR1H<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR1H<7:0>:
双精度 PWM 模式: PWM2n1 精度值高 8 位

T2nCL: T2n 控制寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	T2nM<3:0>				保留			T2nTR
R/W	R/W	R/W	R/W	R/W	—	—	—	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 T2nM <3:0>: T2n 工作模式选择位
0000: 定时器模式 (计数器时钟源为 FOSC)
0001: 保留
1100: 双精度 PWM 模式
其它: 保留

Bit 3~1 保留

Bit 0 T2nTR:
双精度 PWM 模式: PWM 使能位
0: 停止 (波形复位)
1: 使能 (波形产生)

T2nCM: T2n 控制寄存器中 8 位								
Bit	7	6	5	4	3	2	1	0
Name	保留		T2nOM<1:0>		T2nPRS<3:0>			
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 保留

Bit 5~4 T2nOM<1:0>: PWM2n1 和 PWM2n0 输出极性选择位

00: PWM2n0, PWM2n1 高有效

01: PWM2n0 低有效, PWM2n1 高有效

10: PWM2n0 高有效, PWM2n1 低有效

11: PWM2n0, PWM2n1 低有效

Bit 3~0 T2nPRS<3:0>: T2n 预分频器分频比选择位

0000: 分频比为 1:1

0001: 分频比为 1:2

0010: 分频比为 1:3

0011: 分频比为 1:4

0100: 分频比为 1:5

0101: 分频比为 1:6

0110: 分频比为 1:7

0111: 分频比为 1:8

1000: 分频比为 1:9

1001: 分频比为 1:10

1010: 分频比为 1:11

1011: 分频比为 1:12

1100: 分频比为 1:13

1101: 分频比为 1:14

1110: 分频比为 1:15

1111: 分频比为 1:16

T2nCH: T2n 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T2nEN	T2nPOS<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T2nEN: T2n 使能位

0: 关闭

1: 使能

Bit 6~0 T2nPOS<6:0>: T2n 后分频器分频值

后分频次数 = T2nPOS<6:0> + 1

T2nOC: T2n 复用输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留				P211EN	P210EN	P201EN	P200EN
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留

Bit 3 P211EN: PWM211 输出使能位

0: 关闭

1: 使能

Bit 2 P210EN: PWM210 输出使能位

0: 关闭

1: 使能

Bit 1 P201EN: PWM201 输出使能位

0: 关闭

1: 使能

Bit 0 P200EN: PWM200 输出使能位

0: 关闭

1: 使能

6.2 异步接收发送器（UART0）

6.2.1 概述

本芯片支持 1 组全双工的通用异步接收器发送器 UART0，是与外部设备进行通讯的串行接口，可以很方便的与其它具有串行接口的外部设备通讯。

- ◇ 支持两种工作模式
 - 异步接收器
 - 异步发送器
- ◇ 传输波特率配置
 - 高速模式
 - 低速模式
 - 支持 8/9 位传输数据格式，约定数据从最低位开始接收/发送
- ◇ 支持全双工模式
- ◇ UARTn 支持以下功能组件
 - 接收数据寄存器 RXnB
 - 接收控制寄存器 RXnC
 - 发送数据寄存器 TXnB
 - 发送控制寄存器 TXnC
 - 发送移位寄存器 TXnR（无实际物理地址，不可读写）
 - 波特率寄存器 BRnR
- ◇ 中断和暂停
 - 支持接收中断标志（RXnIF，只读）
 - 支持发送中断标志（TXnIF，只读）
 - 支持中断处理
 - 在 IDLE 模式下，支持接收/发送中断唤醒
- ◇ 兼容 RS-232/RS-442/RS-485 的通讯接口

6.2.2 内部结构图

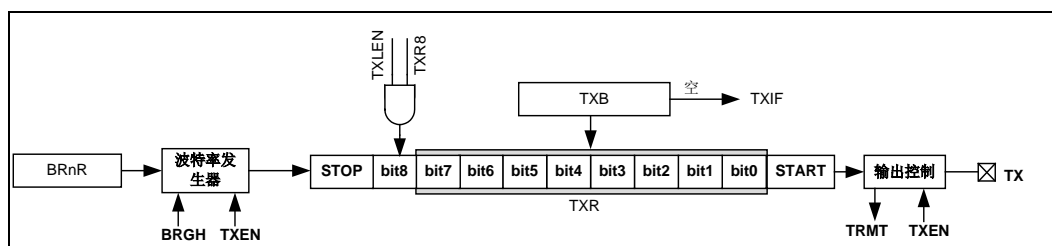


图 6-7 UART 发送端原理图

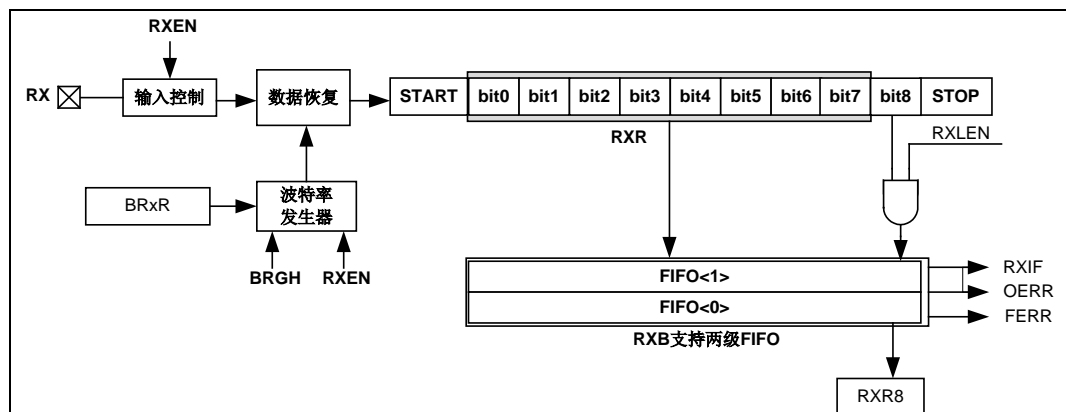


图 6-8 UART 接收端原理图

6.2.3 波特率配置

UARTn 自身具有一个波特率发生器，通过它可以设定数据传输速率。波特率是由一个独立的内部 8 位计数器产生，它由 BRnR 寄存器和 TXnC 寄存器的 BRGHn 来控制。BRGHn 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。

波特率	计算公式	BRGHn
低速模式	$F_{osc}/(64 \times (BRnR<7:0>+1))$	0
高速模式	$F_{osc}/(16 \times (BRnR<7:0>+1))$	1

表 6-2 UARTn 波特率配置表

6.2.4 传输数据格式

UARTn 的传输数据格式有两种选择，8 位或 9 位。接收 9 位数据时，读取 RXnC 寄存器中的 RXnR8 位可以得到接收的第 9 位数据。发送 9 位数据时，可通过 TXnC 寄存器中的 TXnR8 位设置将要发送的第 9 位数据。

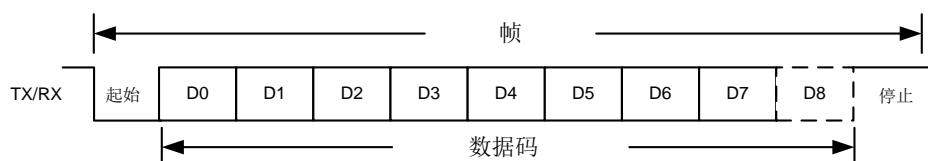


图 6-9 UARTn 数据格式示意图

6.2.5 异步发送器

异步发送器发送数据时，起始位（START）和结束位（STOP）由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 TXnB 和 TXnR8 内，就能实现异步发送，异步发送器还可以实现数据连续发送。注意，在发送数据时，用户使能异步发送器后，需先查询标志位 TRMTn，检查发送移位寄存器（TXnR）是否为空，只有在发送移位寄存器为空时，才能发送数据。由于 UART 发送器发送端口 TXn 与 I/O 端口复用，在使用 UART 发送端口前，需首先设置所复用的 I/O 端口处于输出状态。

操作流程图如下：

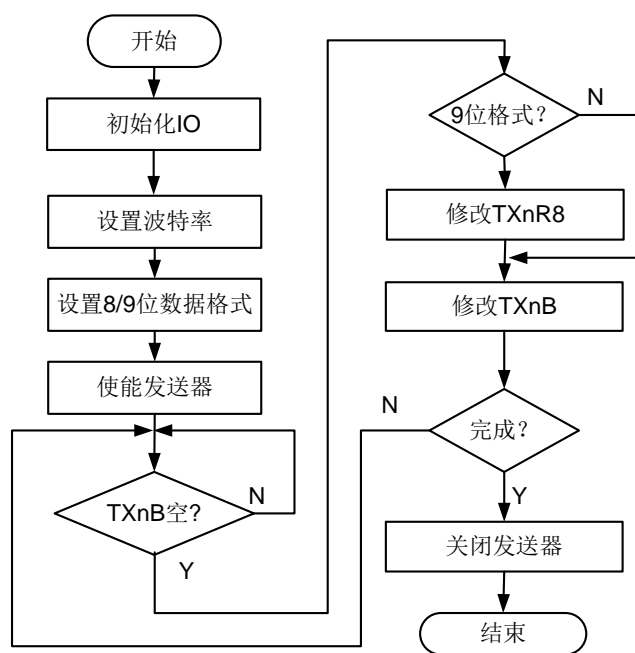


图 6-10 UARTn 发送器操作流程图

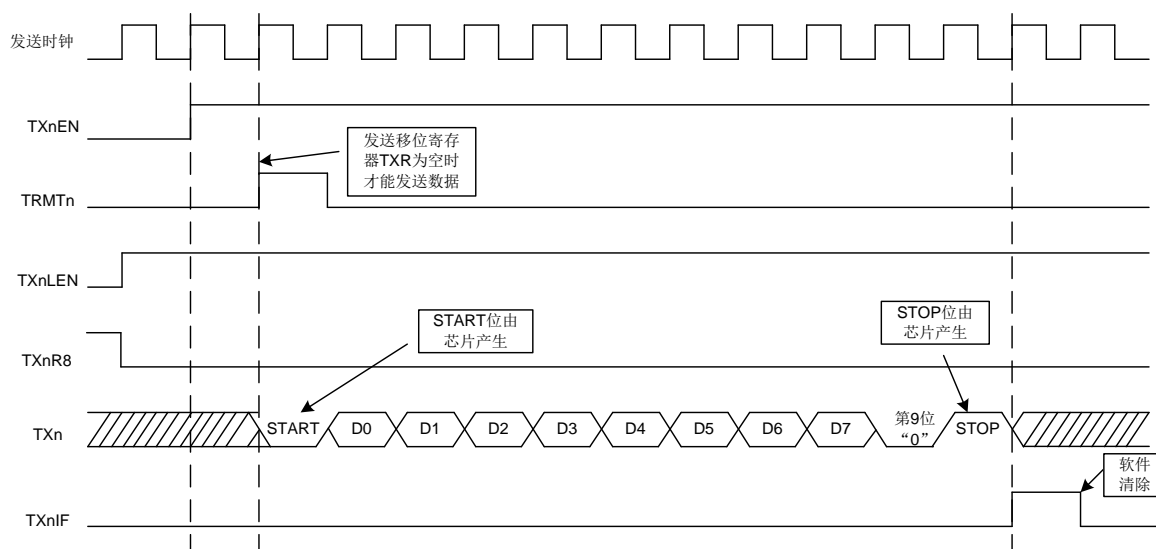


图 6-11 UARTn 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）

6.2.6 异步接收器

异步接收器接收数据时，用户可以查询 $RXnIF$ 中断标志位，来判断是否收到完整的一帧数据，并通过读取 $RXnB$ 和 $RXnR8$ 获得数据。芯片内部提供 2 级 9 位 FIFO 作为接收数据缓冲区，若用户在第 3 个数据接收完毕前，未读取 $RXnB$ ，则溢出标志位 $OERRn$ 将置 1。 $FERRn$ 在用户未接收到结束位 STOP 时置 1。注意，由于 UART 接收器接收端口 RXn 与 I/O 端口复用，在使用 UART 接收端口前，需首先设置所复用的 I/O 端口处于输入状态。

操作流程图如下：

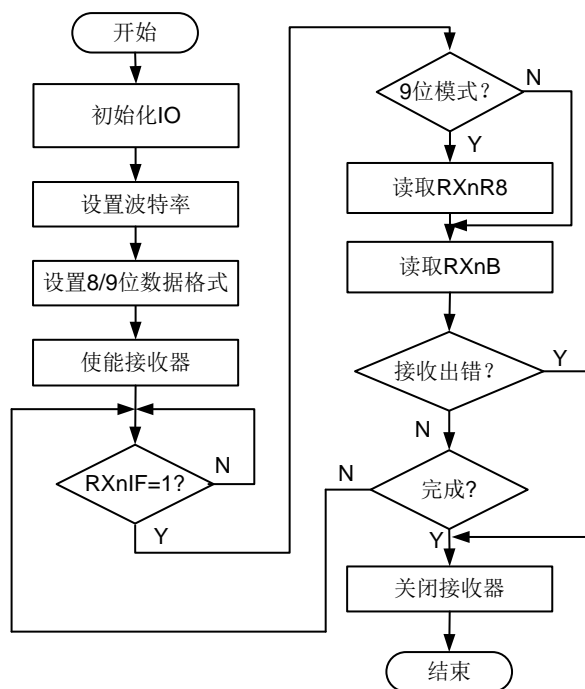


图 6-12 UARTn 接收器操作流程

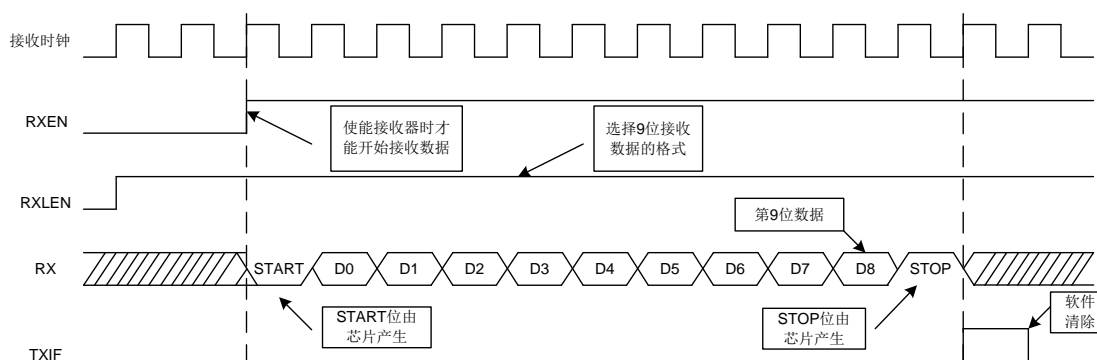


图 6-13 UARTn 接收器接收数据时序图（9 位数据格式）

6.2.7 UARTn 使用注意事项

在 UART 电路使能前，首先要设置复用的 I/O 端口为数字端口，并将 TXn 管脚需设置为输出口， RXn 管脚设置为输入口，才能保证在 UART 模块使能后，成功进行数据的发送或接收。另外，程序中不建议用户频繁切换 TXn 和 RXn 管脚的输入/输出类型。

6.2.8 特殊功能寄存器

BRnR: UARTn 波特率寄存器								
Bit	7	6	5	4	3	2	1	0
Name	BRnR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 BRnR<7:0>: UARTn 波特率设置, 00_H~FF_H

RXnB: UARTn 接收数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXnB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 RXnB<7:0>: UARTn 接收到的数据

RXnC: UARTn 接收控制/状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXnEN	RXnLEN	LPBEN	保留		OERRn	FERRn	RXnR8
R/W	R/W	R/W	R/W	—	—	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7 RXnEN: 接收器使能位

0: 禁止

1: 使能

Bit 6 RXnLEN: 接收器数据格式选择位

0: 8 位数据接收格式

1: 9 位数据接收格式

Bit 5 LPBEN: 回环使能, 由 TX 信号线上接收数据, 可扩展为单线通信模式

0: 禁止

1: 使能

Bit 4~3 保留

Bit 2 OERRn: 接收溢出标志位

0: 无溢出错误

1: 有溢出错误 (清 RXnEN 清零)

Bit 1 FERRn: 帧格式错标志位

0: 无帧格式错误

1: 帧格式错 (读 RXnB 清零)

Bit 0 RXnR8: 第 9 位接收数据位

0: 第 9 位数据为 0

1: 第 9 位数据为 1

TXnB: UARTn 发送数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TXnB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TXnB<7:0>: UARTn 发送的数据

TXnC: UARTn 发送控制/状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TXnEN	TXnLEN	BRGHn	保留			TRMTn	TXnR8
R/W	R/W	R/W	R/W	—	—	—	R	R/W
POR	0	0	0	0	0	0	1	0

Bit 7 TXnEN: 发送器使能位

0: 禁止

1: 使能

Bit 6 TXnLEN: 发送器数据格式选择位

0: 8 位数据格式

1: 9 位数据格式

Bit 5 BRGHn: 波特率模式选择位

0: 低速模式

1: 高速模式

Bit 4~2 保留

Bit 1 TRMTn: 发送移位寄存器 (TXnR) 空标志位

0: TXnR 不空

1: TXnR 空

Bit 0 TXnR8: 第 9 位发送数据设置

0: 第 9 位数据为 0

1: 第 9 位数据为 1

6.3 I2C 总线从动器 (I2CS)

6.3.1 概述

- ◇ 只支持从动模式
 - 支持 7 位从机地址
 - 支持标准 I2C 总线协议，最大传输速率 400Kbit/s
 - 支持 I2CS 端口 SCL/SDA 开漏或者推挽输出
 - 支持 2 级发送/接收缓冲
 - 支持自动时钟下拉等待功能
 - 支持自动发送“未应答”功能
 - 约定数据从最高位开始接收/发送
- ◇ I2CS 支持以下功能组件
 - 5 位 I2C 采样滤波寄存器 (I2CX16)
 - I2C 控制寄存器 (I2CC)
 - 从机地址寄存器 (I2CSA)
 - 发送数据缓冲器 (I2CTB)
 - 接收数据缓冲器 (I2CRB)
 - 中断使能寄存器 (I2CIEC)
 - 中断标志寄存器 (I2CIFC)
- ◇ 中断和暂停
 - 支持接收“起始位+从机地址匹配+发送应答位”中断标志 (I2CSRIF)
 - 支持接收结束位中断标志 (I2CSPIF)
 - 支持发送空中断标志 (I2CTBIF, 只可读)
 - 支持接收满中断标志 (I2CRBIF, 只可读)
 - 支持发送错误标志 (I2CTEIF)
 - 支持接收溢出中断标志 (I2CROIF)
 - 支持接收未应答标志 (I2CNAIF)
 - 在 IDLE 模式下，暂停接收和发送

6.3.2 I2CS 端口配置

I2CTE	I2CS 时钟端口配置	I2CS 数据端口配置
1	SCL	SDA
0	PB4	PB5

表 6-3 I2CS 端口配置表

6.3.3 通讯协议

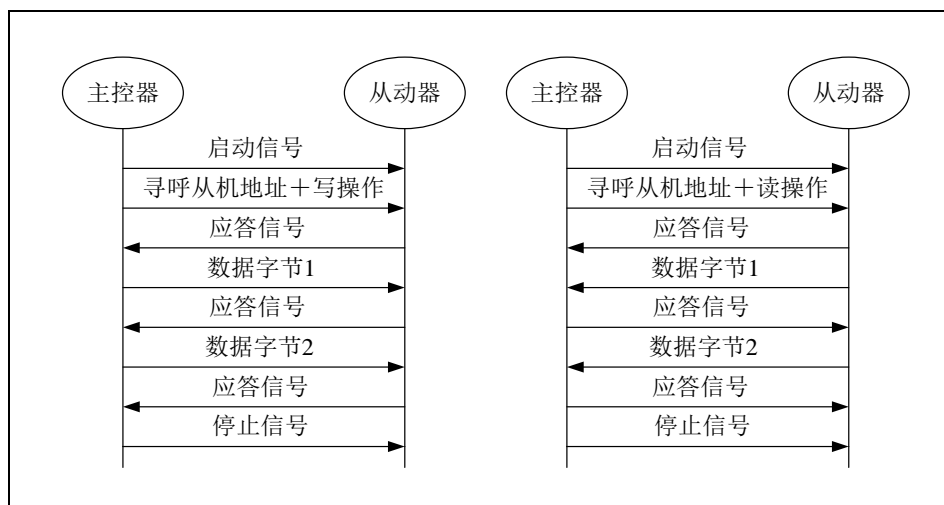


图 6-14 I2C 总线通讯协议示意图

注：I2C 通讯中，必须遵循以下协议

- 1: 通讯由主控器发起，发送启动信号 **S**（开始）控制总线，发送停止信号 **P**（结束）释放总线；
- 2: 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器，且每一个从动器都必须有一个独立且唯一的寻呼地址；
- 3: 主控器在发送启动信号后，紧接着寻呼从动器地址以及发送读写方式位；
- 4: 读写控制位 **R/#W**（称为方向位）用于通知从动器数据传送的方向，“0”表示这次通讯是由主控器向从动器“写”数据，“1”表示这次通讯是由主控器向从动器“读”数据；
- 5: I2C 通讯协议支持应答机制，即发送方每传送一个字节的数据（包括寻呼地址），接收方必须回答一个应答信号（**ACK** 或者 **NACK**），发送方再根据应答信号进行下一步的操作；
- 6: 如果主控器和从动器的时钟线（**SCL**）都使用开漏设计，且主控器支持时钟线等待请求操作，那么从动器可以在时钟线为低电平时下拉时钟线，使主控器等待从动器，直到从动器释放时钟线；
- 7: 每个数据字节在传送时都是高位在前。

6.3.4 数据传输格式参考

I2C 存储器的数据传输参考格式如下：

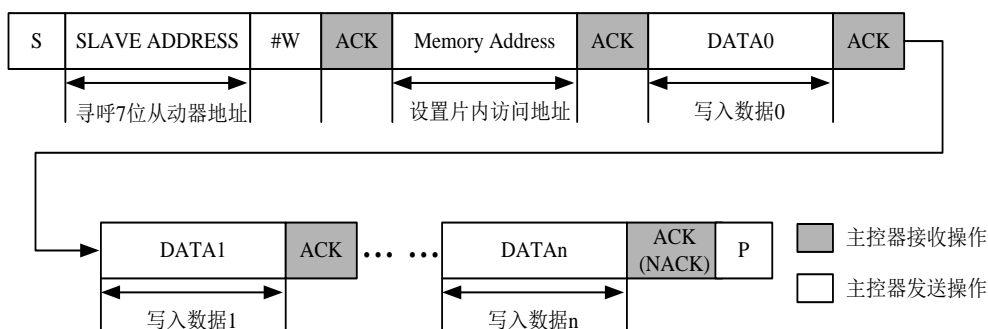


图 6-15 主控器写入从动器数据示意图

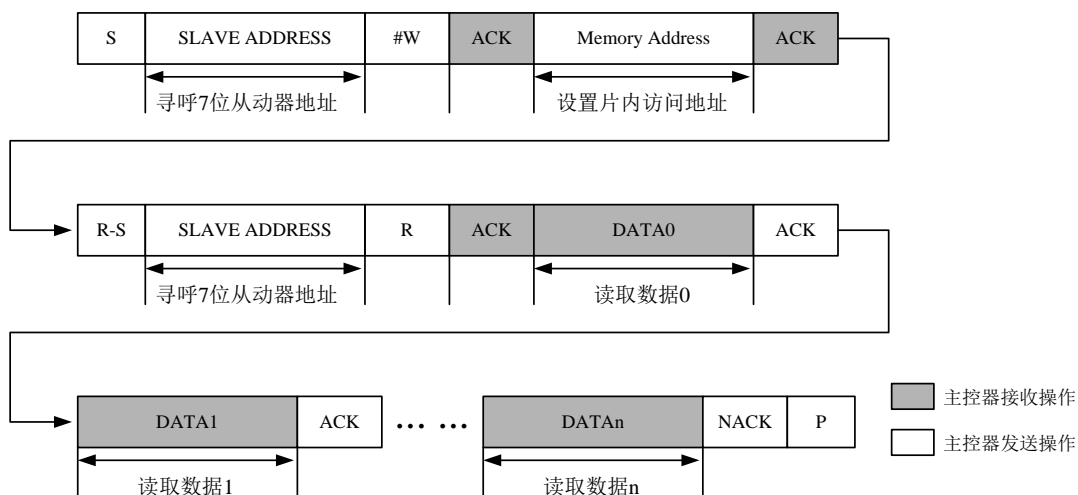


图 6-16 主控器读取从动器数据示意图

6.3.5 中断和暂停

当 I2CSRIF、I2CSPIF、I2CTBIF、I2CRBIF、I2CTEIF、I2CROIF 和 I2CNAIF 中任何一个中断标志位置 1 时, I2C 总中断标志位 I2CIF (INTF2<6>) 就会置 1, 需要软件清零 I2CIF, 在清零 I2CIF 总中断标志位之前, 先清零 I2CSRIF、I2CSPIF、I2CTEIF、I2CROIF 和 I2CNAIF 等相关中断标志位。如果中断使能位 I2CIE (INTE2<6>) 和全局中断使能位 GIE (INTG<7>) 使能, 则产生 I2C 中断, 否则不响应中断。

在 IDLE 模式下, I2CS 模块通讯暂停。

注: GIE、I2CIE 和 I2CIF 位请参考《中断处理》章节中的中断使能寄存器 and 中断标志寄存器。

6.3.6 特殊功能寄存器

I2CX16: I2C 采样滤波寄存器

Bit	7	6	5	4	3	2	1	0
Name	保留			I2CX16<4:0>				
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 保留

Bit 4~0 I2CX16<4:0>: I2C 采样滤波器设置

01_H~1F_H: 通信时钟和数据采样滤波时间为 $T_{osc} \cdot (I2CX16+1) \cdot 3$

00_H: 禁止采样滤波

I2CC: I2C 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 I2CTE: 通信端口使能

0: 禁止

Bit 6	1: 使能 I2CPU: I2C 弱上拉输出使能位 0: 禁止
Bit 5	1: 使能 I2COD: I2C 开漏输出使能位 0: 禁止
Bit 4	1: 使能 I2CTAS: I2C 发送应答设置位 0: 发送 ACK 1: 发送 NACK
Bit 3	I2CANAE: I2C 自动未应答使能位 0: 禁止 1: 使能
Bit 2	I2CCSE: I2C 时钟下拉等待使能位 0: 禁止 1: 使能
Bit 1	I2CRST: 软件复位 I2C 模块 0: 禁止 1: 使能
Bit 0	I2CEN: I2C 使能模块 0: 禁止 1: 使能

注 1: 当 I2C 时钟下拉等待使能时:

从机器在应答位之后下拉时钟线。

注 2: 当 I2C 自动未应答使能时:

当片外主控制器寻呼本机地址+R 时, 若 2 级发送数据缓冲器全空, 则本机地址后的应答位为“NACK”;

当片外主控制器寻呼本机地址+#W 时, 若在数据接收之前, 2 级接收数据缓冲器全满时, 本机地址后的应答位为“NACK”; 若在接收数据后, 且 I2CCSE=0, 2 级接收数据缓冲器全满时, 则接收数据后的应答位为“NACK”。

注 3: 当 I2CTE=1 时, I2COD 控制 SCL/SDA 端口的开漏功能; 否则, 由 PBOD<5:4>控制 PB 端口的开漏功能。

I2CSA: I2C 地址寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CSADR<6:0>							I2CRW
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
POR	0	0	0	0	0	0	0	0

Bit 7~1 I2CSADR<6:0>:从机地址

Bit 0 I2CRW: 从机地址匹配后, 自动更新读/写位

0: 写

1: 读

I2CTB: I2C 发送数据缓冲寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CTB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CTB<7:0>: I2C 发送数据缓冲寄存器

注: 第一个需要发送的数据, 在发送使能前写入发送数据缓冲器。

I2CRB: I2C 接收数据缓冲寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CRB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CRB<7:0>: I2C 接收数据缓冲寄存器

I2CIEC: I2C 中断使能寄存器

Bit	7	6	5	4	3	2	1	0
Name	保留	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 保留

Bit 6 I2CNAIE: I2C 接收未应答中断使能位

0: 禁止

1: 使能

Bit 5 I2CROIE: I2C 接收溢出中断使能

0: 禁止

1: 使能

Bit 4 I2CTEIE: I2C 发送错误中断使能

0: 禁止

1: 使能

Bit 3 I2CRBIE: I2C 接收满中断使能位

0: 禁止

1: 使能

Bit 2 I2CTBIE: I2C 发送缓冲器未中断使能位

0: 禁止

1: 使能

Bit 1 I2CSPIE: I2C 接收结束位中断使能位

0: 禁止

1: 使能

Bit 0 I2CSRIE: I2C 接收“起始位+从机地址匹配+发送应答位”中断使能位

0: 禁止

1: 使能

I2CIFC: I2C 中断标志寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF
R/W	—	R/W	R/W	R/W	R	R	R/W	R/W
POR	1	0	0	0	0	1	0	0

- Bit 7 保留
- Bit 6 I2CNAIF: I2C 接收未应答中断标志位
0: 未接收或者未发送 NACK
1: 接收或发送 NACK, 产生中断标志 (软件清零)
- Bit 5 I2CROIF: I2C 接收溢出中断标志
0: 2 级接收数据缓冲器和 I2C 移位寄存器未全满
1: 2 级接收数据缓冲器和 I2C 移位寄存器全满, 产生中断标志 (软件清零)
- Bit 4 I2CTEIF: I2C 发送错误中断标志
0: 主机读从机数据操作正常
1: 2 级发送数据缓冲器全空, 主机继续读从机数据, 产生中断标志 (软件清零)
- Bit 3 I2CRBIF: I2C 接收满中断标志
0: 2 级接收数据缓冲器未空
1: 2 级接收数据缓冲器未空时, 产生中断标志
- Bit 2 I2CTBIF: I2C 发送缓冲器未空中断标志
0: 2 级发送数据缓冲器未空
1: 2 级发送数据缓冲器未空时, 产生中断标志
- Bit 1 I2CSPIF: I2C 接收结束位中断标志
0: 未接收到结束位
1: 接收到结束位, 产生中断标志 (软件清零)
- Bit 0 I2CSRIF: I2C 接收“起始位+从机地址匹配+发送应答位”中断标志
0: 未接收到“起始位+地址位且地址匹配+发送应答位”
1: 接收到“起始位+地址位且地址匹配+发送应答位”, 产生中断标志 (软件清零)

注 1: 清总中断标志位 I2CIF 前, 先清除 I2CIFC 寄存器的相关中断标志位;
注 2: 连续接收数据超过 2 个时, 发生接收溢出, 并且第 3 个接收数据会丢失;
注 3: I2C 模块在每帧数据发送完成后, 接收到结束位时, 硬件自动清零发送缓冲寄存器。

6.4 模/数转换器模块 (ADC)

6.4.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。

芯片支持 12-bit 6 通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◇ 模/数转换器特性

- 12 位 AD 分辨率
- 6 个外部模拟输入通道可选
- 支持 VDD/4、内部 1.2V/1.0V 电压作为模拟输入
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 可配置 AD 采样时间
- 支持高/低速转换选择
- 可配置 ADC 转换工作频率，最高可达 4MHz
- 可配置多种参考源

◇ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCTL0, ADCTL1, ADCTL2)
- 数模端口控制寄存器 PBS, PES

◇ 中断和暂停

- 支持 AD 转换中断
- 在 IDLE 模式下，当使用 LRC 时钟源时，ADC 保持工作，其中断可唤醒 CPU

6.4.2 ADC 内部结构图

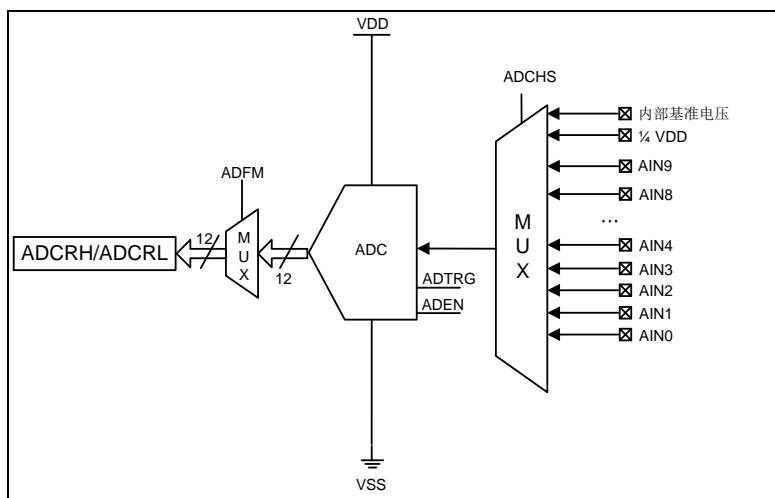


图 6-17 ADC 内部结构图

6.4.3 ADC 配置

ADC 电路使用前, 根据需要对以下几个方面进行正确的配置, 才可得到正确转换结果。

时钟选择

ADC 转换时钟频率可选 F_{osc} 、 $F_{osc}/2$ 、 $F_{osc}/4$ 、 $F_{osc}/8$ 、 $F_{osc}/16$ 、 $F_{osc}/32$ 、 $F_{osc}/64$ 或 LRC, 可通过 ADCKS<2:0>寄存器选择所需要的时钟。

参考电压

ADC 电路正参考电压可选 VDD、外部 VREFP, 负参考电压可选 VSS 和外部 VREFN, 通过 ADVREFPS 及 ADVREFNS 选择。

采样时间选择

硬件采样, 可通过 ADCTL2 寄存器中的 ADST<1:0>位选择 2/4/8/16 个 Tadcclk 四种采样时间。

软件采样, SMPS 位设置为 0, 使能软件采样时, 采样时间长度由软件等待时间决定。在将 SMPON 位置 1 使能 ADC 采样后, 软件可等待任意长时间, 再将 SMPON 清零来结束当前采样。

复用端口类型选择

本芯片中 ADC 电路的所有模拟输入通道 AINx、参考电压外部输入脚均和 PB、PE 端口复用, 在使用 ADC 电路转换前, 须先将所使用的管脚通过 PBS 或 PES 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前, 需先选择 A/D 模拟通道。本芯片 ADC 电路支持 10 个外部通道、一个 $1/4VDD$ 电压和一路内部基准电压可选, 外部通道分别为 AIN0~AIN9。A/D 模拟通道选择哪个通道可通过 ADCTL0 寄存器中的 ADCHS<3:0>位选择。

$1/4VDD$ 电压通道可用于电源电压监控等运用。

内部基准电压通道可用于参考电压 VDD 的校准等运用, 内部基准 1.0V 电压精度为 $\pm 1.5\%$ ($@25^{\circ}\text{C}$), 具体可参考附录 ADC 内部参考电压特性表。

对齐方式选择

本芯片 ADC 电路转换的结果支持两种对齐方式, 低位对齐和高位对齐, 可通过 ADCTL2 寄存器中的 ADFM 位进行选择。

6.4.4 ADC 转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 选择 ADC 转换时钟, 通过 ADCTL2 寄存器中的 ADCKS <2:0>选择 ADC 转换时钟。

Step 2: 选择 ADC 采样时间, 通过 ADCTL2 寄存器中的 A/D 采样时间选择位 ADST <1:0>设定。

Step 3: 设置复用端口设为模拟类型, 即选择哪些管脚作为 ADC 转换输入管脚, 由端口类型选择寄存器 PBS、PES 控制选择。

Step 4: 选择模拟信号输入通道 AINx, 通过 ADCTL0 寄存器中的 ADCHS <3:0>选择 ADC 模拟通道。

Step 5: 设置转换结果对齐方式, 通过 ADCTL2 寄存器中的 ADFM 位, 选择高位对齐放置还是低位对齐放置。

Step 6: 如果要使用中断, 则中断控制寄存器需要正确地设置, 以确保 ADC 中断功能被正确激活。在默认中断模式时, 需将全局中断使能位/高优先级中断使能位 GIE 置“1”, 将 ADC 中断使能位置“1”; 在向量中断模式时, 需将全局中断使能位/高优先级中断使能位 GIE 置“1”, 根据 ADC 中断所在组的优先级决定是否要开启低优先级中断使能位 GIEL, 将 ADC 中断使能位置“1”。

Step 7: 若对内部基准电压进行 A/D 转换, 则要提前使能 ADC 参考电压模块, 设置 ADVREF_EN=1, 设置 ADCTL1[4]选择内部基准电压值, 等待 200us, 使内部基准电压稳定。

Step 8: 使能 ADC 电路, 将 ADCTL0 寄存器中的 ADC 使能位 ADEN 设置为 “1”。

Step 9: 将 ADCTL0 寄存器中的 ADC 转换启动位 ADTRG 位设置为 “1”, 开始 ADC 转换。

Step 10: 轮询 ADCTL0 寄存器中的转换状态位 ADTRG 位, 确定此次 ADC 转换是否完成。

Step 11: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

6.4.5 ADC 时序特征示意图

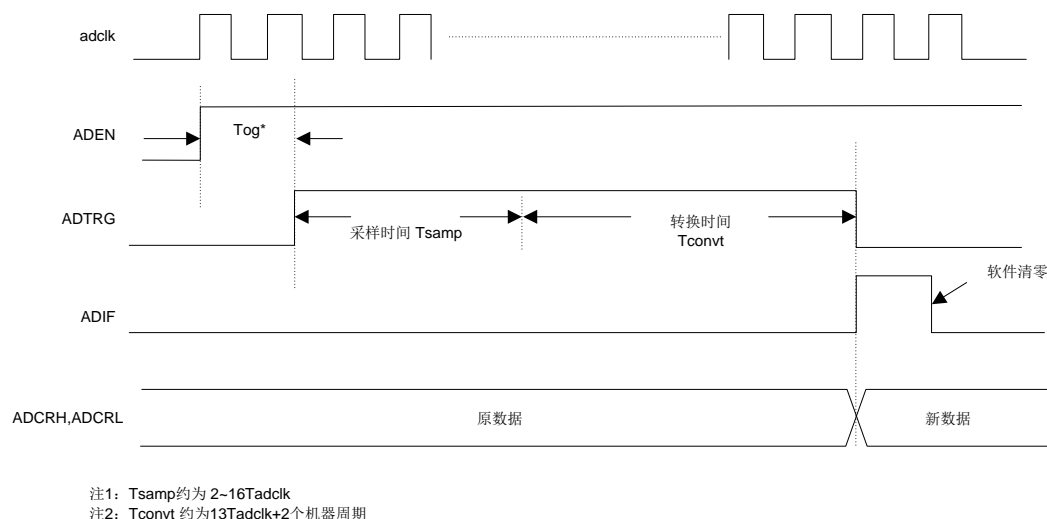


图 6-18 ADC 时序特征示意图

注 1: $Tog > 0$;

注 2: AD 转换时钟周期 T_{adclk} , 可通过 $ADCKS < 2:0 >$ 寄存器配置不同的频率。

注 3: ADC 时钟周期 $T_{adclk} \geq 0.5\mu s$, ADC 转换时间表参考附录所示。

6.4.6 特殊功能寄存器

ADFM	ADCRH								ADCRL							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	—	—	—	—

Bit 11~0 D11~D0: ADC 转换结果

注：通过 ADCTL2[7]（即 ADFM）设置 A/D 转换数据对齐方式。

ADCTL0: ADC 控制寄存器 0									
Bit	7	6	5	4	3	2	1	0	
Name	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	1	1	1	1	0	1	0	0	

Bit 7~4 ADCHS<3:0>: A/D 模拟通道选择位

0000: 通道 0 (AIN0)

0001: 通道 1 (AIN1)

0010: 通道 2 (AIN2)

0011: 通道 3 (AIN3)

0100: 通道 4 (AIN4)

0101: 通道 5 (AIN5)

0110: 通道 6 (AIN6)

0111: 通道 7 (AIN7)

1000: 通道 8 (AIN8)

1001: 通道 9 (AIN9)

1010: VDD/4

1011: 保留

1100: 内部基准电压 (1.2V/1.0V, 由寄存器 ADCTL1[4]配置电压值)

其他: 保留

Bit 3 SMPON: A/D 采样软件控制位

0: 结束采样

1: 启动采样

Bit2 SMPS: A/D 采样模式选择位

0: 使能软件采样, 硬件采样禁止

1: 禁止软件采样, 硬件采样使能

Bit 1 ADTRG: ADC 转换启动位

0: ADC 未进行转换, 或 A/D 转换已完成

1: ADC 转换正在进行, 该位置 1 启动 A/D 转换

当 SMPS=1 时, 该位软件置 1 启动 A/D 采样转换

当 SMPS=0 时, SMPON=1 启动采样, 该位硬件自动置 1

Bit 0 ADEN: ADC 使能位

0: 关闭

1: 使能 ADC 模块

ADCTL1: ADC 控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	ADLPEN	ADVREFNS	ADVREFPS	ADVREFVS	保留		ADBITSEL<1:0>	
R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	1	1

- Bit 7 ADLPEN: A/D 转换速度控制位
0: 高速, 高功耗模式 (Tadclk 频率高于或等于 1MHz)
1: 低速, 低功耗模式 (Tadclk 频率低于或等于 1MHz)
- Bit 6 ADVREFNS: A/D 负参考源选择位
0: VSS
1: 外部 VREFN
- Bit 5 ADVREFPS: A/D 正参考源选择位
0: VDD
1: 外部 VREFP
- Bit 4 ADVREFVS: 作为 A/D 模拟输入的內部基准电压选择位
0: 内部 VREF 1.2V 作为 A/D 模拟输入
1: 内部 VREF 1.0V 作为 A/D 模拟输入
- Bit 3~2 保留
- Bit 1~0 ADBITSEL<1:0>: A/D 转换值选择位
00: 6 位
01: 8 位
10: 10 位
11: 12 位

ADCTL2: ADC 控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCKS<2:0>			ADST<1:0>		保留	ADVREF_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W
POR	0	1	0	0	1	0	0	0

- Bit 7 ADFM: 结果对齐方式选择位
0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)
- Bit 6~4 ADCKS<2:0>: A/D 转换时钟频率 (Tadclk) 选择位
000: Fosc
001: Fosc/2
010: Fosc/4
011: Fosc/8
100: Fosc/16
101: Fosc/32
110: Fosc/64
111: LRC 时钟
- Bit 3~2 ADST<1:0>: A/D 采样时间选择位
00: 2 个 Tadclk
01: 4 个 Tadclk
10: 8 个 Tadclk
11: 16 个 Tadclk
- Bit 1 保留
- Bit 0 ADVREF_EN: 内部参考电压模块使能位
0: 禁止
1: 使能

6.5 低电压检测模块（LVD）

6.5.1 概述

芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMC 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

6.5.2 LVD 操作

LVD 功能的使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零时，LVD 功能禁能。当 LVDEN 位置高时，LVD 功能使能。LVD 模块将电源电压 VDD 与预先设定的阈值电压进行比较，比较结果通过 LVDC 寄存器的 LVDO 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDVS 配置，当检测电源电压 VDD 时，预置电压阈值范围为 2.2V~4.6V。当目标电压低于预置电压阈值时，LVDO 位被置高，表明检测到低电压产生。当 LVDO 变化时，产生 LVD 中断标志，触发 LVD 中断标志的条件可选择为 LVDO 上升沿产生、LVDO 下降沿产生和 LVDO 上升沿或下降沿都产生。当 LVD 中断使能开启时产生 LVD 中断请求。在睡眠模式下 LVD 中断可唤醒芯片。

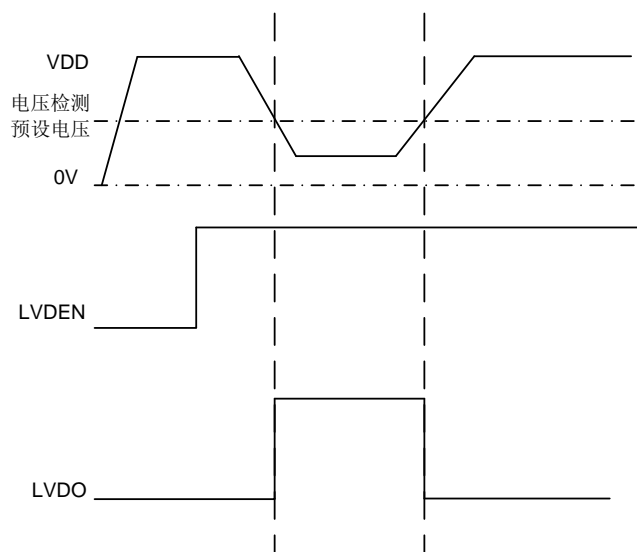


图 6-19 LVD 工作时序图

6.5.3 特殊功能寄存器

LVDCL: LVD 控制寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	保留			LVDFLTEN	LVDIFS<1:0>		LVDO	LV DEN
R/W	—	—	—	R/W	R/W	R/W	R	R/W
POR	0	0	0	0	0	0	x	0

Bit 7~5 保留

Bit 4 LVDFLTEN: LVD 滤波器使能

0: 禁止

1: 使能

Bit 3~2 LVDIFS <1:0>: LVD 中断标志产生模式选择位

00: LVDO 上升沿产生中断

01: LVDO 下降沿产生中断

10: LVDO 上升或下降沿都产生中断

11: 保留

Bit 1 LVDO: LVD 输出状态位

0: 被监测电压高于电压阈值

1: 被监测电压低于电压阈值

Bit 0 LV DEN: LVD 使能位

0: 禁止

1: 使能

注 1: 当 IAP 擦除或编程时, 为防止误擦或误编程, 建议使能 LVD, 在 LVD 有效时, 自动退出 IAP 操作;

注 2: 当 LVD 滤波器使能时, 约 200us 宽度的 LVD 低压信号被滤除。为防止误编程、误擦除, 建议禁止 LVD 滤波。

LVDCH: LVD 控制寄存器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	保留	LVDVS<2:0>			保留			
R/W	—	R/W	R/W	R/W	—	—	—	—
POR	0	0	0	0	0	0	0	0

Bit 7 保留

Bit 6~4 LVDVS<2:0>: LVD 触发电压选择 (电压为设计值)

000: 2.2V

001: 2.4V

010: 2.6V

011: 2.8V

100: 3.0V

101: 3.6V

110: 4.0V

111: 4.6V

Bit 3~0 保留

第7章 中断处理

7.1 概述

中断是芯片的一个重要功能。它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 18 个中断源：1 个软件中断和 17 个硬件中断。

7.2 内部结构

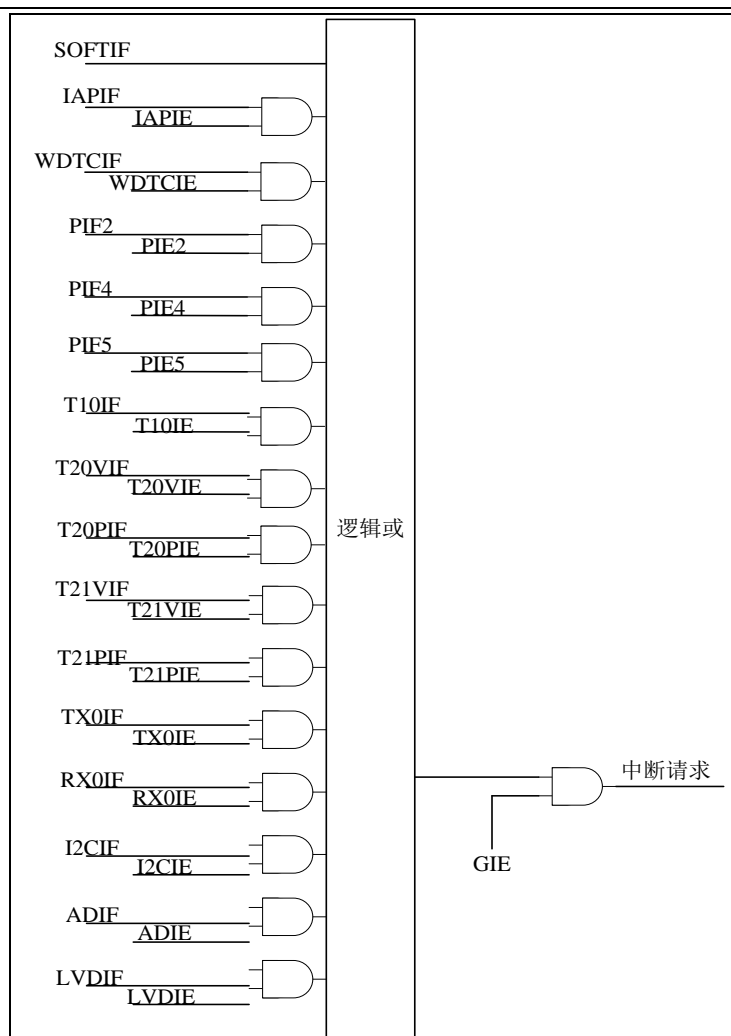


图 7-1 默认中断模式中中断控制逻辑

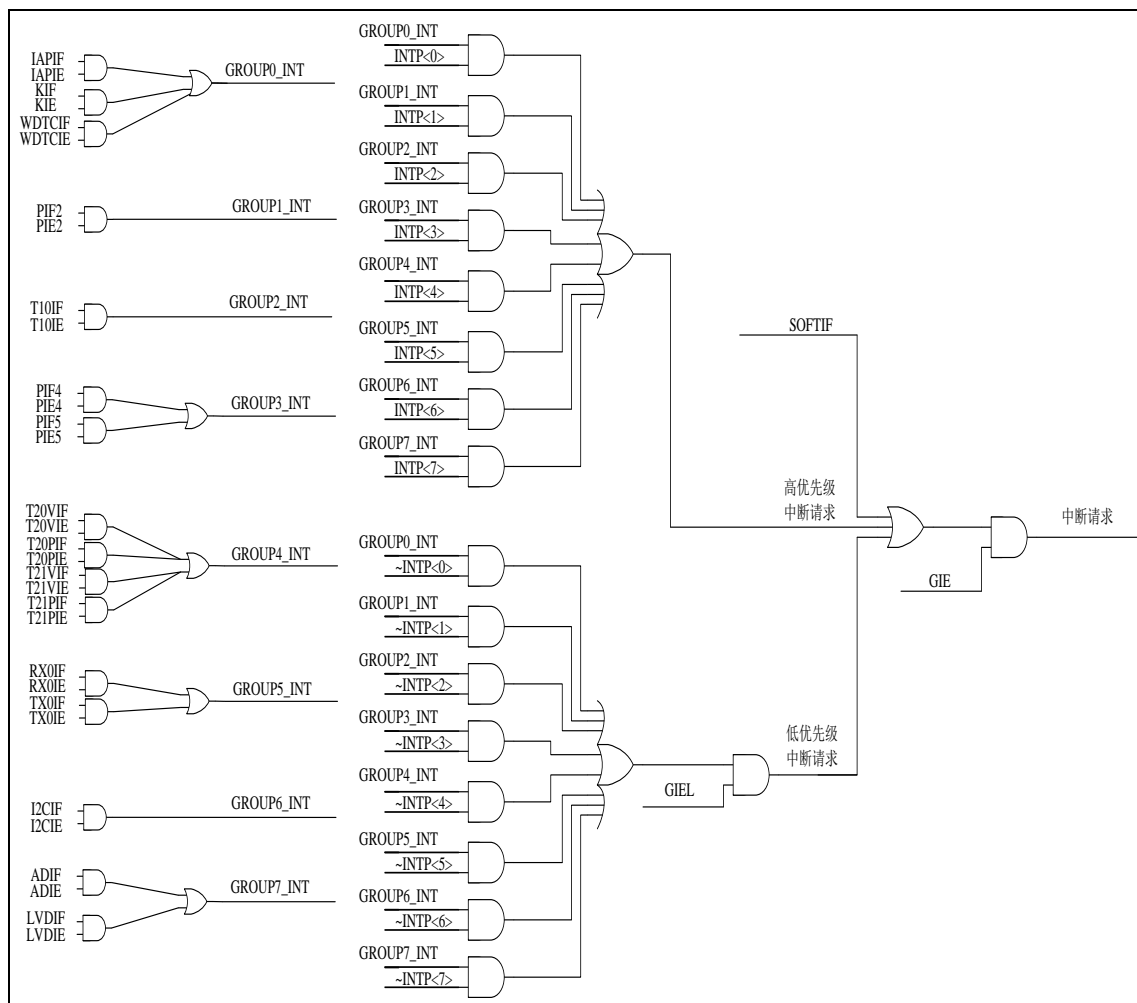


图 7-2 向量中断模式中中断控制逻辑

7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN0 位和芯片配置字中的 INTVEN1 位选择。值得注意的是，INTVEN0 和 INTVEN1 只有同时置“1”时，向量中断模式才有效。

INTVEN0 (INTG<2>)	INTVEN1 (芯片配置字 bit 13)	中断模式
0	0	默认中断模式
0	1	
1	0	
1	1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004H 入口地址，不支持中断优先级和中断嵌套。

向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

7.3.2 向量中断模式

7.3.2.1 向量表配置

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004H，优先级最高；其它硬件中断分 8 组(IG0~IG7)，通过中断全局寄存器 INTG 中的 INTV<1:0>配置支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过中断优先级寄存器 INTP 中的 IGPx 配置，将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由高优先级中断使能位 GIE 和低优先级中断使能位 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

优先级		0 (高)	1	2	3	4	5	6	7	8 (低)
入口地址		0004 _H	0008 _H	000C _H	0010 _H	0014 _H	0018 _H	001C _H	0020 _H	0024 _H
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 7-2 中断向量表

7.3.2.2 中断向量分组

中断组号	优先级设置	中断名	对应中断寄存器位
IG0	IGP0	IAPINT	INTE2<1>
		KINT	INTE1<7>
		WDTCINT	INTE0<3>
		PINT2	INTE1<2>
IG2	IGP2	T10INT	INTE0<2>
IG3	IGP3	PINT4	INTE1<4>
		PINT5	INTE1<5>
IG4	IGP4	T20VINT	INTE0<0>
		T20PINT	INTE0<1>
		T21VINT	INTE0<4>
		T21PINT	INTE0<5>
IG5	IGP5	RX0INT	INTE2<5>
		TX0INT	INTE2<6>
IG6	IGP6	I2CINT	INTE2<2>
IG7	IGP7	ADINT	INTE2<3>
		LVDINT	INTE2<4>

表 7-3 向量中断模式中中断分组配置表

7.4 中断使能配置

序号	中断源	中断名	中断标志	中断使能	全局中断服务使能		
					默认模式	向量模式	
						高优先级	低优先级
1	软中断	软中断	SOFTIF	-	GIE	GIE	GIE & GIEL
2	外部按键中断	KINT	KIF	KIE			
3	WDT 喂狗中断	WDTCINT	WDTCIF	WDTCIE			
4	外部中断	PINT2	PIF2	PIE2			
5		PINT4	PIF4	PIE4			
6		PINT5	PIF5	PIE5			
7	T10 溢出中断	T10INT	T10IF	T10IE			
8	T20 溢出中断	T20VINT	T20VIF	T20VIE			
9	T20 周期中断	T20PINT	T20PIF	T20PIE			
10	T21 溢出中断	T21VINT	T21VIF	T21VIE			
11	T21 周期中断	T21PINT	T21PIF	T21PIE			
12	UART0 发送中断	TX0INT	TX0IF	TX0IE			
13	UART0 接收中断	RX0INT	RX0IF	RX0IE			
14	I2C 中断	I2CINT	I2CIF	I2CIE			
15	ADC 中断	ADINT	ADIF	ADIE			
16	IAP 中断	IAPINT	IAPIF	IAPIE			
17	LVD 中断	LVDINT	LVDIF	LVDIE			

表 7-4 中断使能配置表

7.5 中断现场保护

中断现场保护是中断程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH、BKSR 和 FAMR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKSRs1、FAMRS1 和 AS0、PSWS0、PCRHS0、BKSRs0、FAMRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

7.6 中断操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下两个条件：

- 1) 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
- 2) 在默认中断模式下，当全局中断使能位 **GIE** 为“0”时，将屏蔽所有中断请求；当全局中断使能位 **GIE** 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 **GIE** 为“0”时，将屏蔽所有中断请求；当全局中断使能位 **GIE** 为“1”时，若对应中断所在组为高优先级，程序将跳至中断服务程序地址执行；若对应中断所在组为低优先级，当低优先级中断使能位 **GIEL** 为“1”时，在无高优先级中断请求时，程序将跳至中断服务程序地址执行，当低优先级中断使能位 **GIEL** 为“0”时，将屏蔽所有低优先级中断请求。

7.6.1 外部中断

当 **PINTn** 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 **PINTn** 外部端口中断，相应的中断标志 **PIFn** 被置“1”。当全局中断使能位 **GIE** 和外部端口中断使能位 **PIEn** 都被置为“1”时，则向 CPU 发出 **PINTn** 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，相应中断标志位 **PIFn** 和中断使能位 **PIEn** 都需通过软件清除，**INTC** 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发、高电平触发、低电平触发或双边沿触发。

7.6.2 外部按键中断

当 **KINx** 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化时，将中断标志位 **KIF** 置为“1”，当外部按键中断控制位 **KIE** 为“1”，且全局中断控制位 **GIE** 和低优先级中断使能位 **GIEL** 根据中断模式正确使能时，则向 CPU 发出外部按键中断请求。CPU 根据中断的优先级响应当前中断的请求，当外部按键中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（**KMSKx=1**（**INTC** 寄存器可配置），**KIE=1**）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 **KIF** 的操作步骤如下：

- 1) 对端口寄存器进行读或者写操作，清除端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位 **KIF**。

中断使能位 **KIE** 也需要通过软件进行清除。

7.6.3 T10 溢出中断

8 位定时器/计数器 T10 处于定时器模式或计数器模式，当 T10 计数器递增计数由 FF_H 变为 00_H 时，T10 计数器发生溢出，将中断标志 T10IF 位置“1”。当 T10 溢出中断使能位 T10IE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T10 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T10 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T10 溢出中断标志位 T10IF 和中断使能位 T10IE 都需通过软件清除。

7.6.4 T2n 溢出中断

16 位多功能定时器 T2n 处于定时器模式/双精度 PWM 模式/时，对计数时钟进行递增计数，当 T2n 后分频器的计数值与后分频器分频比相同时，产生溢出中断。

T2n 溢出中断产生时，将中断标志 T2nVIF 位置“1”。当 T2n 溢出中断使能位 T2nVIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T2n 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T2n 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T2n 溢出中断标志位 T2nVIF 和中断使能位 T2nVIE 都需通过软件清除。

7.6.5 T2n 周期中断

16 位多功能定时器 T2n 处于双精度 PWM 模式时，T2n 从零开始递增计数，当 T2n 与 T2nP 寄存器的值相等时，将产生 T2n 周期中断，中断标志 T2nPIF 被置“1”。如果中断使能位 T2nPIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T2n 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T2n 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T2n 周期中断标志位 T2nPIF 和中断使能位 T2nPIE 都需通过软件清除。

7.6.6 UART 发送/接收中断

UART 中断包括两种：发送中断和接收中断。当 UART 异步发送器的发送数据寄存器 TXnB 为空，或异步接收器完成一个数据接收时，产生 UART 发送/接收中断，发送/接收中断标志位 RXnIF/TXnIF 被置为“1”。如果发送/接收中断使能位 RXnIE/TXnIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 UART 发送/接收中断请求。CPU 根据中断的优先级响应当前中断的请求，当 UART 发送/接收中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，接收/发送中断标志位 RXnIF/TXnIF 为只读，不可软件清零，读接收数据寄存器 RXnB，可清除 RXnIF，写发送数据寄存器 TXnB，可清除 TXnIF；接收/发送中断使能位 RXnIE/TXnIE 需通过软件清除。

7.6.7 I2CS 中断

当 I2CSRIF、I2CSPIF、I2CTBIF、I2CRBIF、I2CTEIF、I2CROIF 和 I2CNAIF 中任何一个中断标志位置 1 时，I2C 总中断标志位 I2CIF 就会置 1。如果 I2C 中断使能位 I2CIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 I2C 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 I2C 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零 I2CIF，但在清零 I2CIF 总中断标志位之前，需先清零 I2CSRIF、I2CSPIF、I2CTEIF、I2CROIF 和 I2CNAIF 等相关中断标志位。

7.6.8 ADC 中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断使能位 ADIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 ADC 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 ADC 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.6.9 IAP 中断

IAP 有三种情况可以产生中断标志位，任何一种情况都可以产生中断请求：页擦启动出错、编程启动出错和 IAP 因电压低于 LVD 阈值电压而终止。

1. 页擦启动出错：当工作电压小于设定的 LVD 阈值电压（配置位 LVDIAPTEN=1），FRA 和 FRAN 寄存器值非反码，或向 IAPERSS 寄存器写入了非 0xAE 值时，页擦启动出错标志 ERSS_ERR 位置“1”，IAP 总中断标志 IAPIF 也被置“1”。

2. 编程启动出错：当工作电压小于设定的 LVD 阈值电压（配置位 LVDIAPTEN=1），FRA 和 FRAN 寄存器值非反码，或 ROMD 和 ROMDN 寄存器的值非反，写入值非 0xD5 时，编程启动出错标志 PRGS_ERR 位置“1”，IAP 总中断标志 IAPIF 也被置“1”。

3. IAP 因电压低于 LVD 阈值电压而终止：当 IAP 因电压低于 LVD 阈值电压而终止，标志位 IAP_LVDIF 置“1”，IAP 总中断标志 IAPIF 也被置“1”。

如果 IAP 中断使能位 IAPIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 IAP 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 IAP 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，IAP 中断标志位 IAPIF 和中断使能位 IAPIE 都需通过软件清除。

7.6.10 LVD 中断

当 VDD 电压小于 LVDCH 寄存器设置的阈值电压时，低电压产生，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 LVD 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 LVD 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.6.11 WDT 喂狗中断

如果中断使能位 WDTCIE 置为“1”，当 WDT 的定时到达喂狗窗口时会产生一个中断，CPU 在收到该中断后需要尽快响应，并进行喂狗操作，否则，会产生 WDT 定时溢出，将系统复位。

7.7 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.8 特殊功能寄存器

中断功能由一系列的控制寄存器和芯片配置字共同控制。

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	GIEL	保留	SGIE	SOFTIF	INTVEN0	INTV<1:0>	
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 GIE: 全局中断使能位, 或高优先级中断使能位
 0: 禁止所有的中断
 1: 使能所有未屏蔽的中断, 或使能高优先级中断
- Bit 6 GIEL: 低优先级中断使能位 (仅向量中断模式有效)
 0: 禁止低优先级中断
 1: 使能低优先级中断
- Bit 5 保留
- Bit 4 SGIE: 保留位, 仅供测试使用, 用户使用中需始终保持该位为 0
- Bit 3 SOFTIF: 软中断标志位
 0: 无软中断
 1: 有软中断
- Bit 2 INTVEN0: 中断模式选择位
 0: 默认中断模式
 1: 向量中断模式 (芯片配置字 INTVEN1 必须为 1)
- Bit 1~0 INTV<1:0>: 中断向量表选择位, 参考向量中断配置表

INTP: 中断优先级寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IGP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 IGP<7:0>: IG7-IG0 中断优先级设置
 0: 低优先级
 1: 高优先级

INTC: 中断控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	保留		KMSK1	KMSK0	保留	PEG0<2:0>		
R/W	—	—	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留
- Bit 5 KMSK1: KIN1 按键输入屏蔽位
 0: 屏蔽
 1: 不屏蔽
- Bit 4 KMSK0: KIN0 按键输入屏蔽位

- 0: 屏蔽
1: 不屏蔽
Bit 3 保留
Bit 2~0 PEG0<2:0>: PINTn 触发方式选择位
000: 上升沿
001: 下降沿
010: 高电平
011: 低电平
1xx: 上升沿和下降沿

INTE0: 中断使能寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	保留		T21PIE	T21VIE	WDTTCIE	T10IE	T20PIE	T20VIE
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留
Bit5 T21PIE: T21 周期中断使能位
0: 禁止
1: 使能
Bit4 T21VIE: T21 溢出中断使能位
0: 禁止
1: 使能
Bit3 WDTTCIE: 硬件看门狗喂狗中断标志位
0: 禁止
1: 使能
Bit2 T10IE: T10 溢出中断使能位
0: 禁止
1: 使能
Bit1 T20PIE: T20 周期中断使能位
0: 禁止
1: 使能
Bit 0 T20VIE: T20 溢出中断使能位
0: 禁止
1: 使能

INTF0: 中断标志寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	保留		T21PIF	T21VIF	WDTTCIF	T10IF	T20PIF	T20VIF
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 保留
Bit 5 T21PIF: T21 周期中断标志位
0: 无中断请求
1: T21 周期中断请求

Bit4	T21VIF: T21 溢出中断标志位 0: 无中断请求 1: T21 溢出中断请求
Bit3	WDTCIF: 硬件看门狗喂狗中断标志位 0: 无中断请求 1: WDT 中断请求
Bit 2	T10IF: T10 溢出中断标志位 0: 无中断请求 1: T10 溢出中断请求
Bit 1	T20PIF: T20 周期中断标志位 0: 无中断请求 1: T20 周期中断请求
Bit 0	T20VIF: T20 溢出中断标志位 0: 无中断请求 1: T20 溢出中断请求

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	KIE	保留	PIE<5:0>					
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7	KIE: 外部按键中断使能位
Bit 6	保留
Bit 5~0	PIE<5:0>: PINTn 中断使能位 0: 禁止 1: 使能

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	KIF	保留	PIF<5:0>					
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7	KIF: 按键中断标志位
Bit 6	保留
Bit 5~0	PIF<5:0>: PINTn 中断标志位 0: 无中断请求 1: PINTn 中断请求

INTE2: 中断使能寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	保留	TX0IE	RX0IE	LVDIE	ADIE	I2CIE	IAPIE	保留
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

Bit 7	保留
Bit 6	TX0IE: UART0 发送中断使能位 0: 禁止 1: 使能
Bit 5	RX0IE: UART0 接收中断使能位 0: 禁止 1: 使能
Bit 4	LVDIE: LVD 中断使能位 0: 禁止 1: 使能
Bit 3	ADIE: AD 转换中断使能位 0: 禁止 1: 使能
Bit 2	I2CIE: I2C 中断使能位
Bit 1	IAPIE: IAP 中断使能位 0: 禁止 1: 使能
Bit 0	保留

INTF2: 中断标志寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	保留	TX0IF	RX0IF	LVDIF	ADIF	I2CIF	IAPIF	保留
R/W	—	R	R	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

Bit 7	保留
Bit 6	TX0IF: UART0 发送中断标志位 0: 无中断请求 1: UART0 发送中断请求
Bit 5	RX0IF: UART0 接收中断标志位 0: 无中断请求 1: UART0 接收中断请求
Bit 4	LVDIF: LVD 中断标志位 0: 无中断请求 1: LVD 中断请求
Bit 3	ADIF: AD 转换中断标志位 0: 无中断请求 1: AD 中断请求
Bit 2	I2CIF: I2C 中断标志位 0: 无中断请求 1: I2C 中断请求
Bit 1	IAPIF: IAP 中断标志位 0: 无中断请求 1: IAP 中断请求
Bit 0	保留

第8章 芯片配置字

芯片的各种功能配置由芯片配置字和各功能相关寄存器共同设置完成。

名称	芯片配置字 (CFG_WORD0)	
STKLS	Bit 15-13	PC 硬件堆栈级数配置位 000: 4 级 001: 8 级 010: 12 级 011: 16 级 100: 20 级 101: 24 级 110: 28 级 111: 32 级
-	Bit 12	保留
INTVEN1	Bit 11	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 也必须为 1)
-	Bit 10	保留
BORVS	Bit 9-8	BOR 电压选择位 00: 保留 01: 2.5V 1x: 3.1V
BOREN	Bit 7	掉电复位使能位 0: 禁止 1: 使能
ICDSEL	Bit 6	调试端口选择位 0: PB5 用作 ISDA, PB4 用作 ISCK 1: PE0 用作 ISDA, PB7 用作 ISCK
ICDEB	Bit 5	调试模式使能位 0: 使能 1: 禁止
PWRTEB	Bit 4	上电延时定时器使能位 0: 使能 1: 禁止
WDTEN	Bit 3	硬件看门狗使能位 0: 禁止 1: 使能
-	Bit 2	保留
WDTWEN	Bit 1	硬件看门狗的窗口使能位 0: 禁止 1: 使能硬件看门狗的窗口计时, 用作硬件窗口看门狗, 窗口大小通过寄存器选择
DBGCEEN	Bit 0	ICD 调试模式下, 系统 halt 时, 定时计数器的计数停止使能位 0: 禁止 1: 使能

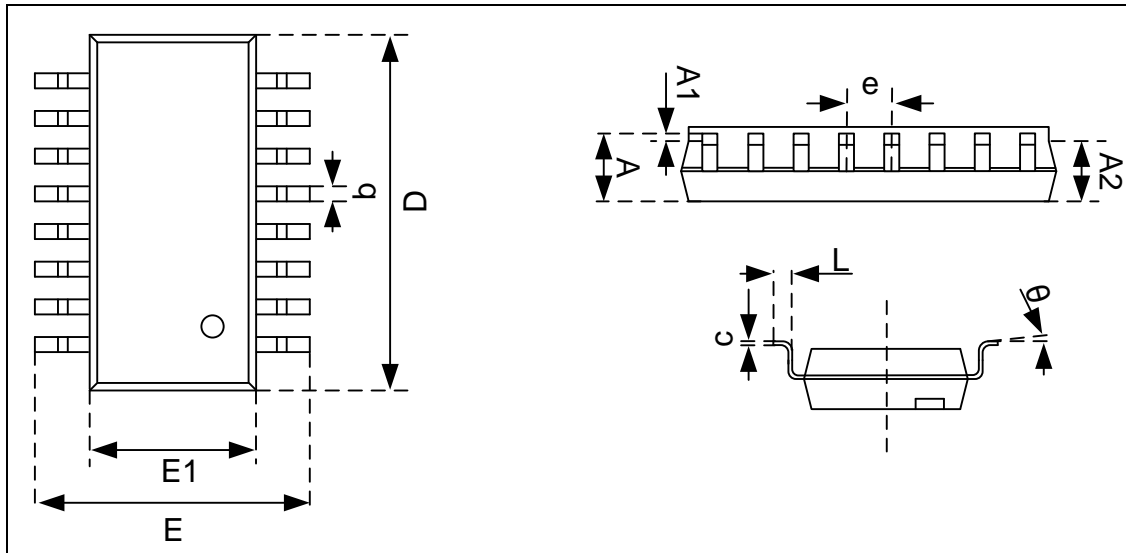
名称	芯片配置字 (CFG_WORD1)	
IAPEN	Bit 7	IAP 操作使能位 0: 禁止 1: 使能
LVDIAPTEN	Bit 6	LVD 终止 IAP 编程或擦除使能位 0: 禁止 LVD 终止 IAP 编程或页擦 1: 使能 LVD 终止 IAP 编程或页擦
-	Bit 5	保留
DATA_IAPEN	Bit 4	Flash 数据存储区 IAP 擦写操作使能位 0: 禁止 (默认值) 1: 使能
-	Bit 3	保留
CODE_TBREN	Bit 2	FLASH 程序存储区查表指令读使能位 0: 禁止 1: 使能 (默认值)
INFO_TBREN	Bit 1	FLASH 信息存储区查表指令读使能位 0: 禁止 1: 使能 (默认值)
DATA_TBREN	Bit 0	数据 FLASH 存储区查表指令读使能位 0: 禁止 1: 使能 (默认值)

名称	芯片配置字 (CFG_WORD2)	
VR_LP2HP	Bit 7	<p>唤醒时 VR 从 LP 模式切换到 HP 模式时 flash 上电延时设定</p> <p>0: LDO 工作模式由 LP 切换至 HP 时, flash 电源打开等待时间为 3 个 WDT 时钟</p> <p>1: LDO 工作模式由 LP 切换至 HP 时, flash 电源打开等待时间为 15 个 WDT 时钟</p>
BORFLTSEL	Bit 6-4	<p>BOR 滤波时间长度选择位 (32KHz LRC 时钟个数)</p> <p>000: 7 (218.75us)</p> <p>001: 1 (31.25us)</p> <p>010: 2 (62.5us)</p> <p>...</p> <p>110: 6 (187.5us)</p> <p>111: 7 (218.75us) (缺省值)</p>
WKUP_CLKSEL	Bit 3	<p>唤醒后时钟选择位</p> <p>0: 进入睡眠前系统时钟</p> <p>1: LRC (32KHz) 时钟</p>
LRC_HPEN	Bit 2	<p>LRC 时钟低功耗使能位</p> <p>0: LRC 工作在低功耗模式</p> <p>1: LRC 工作在高功耗模式</p>
SRAM_LPEN	Bit 1	<p>SRAM 节电控制位</p> <p>0: 禁止在 idle 模式下 SRAM 节电</p> <p>1: 使能 idle 模式下 SRAM 低功耗, 其值仍会被保留 (缺省值)</p>
FLASH_PDEN	Bit 0	<p>Flash 节电控制位</p> <p>0: 禁止在 idle 模式关闭 flash 电源</p> <p>1: 使能 idle 模式关闭 flash 电源 (缺省值)</p>

第9章 芯片封装图

9.1 16-pin 封装图

◆ SOP16



标号	公制 (mm)		
	MIN	NOM	MAX
A	1.35	1.60	1.75
A1	0.10	0.15	0.25
A2	1.25	1.45	1.65
b	0.36	—	0.51
C	0.17	—	0.25
D	9.80	9.90	10.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.44	0.60	0.80
θ	0°	—	8°

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与链接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分，操作码部分对应到指令本身。

芯片运行在 4MHz 主系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<4:0>->PCR<7:3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R<10:0>)
8	MOVRA	R<10:0>	—	1	(R<10:0>)->(A)

附录表 1-1 寄存器操作指令表

附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<13:0>->PC<13:0> I<13:8>->PCR<5:0>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCR<5:3>->PC<13:11>
12	CALL	I<10:0>	—	2	PC+1->TOS,I<10:0>->PC<10:0>, PCR<5:3>->PC<13:11>
13	LCALL	I<19:0>	—	2	PC+1->TOS,I<13:0>->PC<13:0> I<13:8>->PCR<5:0>
14	RCALL	R<7:0>	—	2	PC+1->TOS, (R)->PC<7:0>,

序号	指令		影响状态位	机器周期	操作
	L				PCR _H <5:0>→PC<13:8>,
15	JBC	R<7:0>,B<2:0>	—	2	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>,B<2:0>	—	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	—	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	—	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	—	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	—	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	—	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	—	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>,B<2:0>	—	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>,B<2:0>	—	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>,B<2:0>	—	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>,F	—	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>,F	—	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	AS->A,PSWS->PSW, BKSR->>BKSRS,PCRHS->PCRH
30	PUSH	—	—	1	A->AS,PSW->PSWS, BKSR->BKSRS,PCRHS->PCRHS
31	RET	—	—	2	TOS->PC
32	RETIA	I<7:0>	—	2	I->(A),TOS->PC
33	RETIE	—	—	2	TOS->PC,1->GIE
34	RST	—	全部状态位 均被影响	1	软件复位指令
35	CWDT	—	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	—	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler, 1-> N_TO, 0-> N_PD

附录表 1-2 程序控制指令表

附录1.4 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
37	ADD	R<7:0>,F	C,DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R
44	BSS	R<7:0>,B<2:0>	—	1	1->R
45	BTT	R<7:0>,B<2:0>	—	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF _H ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1-> (R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	—	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	C<< R<7:0> <<C
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7:0> << R<7>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	C>> R<7:0> >>C
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	R<0> >> R<7:0>
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	—	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)->ROMD
70	TBR#1	—	—	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	—	—	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	—	—	2	FRA+1->FRA,

序号	指令	影响状态位	机器周期	操作
				Pmem(FRA)-> ROMD
73	TBW	—	2	ROMD->prog buffer
74	TBW#1	—	2	ROMD->prog buffer, FRA+1->FRA
75	TBW_1	—	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	—	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	1	I.XOR.(A)->(A)

附录表 1-3 算术/逻辑运算指令表

注：指令集说明

- 1: i—立即数，F—标志位，A—寄存器 A，R—寄存器 R，B—寄存器 R 的第 B 位。
- 2: C—进位/借位，DC—半进位/半借位，Z—零标志位，OV—溢出标志位，N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中，N 的位数，视实际芯片而定。对本芯片，通用数据存储器 GPR 分为 12 个存储体组，所以 N 的位数是 4 位。
- 7: PAGE 指令中，N 的位数，视实际芯片而定。对本芯片，没有 PCRU 寄存器，N 的位数是 3 位。
- 8: PC 的位数以及 PCRU 寄存器，视实际芯片而定。对本芯片，PC 的位数是 14 位，没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

快速访问区特殊功能寄存器

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAA<7:0>								0000 0000
FF82 _H	IAAH	IAA<15:8>								0000 0000
FF83 _H	BKSR	—	—	—	—	—	BKSR<2:0>			0000 0000
FF84 _H	FAMR	—	—	—	—	—	—	FAMS	FMHL	0000 0000
FF85 _H	AREG	AREG<7:0>								xxxx xxxx
FF86 _H	PSW	—	UF	OF	N	OV	Z	DC	C	000x xxxx
FF87 _H	PWRCWP	PWRCWP<7:0>								0000 0000
FF88 _H	PWRC	SBOREN	—	HPBG_EN	IRSTB	TOB	PDB	PORB	BORB	1111 110x
FF89 _H	PCRL	PCR<7:0>								0000 0000
FF8A _H	PCRH	PCR<15:8>								0000 0000
FF8B _H	—	—								—
FF8C _H	—	—								—
FF8D _H	—	—								—
FF8E _H	—	—								—
FF8F _H	—	—								—
FF90 _H	—	—								—
FF91 _H	—	—								—
FF92 _H	—	—								—
FF93 _H	—	—								—
FF94 _H	INTG	GIE	GIEL	—	SGIE	SOFTIF	INTVEN0	INTV<1:0>		0000 0000
FF95 _H	INTP	IGP<7:0>								0000 0000
FF96 _H	INTE0	—	—	T21PIE	T21VIE	WDTClE	T10IE	T20PIE	T20VIE	0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FF97 _H	INTF0	—	—	T21PIF	T21VIF	WDTCIF	T10IF	T20PIF	T20VIF	0000 0000
FF98 _H	INTE1	KIE	—	PIE<5:0>						0000 0000
FF99 _H	INTF1	KIF	—	PIF<5:0>						0000 0000
FF9A _H	INTE2	—	TX0IE	RX0IE	LVDIE	ADIE	I2CIE	IAPIE	—	0000 0000
FF9B _H	INTF2	—	TX0IF	RX0IF	LVDIF	ADIF	I2CIF	IAPIF	—	0000 0000
FF9C _H	INTC	—	—	KMSK1	KMSK0	—	PEG0<2:0>			0000 0000
FF9D _H	—	—								—
FF9E _H	—	—								—
FF9F _H	TEST_ID	TEST_ID<7:0>								1000 1000
FFA0 _H	PA	PA<7:0>								xxxx xxxx
FFA1 _H	PAT	PAT<7:0>								1111 1111
FFA2 _H	PAS	PAS<7:0>								1111 1100
FFA3 _H	PAPU	PAPU<7:0>								0000 0000
FFA4 _H	PAPD	PAPD<7:0>								0000 0000
FFA5 _H	PAFE	PAFE <7:0>								0000 0000
FFA6 _H	PAOD	PAOD <7:0>								0000 0000
FFA7 _H	PASMIT	PASMIT<7:0>								0000 0000
FFA8 _H	PB	PB<7:0>								xxxx xxxx
FFA9 _H	PBT	PBT<7:0>								1111 1111
FFAA _H	PBS	PBS<7:0>								1100 1111
FFAB _H	PBPU	PBPU<7:0>								0000 0000
FFAC _H	PBPD	PBPD<7:0>								0000 0000
FFAD _H	PBFE	PBFE<7:0>								0000 0000
FFAE _H	PBOD	PBOD<7:0>								0000 0000
FFAF _H	PBSMIT	PBSMIT<7:0>								0000 0000
FFB0 _H	PC	—	—	—	—	—	—	PC<1:0>		0000 00xx

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFB1 _H	PCT	—	—	—	—	—	—	PCT<1:0>		0000 0011
FFB2 _H	PCS	—	—	—	—	—	—	PCS<1:0>		0000 0001
FFB3 _H	PCPU	—	—	—	—	—	—	PCPU<1:0>		0000 0000
FFB4 _H	PCPD							PCPD<1:0>		0000 0000
FFB5 _H	PCFE							PCFE<1:0>		0000 0000
FFB6 _H	PCOD	—	—	—	—	—	—	PCOD<1:0>		0000 0000
FFB7 _H	PCSMIT	—	—	—	—	—	—	PCSMIT<1:0>		0000 0000
FFB8 _H	PE	PE<7:0>								xxxx xxxx
FFB9 _H	PET	PET<7:0>								1111 1111
FFBA _H	PES	PES<7:0>								1111 1111
FFBB _H	PEPU	PEPU<7:0>								0000 0000
FFBC _H	PEPD	PEPD<7:0>								0000 0000
FFBD _H	PEFE	PEFE<7:0>								0000 0000
FFBE _H	PEOD	PEOD<7:0>								0000 0000
FFBF _H	PESMIT	PESMIT<7:0>								0000 0000

分页访问区 **Section 0** 特殊功能寄存器

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值	
6000 _H	FRAL	FRAL<7:0>								0000 0000	
6001 _H	FRALN	FRALN<7:0>								0000 0000	
6002 _H	FRAH	FRAH<7:0>								0000 0000	
6003 _H	FRAHN	FRAHN<7:0>								0000 0000	
6004 _H	ROMDL	ROMDL<7:0>								xxxx xxxx	
6005 _H	ROMDLN	ROMDLN<7:0>								xxxx xxxx	
6006 _H	ROMDH	ROMDH<7:0>								xxxx xxxx	
6007 _H	ROMDHN	ROMDHN<7:0>								xxxx xxxx	
6008 _H	IAPUL	IAPUL<7:0>								0000 0000	
6009 _H	IAPC	—	ERSTWT<2:0>			PRGTWT<1:0>		IAPCLR	TOEN	0110 0000	
600A _H	IAPERSS	IAPERSS<7:0>								0000 0000	
600B _H	IAPPRGS	IAPPRGS<7:0>								0000 0000	
600C _H	IAPS	FRAH_ERR	FRAL_ERR	ROMD_ERR	ERSS_ERR	PRGS_ERR	IAP_TIMEOUT	IAP_DONE	IAP_LVDIF	1110 0000	
600D _H	T10	T10<7:0>								0000 0000	
600E _H	T10C	T10EN	—	T10M	T10EG	T10PRE	T10PRS<2:0>			0000 0000	
600F _H	T20L	T20L<7:0>								0000 0000	
6010 _H	T20H	T20H<7:0>								0000 0000	
6011 _H	T20PL	T20PL<7:0>								1111 1111	
6012 _H	T20PH	T20PH<7:0>								1111 1111	
6013 _H	T20R0L	T20R0L<7:0>								0000 0000	
6014 _H	T20R0H	T20R0H<7:0>								0000 0000	
6015 _H	T20R1L	T20R1L<7:0>								0000 0000	
6016 _H	T20R1H	T20R1H<7:0>								0000 0000	
6017 _H	T20CL	T20M<3:0>				—		—	—	T20TR	0000 0000
6018 _H	T20CH	T20EN	T20POS<6:0>							0000 0000	
6019 _H	T20CM	—	—	T20OM<1:0>		T20PRS<3:0>				0000 0000	

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
601A _H	T21L	T21L<7:0>								0000 0000
601B _H	T21H	T21H<7:0>								0000 0000
601C _H	T21PL	T21PL<7:0>								1111 1111
601D _H	T21PH	T21PH<7:0>								1111 1111
601E _H	T21R0L	T21R0L<7:0>								0000 0000
601F _H	T21R0H	T21R0H<7:0>								0000 0000
6020 _H	T21R1L	T21R1L<7:0>								0000 0000
6021 _H	T21R1H	T21R1H<7:0>								0000 0000
6022 _H	T21CL	T21M<3:0>				—	—	—	T21TR	0000 0000
6023 _H	T21CH	T21EN	T21POS<6:0>							0000 0000
6024 _H	T21CM	—	—	T21OM<1:0>		T21PRS<3:0>				0000 0000
6025 _H	T2nOC	—	—	—	—	P211EN	P210EN	P201EN	P200EN	0000 0000
6026 _H	PSFT	—	—	—	—	PSFT<3:0>				0000 0000
6027 _H	—	—								—
6028 _H	MULA	MULA<7:0>								xxxx xxxx
6029 _H	MULB	MULB<7:0>								xxxx xxxx
602A _H	MULL	MULL<7:0>								xxxx xxxx
602B _H	MULH	MULH<7:0>								xxxx xxxx
602C _H ~ 6039 _H	—	—								—
603A _H	ROMD1L	ROMD1L<7:0>								xxxx xxxx
603B _H	ROMD1LN	ROMD1LN<7:0>								xxxx xxxx
603C _H	ROMD1H	ROMD1H<7:0>								xxxx xxxx
603D _H	ROMD1HN	ROMD1HN<7:0>								xxxx xxxx
603E _H	USRCFG0	USRCFG0<7:0>								1111 1111

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
603F _H	USRCFG1	USRCFG1<7:0>								1111 1111

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值	
6040 _H	PALC	PALC<7:0>								0000 0000	
6041 _H	PBLC	PBLC<7:0>								0000 0000	
6042 _H	PCLC	—	—	—	—	—	—	PCLC<1:0>		0000 0000	
6043 _H	PELC	PELC<7:0>								0000 0000	
6044 _H	SCC	SCC<7:0>								0000 0000	
6045 _H	SCSEL0	SCSEL0<7:0>								0000 0000	
6046 _H	SCSEL1	—	—	SCSEL1<5:0>							0000 0000
6047 _H	PMOD_CON	—	—	—	—	PMODCLK_SEL<2:0>			PMOD_EN	0000 0000	
6048 _H	PMOD_SEL0	PMOD_SEL0<7:0>								0000 0000	
6049 _H	PMOD_SEL1	PMOD_SEL1<7:0>								0000 0000	
604A _H	PMOD_SEL2	—	—	—	—	PMOD_SEL2<3:0>				0000 0000	
604B _H	PMOD_SEL3	PMOD_SEL3<7:0>								0000 0000	
604C _H ~ 605F _H	—	—								—	
6060 _H	ADCRL	ADCRL<7:0>								0000 0000	
6061 _H	ADCRH	ADCRH<7:0>								0000 0000	
6062 _H	ADCTL0	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN	1111 0100	
6063 _H	ADCTL1	ADLPEN	ADVREFNS	ADVREFPS	ADVREFVS	—	—	ADBITSEL<1:0>		0000 0011	
6064 _H	ADCTL2	ADFM	ADCKS<2:0>			ADST<1:0>		ADVREF_CHOPEN	ADVREF_EN	0100 1000	
6065 _H ~ 6067 _H	—	—								—	

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
6068 _H	BR0R	BR0R<7:0>								0000 0000
6069 _H	RX0B	RX0B<7:0>								xxxx xxxx
606A _H	RX0C	RX0EN	RX0LEN	LPBEN	—	—	OERR0	FERR0	RX0R8	0000 0000
606B _H	TX0B	TX0B<7:0>								0000 0000
606C _H	TX0C	TX0EN	TX0LEN	BRGH0	—	—	—	TRMT0	TX0R8	0000 0010
606D _H	I2CX16	—	—	—	I2CX16<4:0>					0000 0000
606E _H	I2CC	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN	0000 0000
606F _H	I2CSA	I2CSADR<6:0>							I2CRW	0000 0000
6070 _H	I2CTB	I2CTB<7:0>								0000 0000
6071 _H	I2CRB	I2CRB<7:0>								0000 0000
6072 _H	I2CIEC	—	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE	0000 0000
6073 _H	I2CIFC	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF	1000 0100
6074 _H ~ 6076 _H	—	—								—
6077 _H	WDTUL	WDTUL<7:0>								0000 0000
6078 _H	WDTC	WDTCS<1:0>		—	SWDTEN	WDTIEN	WDTPRS<2:0>			0001 1111
6079 _H	OSCWP	OSCWP<7:0>								0000 0000
607A _H	OSCC1	CHG	DIVS<2:0>			SST<1:0>		SCKS<1:0>		0000 0000
607B _H	OSCC2	EXTCLKON	HOSCON	HRCON	LRCON	HOSCSEL<1:0>		HRCEN	HRCSEL	0011 0011
607C _H	OSCC3	CLKOEN	CLKO_FSEL	—	—	—		CLKFLT_RDY	CLKFLT_EN	0000 0011
607D _H	CLKG	ADCCE	T21CE	T20CE	—	—	IICCE	UART0CE	T10CE	1110 1111
607E _H	LVDC	—	—	—	LVDFLTEN	LVDIFS<1:0>		LVDO	LVDEN	0000 00x0
607F _H	LVDCH	—	LVDVS<2:0>			—	—	—	—	0000 0000

分页访问区 **Section 1** 特殊功能寄存器

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
6080 _H - 60FF _H	—	—								—

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	—	-0.3 ~ 5.8	V
输入电压	V _{IN}	—	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	—	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	—	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.7 ~ 5.5V	-40 ~ 85	°C

◆ ESD 特性参数

参数	符号	等级	最大值	单位	测试条件
ESD 电压（人体模型）	V _{ESDHBM}	3A	±4000	V	25°C, MIL-STD-883J
ESD 电压（充电器件模型）	V _{ESDCDM}	C3	±2000	V	25°C, JEDEC JS-002-2014
LatchUp 电流	I _{LAT}	I A	±350	mA	25°C, JESD78, VDD=5V

注：上述 ESD 特性参数值是基于理论设计值和被测样品的测试值，不是批量产品测试值，仅供芯片应用时参考。

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	测试条件
芯片供电电压	VDD	2.8	—	5.5	V	-40℃ ~ 85℃
IDLE 休眠模式下 芯片电流	I _{PD1}	—	3.5	—	μA	25℃, VDD = 5V, BOR 使能, WDT 使能。
		—	3	—	μA	25℃, VDD = 5V, BOR 不使能, WDT 不使能。
芯片静态电流	I _{DD}	—	700	—	uA	25℃, VDD = 5V, 所有的 I/O 端口输入低电平
正常运行模式 芯片电流	I _{OP1}	—	1.7	—	mA	25℃, VDD = 5V, 正常运行模式, 系统时钟选择内部 16MHz HRC 时钟, I/O 端口输出固定电平, 无负载。
	I _{OP2}	—	200	—	uA	25℃, VDD = 5V, 正常运行模式, 系统时钟选择内部 32KHZ LRC 时钟, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	I _{MAXVDD}	—	—	80	mA	25℃, VDD = 5V
VSS 管脚的最大输出电流	I _{MAXVSS}	—	—	200	mA	25℃, VDD = 5V
普通 I/O 端口灌电流	I _{OL1}	—	11	—	mA	25℃, VDD = 5V V _{OL} = 1.5V, 弱驱动
	I _{OL2}	—	20	—	mA	25℃, VDD = 5V V _{OL} = 1.5V, 强驱动
大电流 I/O 端口灌电流	I _{OL1}	—	32	—	mA	25℃, VDD = 5V V _{OL} = 1.5V, 弱驱动
	I _{OL2}	—	125	—	mA	25℃, VDD = 5V V _{OL} = 1.5V, 强驱动
I/O 端口拉电流	I _{OH1}	—	6	—	mA	25℃, VDD = 5V V _{OH} = 3.5V, 6mA 驱动
	I _{OH2}	—	11	—	mA	25℃, VDD = 5V V _{OH} = 3.5V, 12mA 驱动
	I _{OH3}	—	17	—	mA	25℃, VDD = 5V V _{OH} = 3.5V, 18mA 驱动

◆ 芯片输入端口特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
IO 端口输入高电平(SMIT0)	V_{IH}	$0.52 \cdot VDD$	—	VDD	V	$2.7V \leq VDD \leq 5.5V$ $-40^{\circ}C \sim 85^{\circ}C$
IO 端口输入高电平(SMIT1)		$0.72 \cdot VDD$	—	VDD	V	
IO 端口输入低电平(SMIT0)	V_{IL}	VSS	—	$0.14VDD$	V	
IO 端口输入低电平(SMIT1)		VSS	—	$0.28VDD$	V	
IO 端口输入漏电流	I_{IL}	—	—	± 1	μA	$2.7V \leq VDD \leq 5.5V$ $VSS \leq V_{pin} \leq VDD$ (端口处于高阻态) $-40^{\circ}C \sim 85^{\circ}C$
IO 端口输入弱上拉电流	I_{WPU}	55	123	140	μA	$2.7V \leq VDD \leq 5.5V$ $V_{pin} = VSS$ $-40^{\circ}C \sim 85^{\circ}C$
IO 端口输入弱下拉电流	I_{WPD}	55	123	140	μA	$2.7V \leq VDD \leq 5.5V$ $V_{pin} = VDD$ $-40^{\circ}C \sim 85^{\circ}C$

◆ 芯片输出端口特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	$VDD-2$	—	—	V	$2.7V \leq VDD \leq 5.5V$ $I_{OH} = 2mA$ $-40^{\circ}C \sim 85^{\circ}C$
I/O 端口 输出低电平	V_{OL}	—	—	0.6	V	$2.7V \leq VDD \leq 5.5V$ $I_{OL} = 3mA$ $-40^{\circ}C \sim 85^{\circ}C$

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{OSC}	—	—	16	MHz	$2.7V \leq VDD \leq 5.5V$
系统时钟周期	T_{OSC1}	62.5	—	—	ns	$2.7V \leq VDD \leq 5.5V$
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	—	—	ns	—
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	—	—	15	ns	—
WDT 最短溢出时间	T_{WDT}	6 (40KHz)	8 (32KHz)	10 (24KHz)	ms	$2.7V \leq VDD \leq 5.5V$ $-40^{\circ}C \sim 85^{\circ}C$

◆ 内部 16MHz 时钟校准特性表

校准条件	最小值	典型值	最大值	单位	测试条件
将频率校准至 16MHz	15.84	16	16.16	MHz	$25^{\circ}C$, $VDD = 5V$
	15.60	16	16.40	MHz	$-40^{\circ}C \sim 85^{\circ}C$, $VDD = 2.7V \sim 5.5V$

◆ 内部 32KHz 时钟校准特性表

校准条件	最小值	典型值	最大值	单位	测试条件
将频率校准至 32KHz	31	32	33	KHz	$25^{\circ}C$, $VDD = 5V$
	25	32	37	KHz	$-40^{\circ}C \sim 85^{\circ}C$, $VDD = 2.7V \sim 5.5V$

◆ 低电压复位 BOR 电压特性

参数	符号	最小值	典型值	最大值	单位	测试条件
BOR 低电压设定电压 1	V_{bor1}	3.0	3.1	3.2	V	$-40^{\circ}C \sim 85^{\circ}C$, $VDD = 2.7V \sim 5.5V$
BOR 低电压设定电压 2	V_{bor2}	2.4	2.5	2.6	V	$-40^{\circ}C \sim 85^{\circ}C$, $VDD = 2.7V \sim 5.5V$
BOR 低电压复位脉宽	T_{bor}	—	220	—	us	设计理论值

◆ 低电压检测 LVD 电压特性

参数	符号	最小值	典型值	最大值	单位	测试条件
LVD 低电压设定电压 1	V_{lvd1}	4.5	4.7	4.9	V	-40℃~85℃, VDD=2.7V~5.5V
LVD 低电压设定电压 2	V_{lvd2}	3.9	4.0	4.2	V	-40℃~85℃, VDD=2.7V~5.5V
LVD 低电压设定电压 3	V_{lvd3}	3.5	3.6	3.8	V	-40℃~85℃, VDD=2.7V~5.5V
LVD 低电压设定电压 4	V_{lvd4}	2.9	3.0	3.2	V	-40℃~85℃, VDD=2.7V~5.5V
LVD 低电压设定电压 5	V_{lvd5}	2.8	2.9	3	V	-40℃~85℃, VDD=2.7V~5.5V

◆ ADC 交流特性表(TBD)

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	2.8	—	5.5	V	-40℃~85℃ VDD 作为参考电压
分辨率	R_R	—	—	12	bit	
差分线性度	DNL	—	±4	±8	LSB	
积分线性度	INL	—	±6	±12	LSB	
失调误差	E_{OFF}	-	8	—	LSB	
参考电压	V_{REF}	—	—	VDD	V	
模拟输入电压	V_{ADIN}	0	—	VDD	V	
输入电容	C_{ADIN}	—	—	10	Pf	
输入电阻	R_{ADIN}	—	—	1	KΩ	
转换时钟频率	F_{ADCLK}	32K	—	4M	Hz	—
转换时间(不包括采样时间)	T_{ADC}	—	13	—	Tadclk	—
采样时间	T_{ADS}	2	—	—	Tadclk	—

注：建议 ADC 转换在高速模式下进行

◆ ADC 转换速度对照表

A/D 时钟源选择	工作频率
Fosc	不推荐使用* ¹
Fosc/2	不推荐使用* ¹
Fosc/4	$T_{ADCCLK} = 0.25\mu s$, Freq=4MHz
Fosc/8	$T_{ADCCLK} = 0.5\mu s$, Freq=2MHz
Fosc/16	推荐 $T_{ADCCLK} = 1\mu s$, Freq=1MHz
Fosc/32	$T_{ADCCLK} = 2\mu s$, Freq=500KHz
Fosc/64	$T_{ADCCLK} = 4\mu s$, Freq=250KHz
LRC	$T_{ADCCLK} = 31.25\mu s$, Freq=32KHz

注 1: (*1) T_{ad} 值不满足设计要求不推荐使用;

注 2: VDD 作为参考电压;

◆ 内部基准电压特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
内部基准电压 VREF	V_{REF1}	0.985	1.0	1.015	V	25°C, VDD=3.3V~5V
		0.850	1.0	1.150	V	-40°C~85°C, VDD=3.3V~5V
	V_{REF2}	1.176	1.2	1.224	V	25°C, VDD=3.3V~5V
		1.020	1.2	1.380	V	-40°C~85°C, VDD=3.3V~5V

注 1: V_{REF1} 为寄存器选择位 ADCTL1[4]=1 时对应的基准电压;

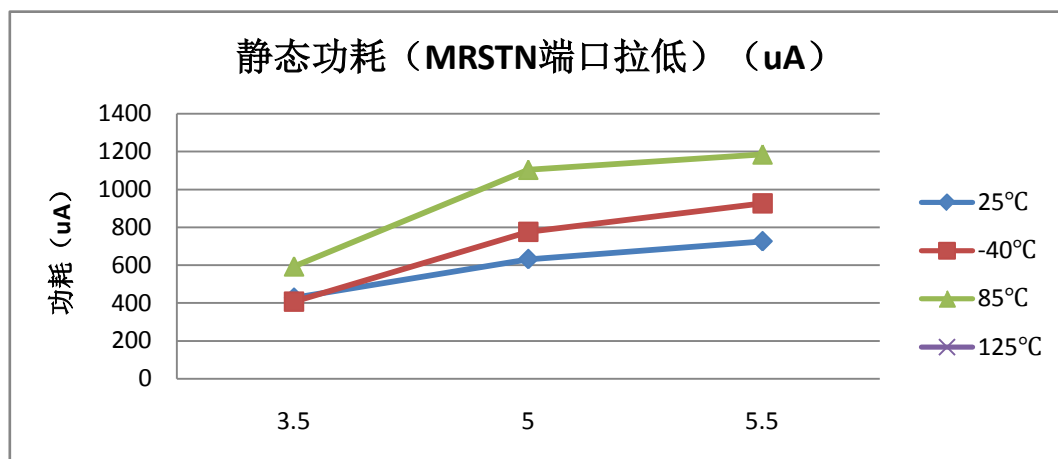
V_{REF2} 为寄存器选择位 ADCTL1[4]=0 时对应的基准电压;

注 2: ADC 对内部基准电压采样时, ADC 转换速度小于等于 250KHz;

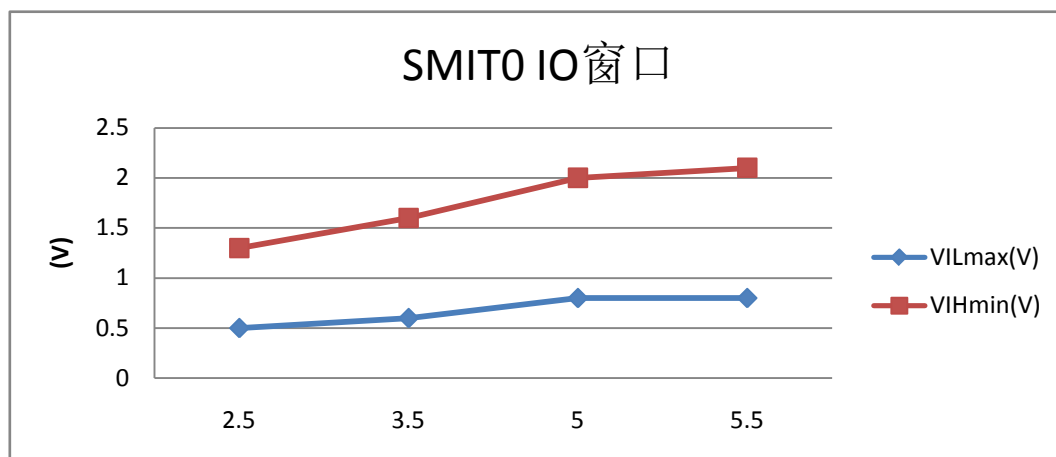
附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

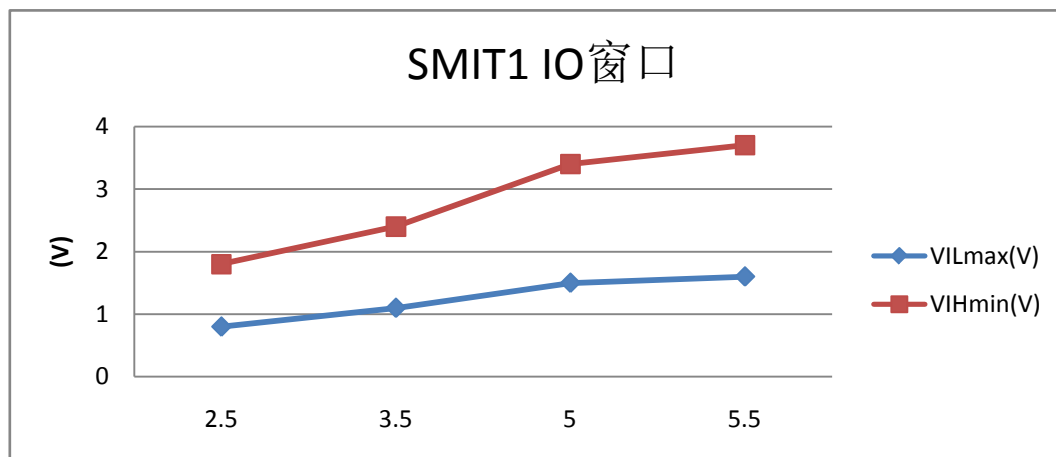
◆ 芯片静态电流随芯片电压变化特性图



◆ I/O 管脚（含复位管脚）SIMIT0 输入特性图（室温 25°C）

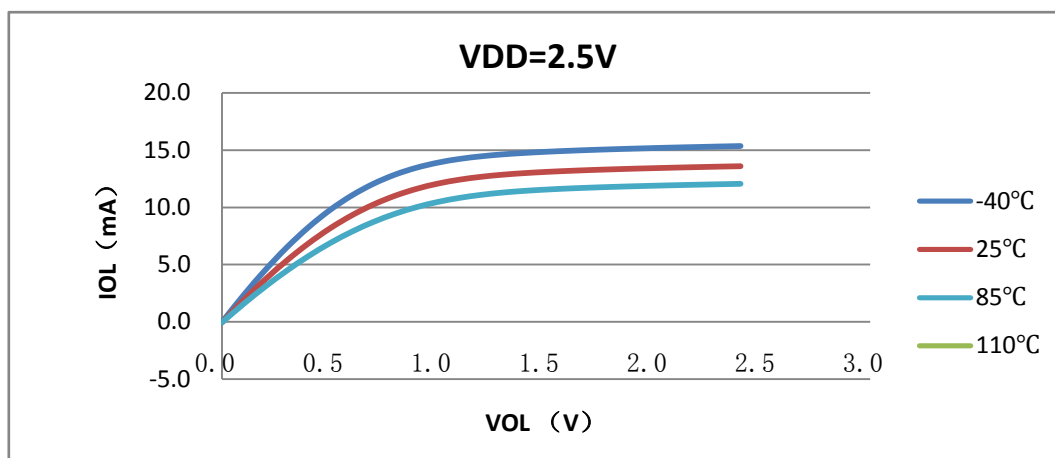


◆ I/O 管脚（含复位管脚）SIMIT1 输入特性图（室温 25°C）

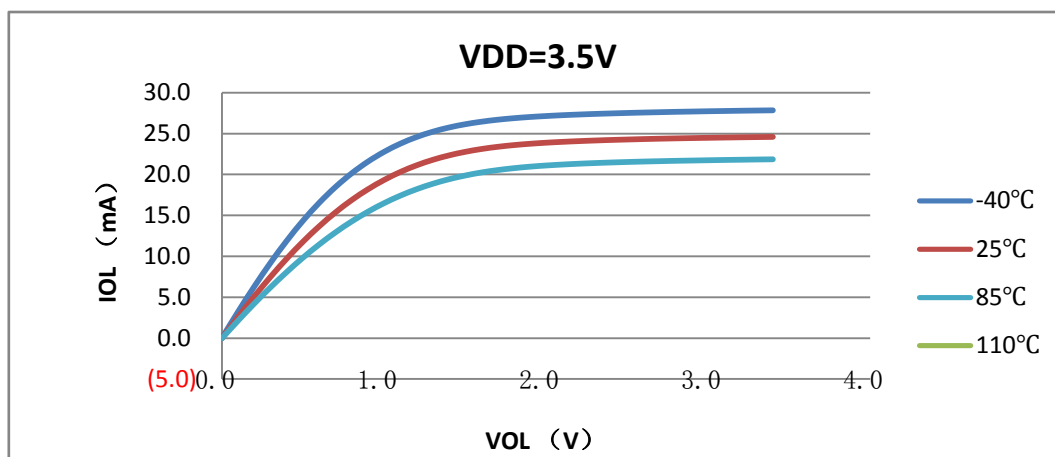


◆ I/O 端口信号输出特性图 1 (大电流端口 SCOM 口 V_{OL} vs I_{OL})

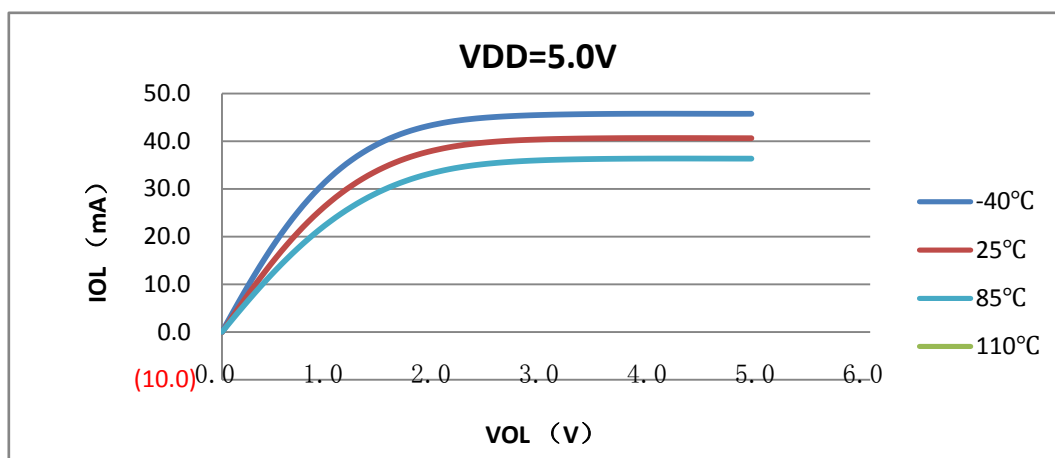
A: V_{OL} vs I_{OL} @VDD=2.5V 大电流端口普通驱动模式



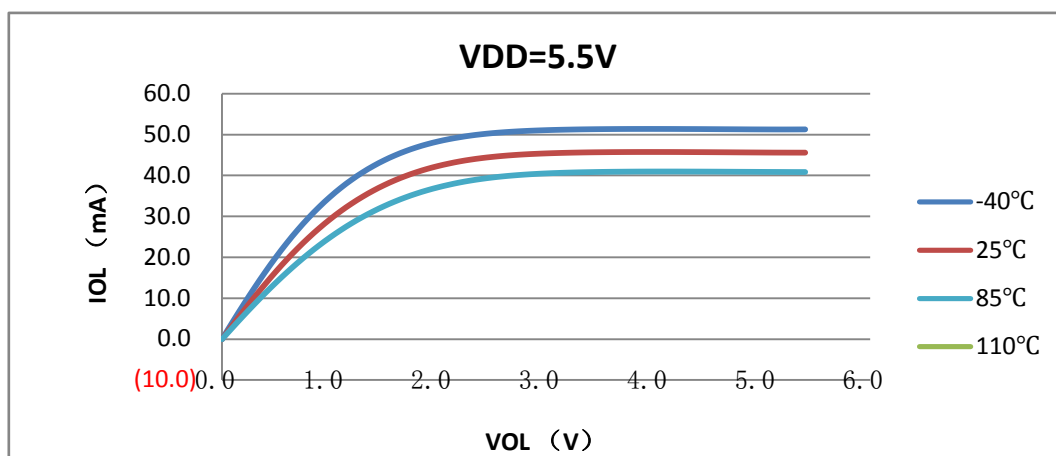
B: V_{OL} vs I_{OL} @VDD=3.5V 大电流端口普通驱动模式



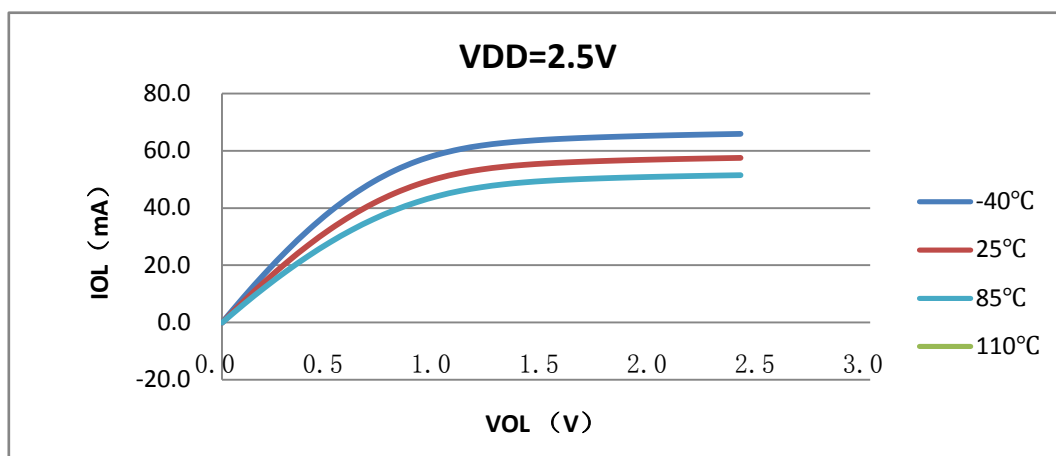
C: V_{OL} vs I_{OL} @VDD=5.0V 大电流端口普通驱动模式



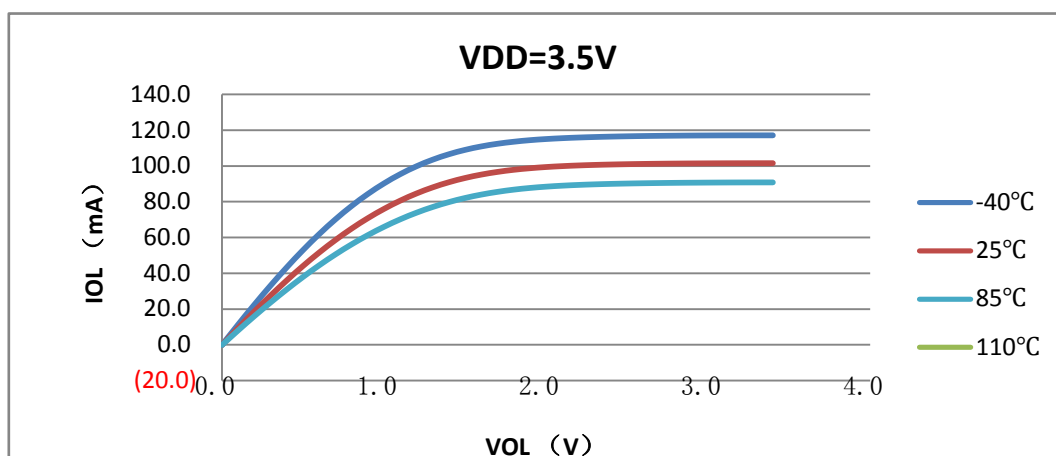
D: V_{OL} vs I_{OL} @ $V_{DD}=5.5V$ 大电流端口普通驱动模式



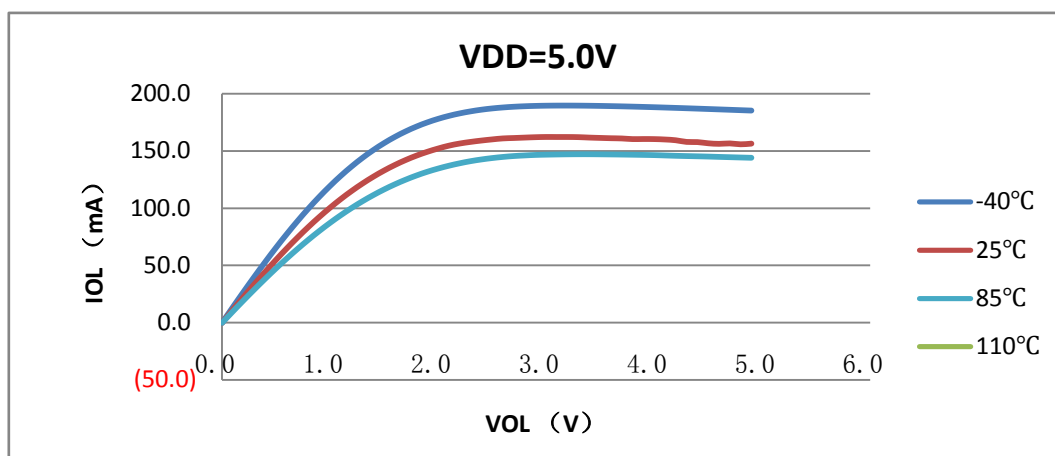
E: V_{OL} vs I_{OL} @ $V_{DD}=2.5V$ 大电流端口强驱动模式



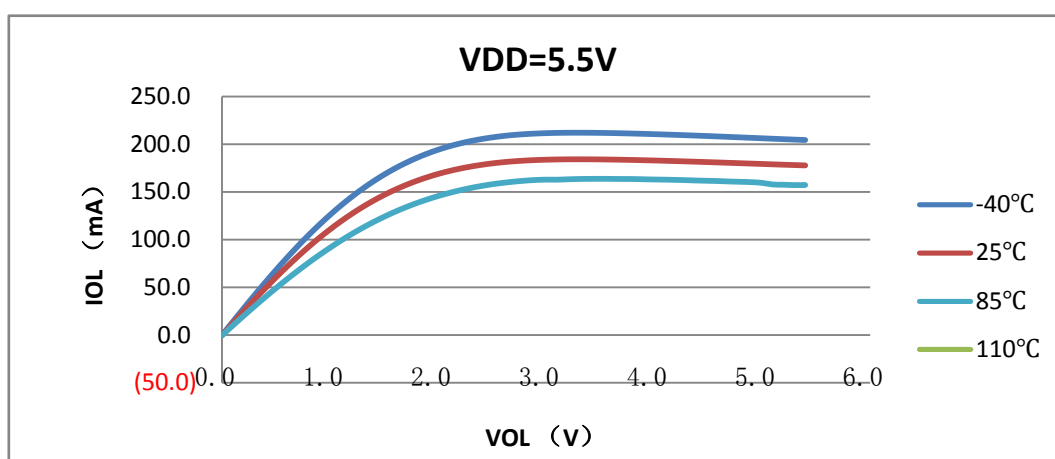
F: V_{OL} vs I_{OL} @ $V_{DD}=3.5V$ 大电流端口强驱动模式



G: V_{OL} vs I_{OL} @VDD=5.0V 大电流端口强驱动模式

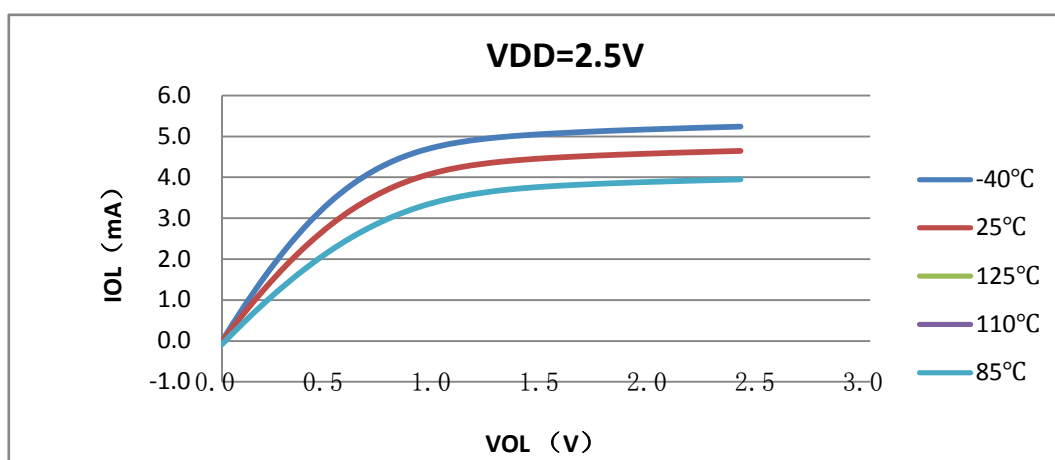


H: V_{OL} vs I_{OL} @VDD=5.5V 大电流端口强驱动模式

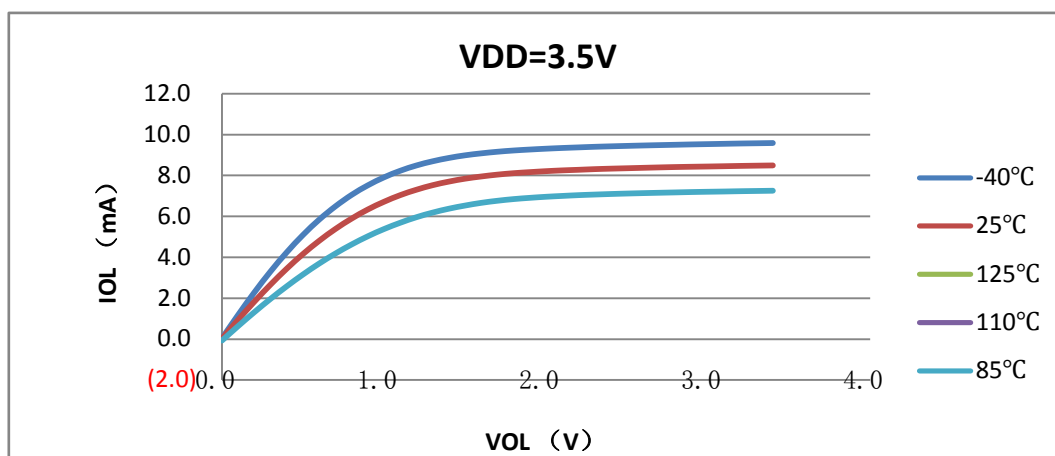


◆ I/O 端口信号输出特性图 2 (普通端口 V_{OL} vs I_{OL})

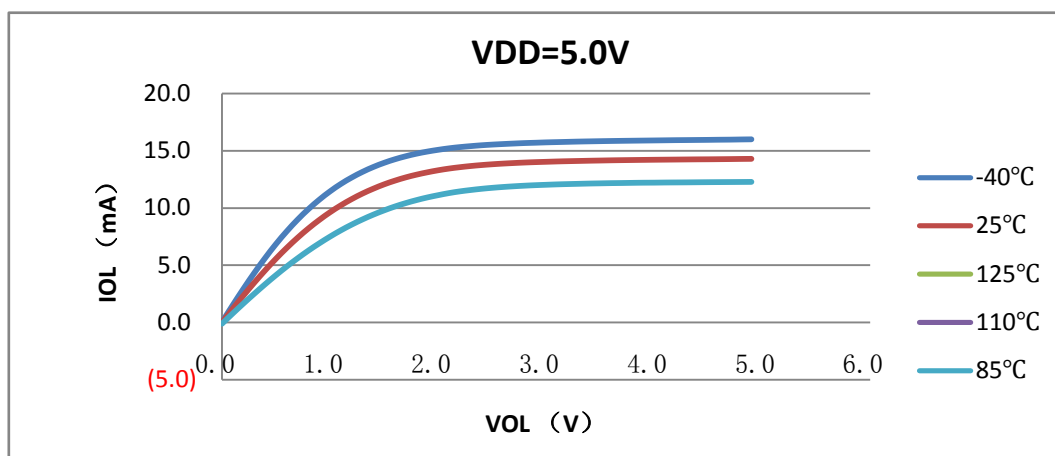
A: V_{OL} vs I_{OL} @VDD=2.5V 普通端口



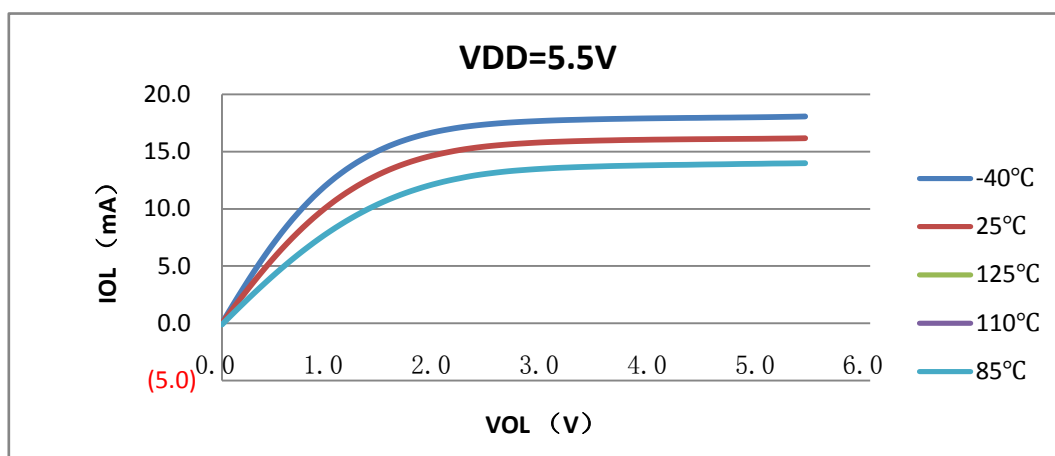
B: V_{OL} vs I_{OL} @ $V_{DD}=3.5V$ 普通端口



C: V_{OL} vs I_{OL} @ $V_{DD}=5.0V$ 普通端口

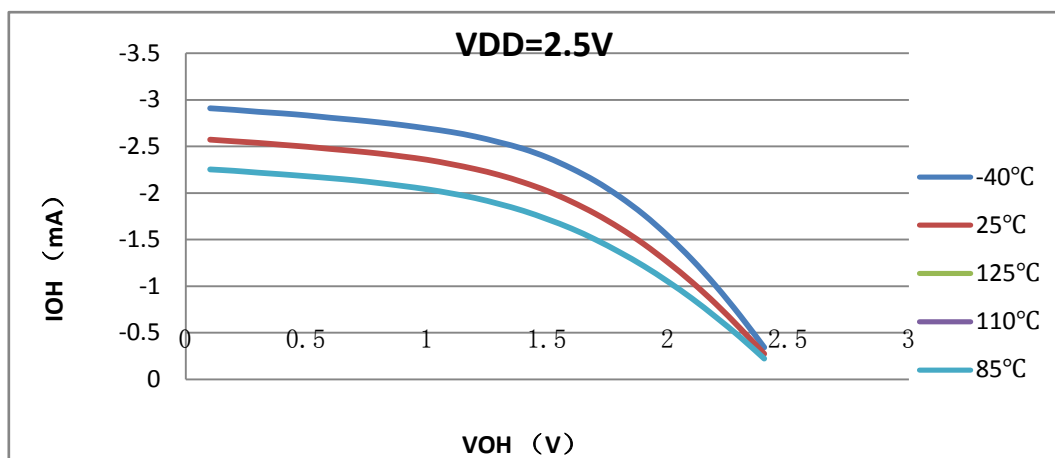


D: V_{OL} vs I_{OL} @ $V_{DD}=5.5V$ 普通端口

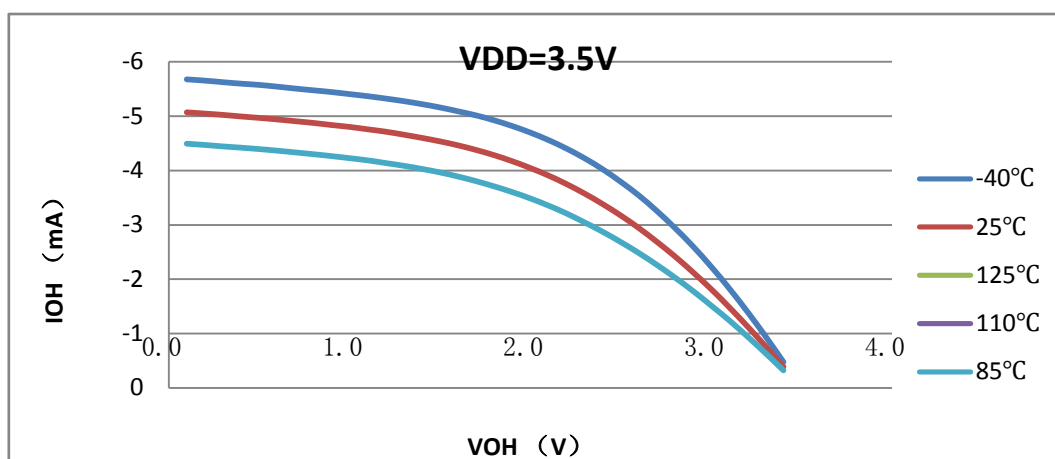


◆ I/O 端口信号输出特性图 (V_{OH} vs I_{OH} @6mA 源电流)

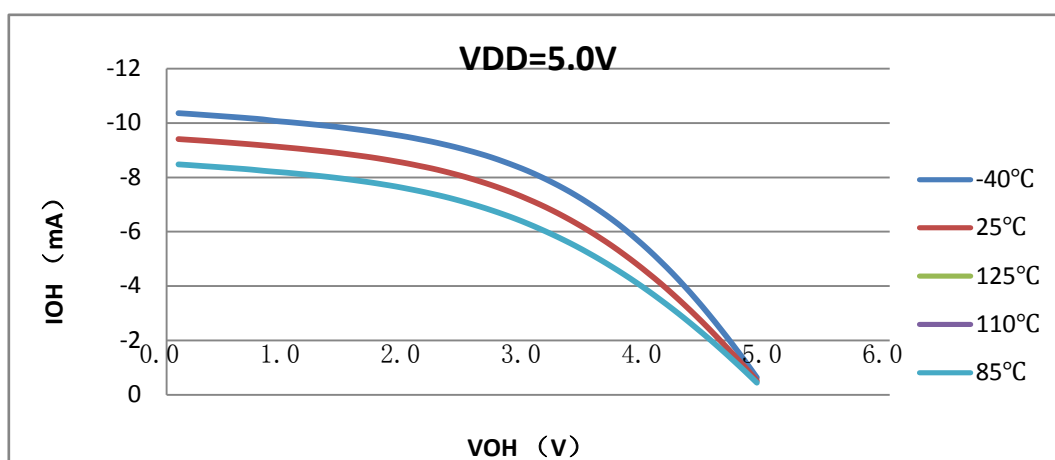
A: V_{OH} vs I_{OH} @VDD=2.5V, 6mA 源电流



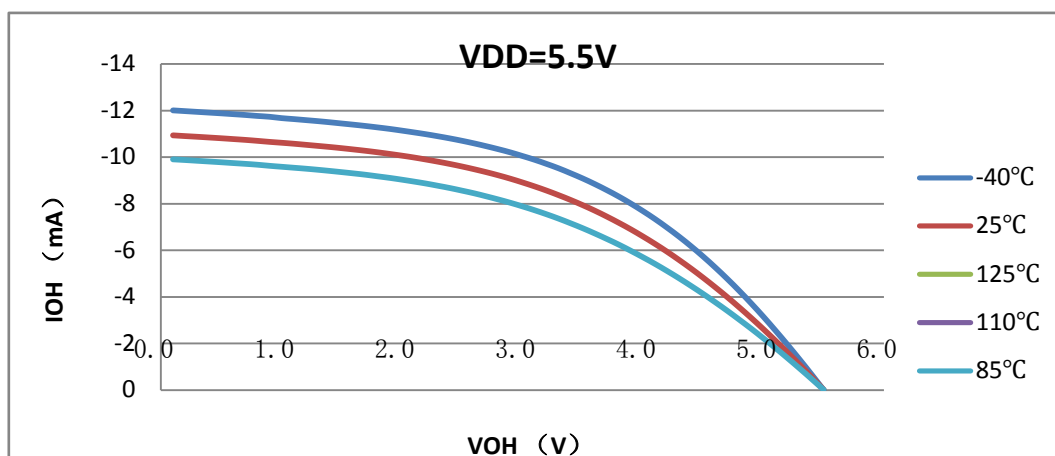
B: V_{OH} vs I_{OH} @VDD=3.5V, 6mA 源电流



C: V_{OH} vs I_{OH} @VDD=5.0V, 6mA 源电流

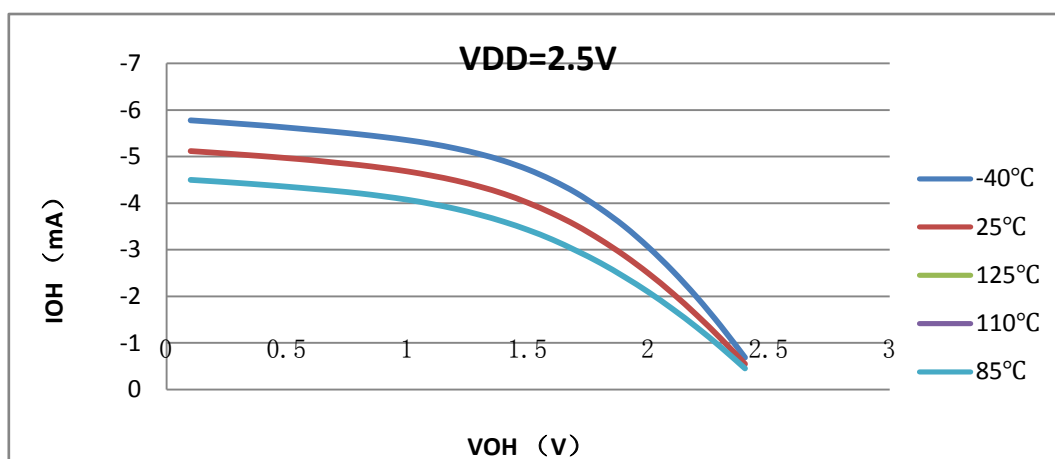


D: V_{OH} vs I_{OH} @VDD=5.5V, 6mA 源电流

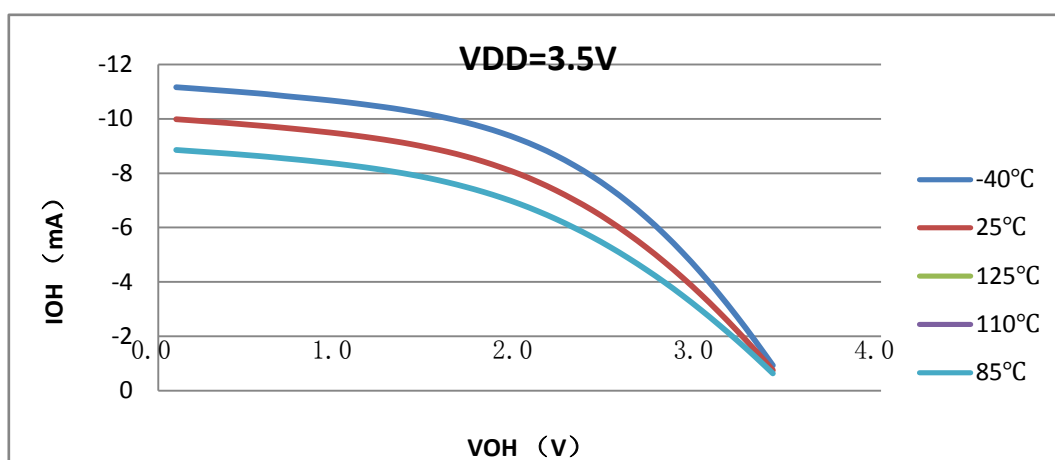


◆ I/O 端口信号输出特性图 (V_{OH} vs I_{OH} @12mA 源电流)

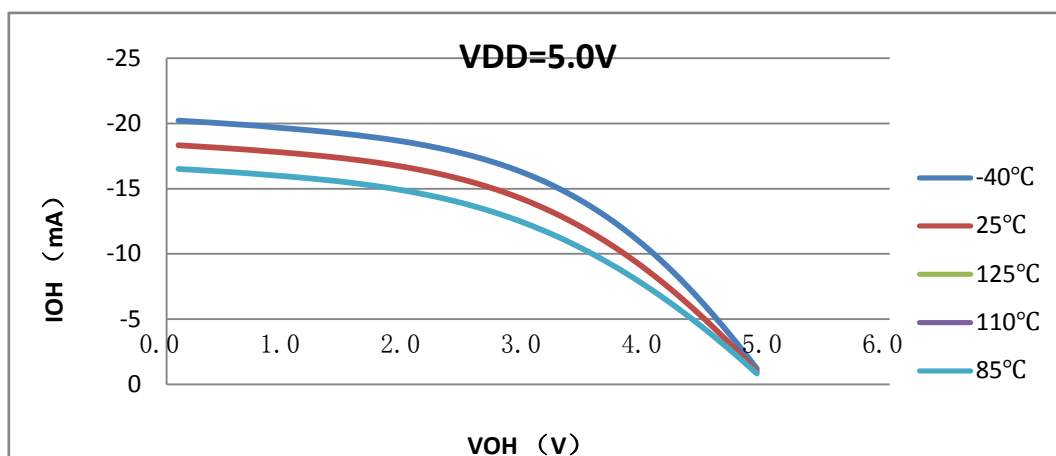
A: V_{OH} vs I_{OH} @VDD=2.5V, 12mA 源电流



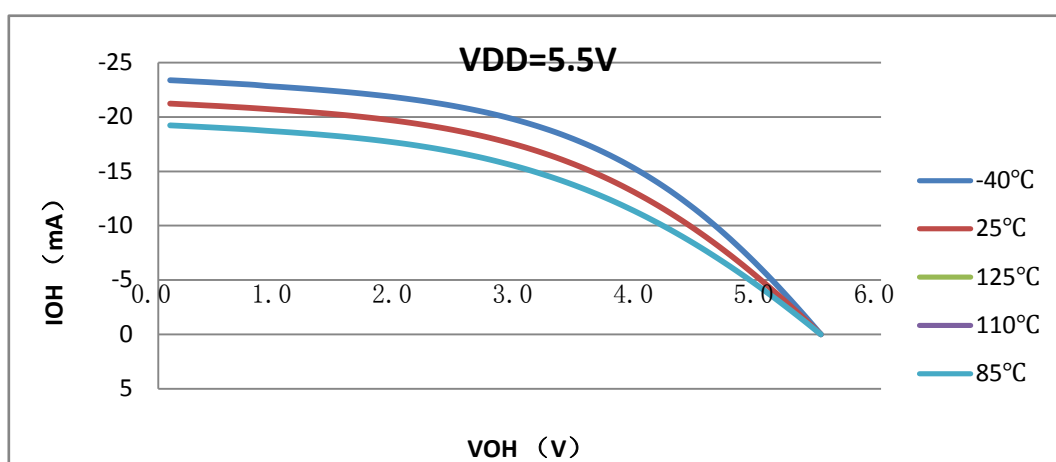
B: V_{OH} vs I_{OH} @VDD=3.5V, 12mA 源电流



C: V_{OH} vs I_{OH} @ $V_{DD}=5.0V$, 12mA 源电流

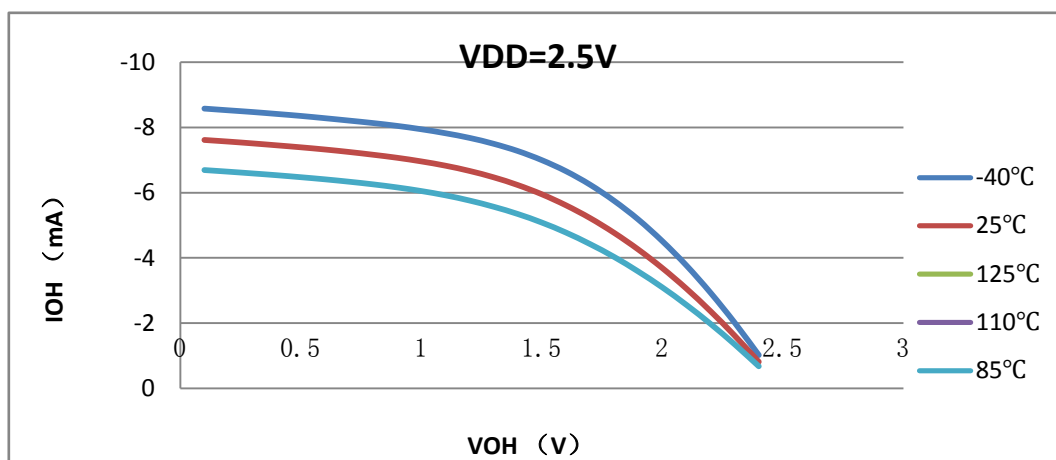


D: V_{OH} vs I_{OH} @ $V_{DD}=5.5V$, 12mA 源电流

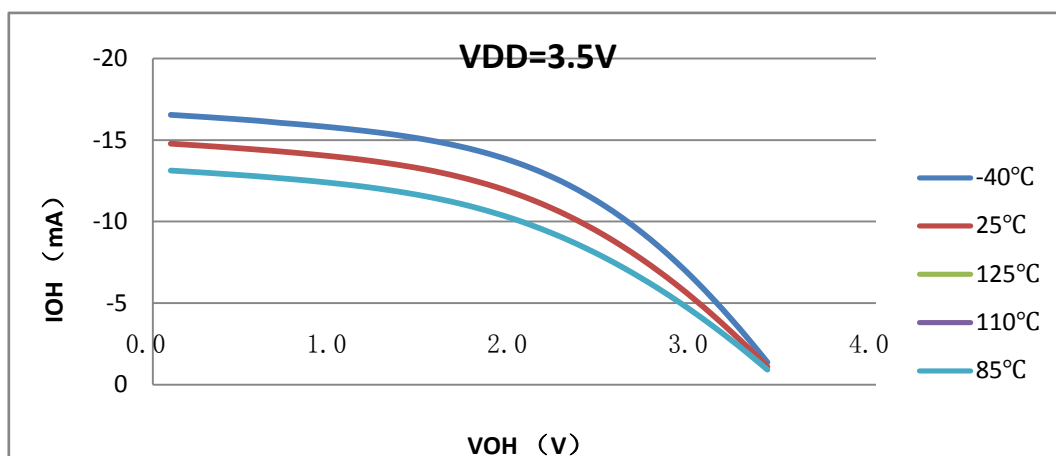


◆ I/O 端口信号输出特性图 (V_{OH} vs I_{OH} @ 18mA 源电流)

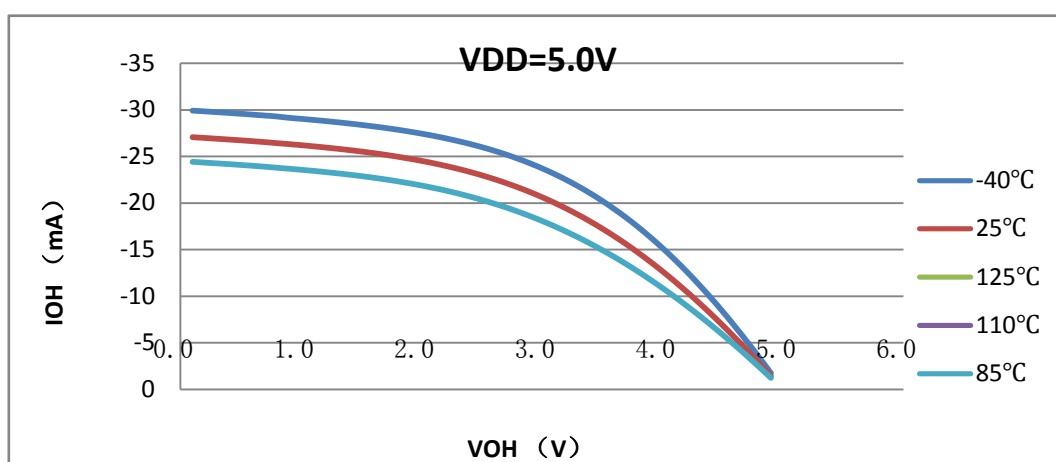
A: V_{OH} vs I_{OH} @ $V_{DD}=2.5V$, 18mA 源电流



B: V_{OH} vs I_{OH} @ $V_{DD}=3.5V$, 18mA 源电流



C: V_{OH} vs I_{OH} @ $V_{DD}=5.0V$, 18mA 源电流



D: V_{OH} vs I_{OH} @ $V_{DD}=5.5V$, 18mA 源电流

